

FG-MOSFET を用いた
低電圧電流モード CMOS 積分器の
設計と応用に関する研究

2002 年 3 月

熊本大学大学院自然科学研究科

中 根 秀 夫

目次

第1章 序論	1
1.1. 研究の背景と動機	1
1.2. 研究の目的	3
1.3. 本論文の構成	4
第2章 フローティングゲート MOSFET(FG-MOSFET)	7
2.1. FG-MOSFETの構造と特性	8
2.1.1. FG-MOSFETの構造	9
2.1.2. FG-MOSFETの特性	10
2.2. FG-MOSFETマクロモデルのSPICEシミュレーションへの組み込み	14
2.2.1. マクロモデルの構成	15
2.2.2. マクロモデルの特性検証	17
2.3. まとめ	22
第3章 FG-MOSFET電流モード完全差動積分器	23
3.1. 基本積分器	24
3.1.1. 回路構成	24
3.1.2. 小信号解析	24
3.1.3. 直流バイアス条件	30
3.1.4. 動作周波数範囲	31
3.1.5. 高調波歪	34
3.1.6. Q補償法	34
3.1.7. SPICEシミュレーション	36
3.2. 同相成分除去回路	39
3.2.1. 同相成分フィードフォワード(CMFF)回路を用いた積分器	40
3.2.2. 同相成分フィードバック(CMFB)回路を用いた積分器	45

3.2.3. CMFF回路とCMFB回路を用いた積分器	50
3.3. まとめ	52
第4章 FG-MOSFET積分器を用いたフィルタ回路	54
4.1. チェビシェフ3次低域通過フィルタ	55
4.1.1. シグナルフローグラフ手法による回路構成	55
4.1.2. 負帰還による有損失積分器の構成	57
4.1.3. フィルタのしゃ断周波数チューニング	58
4.1.4. フィルタのQチューニング	59
4.1.5. シミュレーションによる特性検証	59
4.2. チェビシェフ6次帯域通過フィルタ	64
4.2.1. 回路構成	65
4.2.2. シミュレーションによる特性検証	65
4.3. 他のフィルタとの比較	69
4.4. チップ試作	70
4.5. まとめ	71
第5章 結論	74
謝 辞	77
参考文献	78
付録A SPICEソースリスト	81
A.1. FG-MOSFETサブサーキット	81
A.2. FG-MOSFET完全差動型電流モード積分器	84
付録B 試作チップのレイアウト	88
B.1. FG-MOSFET電流モード積分器	88
B.2. FG-MOSFET積分器を用いた低域通過フィルタ	89

第1章 序論

1.1. 研究の背景と動機

集積回路の発明以来、年々その集積度が向上しており、現在では数千万トランジスタが1チップ上に集積されるようになってきている。この集積化の進展は主にプロセスルールの微細化に依るところが大きく、最先端のデジタルCMOSプロセスでは、現在の主流である $0.18\mu\text{m}$ CMOSプロセスから $0.13\mu\text{m}$ CMOSプロセスへの移行が進展している。このVLSIの発展は我々の生活に多大なる影響を与えている。例えば、携帯電話やノート型PC等に代表される携帯機器や情報家電と呼ばれる情報機器など、高度な情報処理を必要とする製品が生活の一端を担うようになってきている。これらの情報処理は、アナログ信号処理とデジタル信号処理を組み合わせた高度なシステムLSIの実現により成し遂げられている。システムLSIとして情報処理回路を実現することで、部品点数の削減と小面積での実装が可能になる。これは特に軽量性や少体積を要求される携帯電話等では重要な要素である。

このように、システムLSIはさまざまな機器に使用されており、今後もシステムLSIを核として情報技術が高度に発展していくと予測される。ところが、システムLSIでは非常に高度な情報処理が要求されるとともに、低消費電力・低電源電圧の要求がますます高まっている[1-5]。なぜならば、携帯情報機器では乾電池や充電電池によりシステムが駆動されるために、長時間の利用のためにはそれに使用される回路やその他のデバイスの低消費電力化が不可欠だからである。また、集積回路の微細化が進んで大規模集積回路が実現できるようになった半面、素子や配線間の絶縁体として利用される二酸化シリコン(SiO_2)の絶縁耐圧が減少しており、集積回路の電源電圧を下げなければならなくなっている。例えば、 $0.18\mu\text{m}$ CMOSプロセスでは、従来用いられてきた5Vや3.3Vという電源電圧ではMOSFETのゲート酸化膜の絶縁破壊が起こりうるために、電源電圧の低減が非常に重要な問題となっている。

ところが、電源電圧を低減した場合でも素子のしきい電圧は低減できないため、アナログ回路で従来用いられてきた電圧モード回路では十分に電圧振幅をとることが困難になってきている。そこで近年では、低電源電圧でもダイナミックレンジを確保できる回路として電流モード回路が注目されており、その研究が盛んに行われている [6-16]。この電流モード回路は、電流を信号として利用するため電源電圧の変動の影響を受けにくく、高速な動作を実現できると期待されている。また、電流モード回路は信号の加減算が結線のみで行えるので、シグナルフロー手法に基づく回路構成に適している [9, 10, 13, 14, 16]。これにより、所望の特性を持ったフィルタを LC はしご型フィルタから構成することが容易に行なえる。LC はしご型フィルタの構成法や特性は、これまでに詳細に解析され系統的な研究がなされているため、この LC はしご型フィルタを基としてフィルタを構成すれば所望の特性を容易に実現できる。

1980年に開発されたフラッシュROMは、電力を消費せずに情報の記憶が行えることから、現在では携帯電話やデジタルカメラ用の記憶媒体として広く利用されるようになった。このフラッシュROMは、通常のゲート端子にあたる第1ポリシリコン層が電氣的に浮いており^{*}、その直上に第2ポリシリコン層で形成されるゲート端子を配する構造となっている。この独特の構造をもった素子は、フローティングゲート MOSFET (FG-MOSFET) と呼ばれている。フラッシュROMは、この第1ポリシリコン層の電氣的に浮いた浮遊ゲートに電荷を蓄積することで、情報の記憶を行っている。また、情報の不揮発性を利用して、ニューロン間の結合重みを変更できる構造をもったニューラルネットワークの研究も多くなされている。その後、1992年に柴田らによって、FG-MOSFETの第2ポリシリコン層を複数設けた構造をもつ多ゲート型 FG-MOSFET が開発された [17]。この多ゲート型 FG-MOSFET では浮遊ゲートの電位が複数のゲート端子電圧の荷重平均で決まるため、生体のニューロンが信号を加算するのと良く似た処理を浮遊ゲートにおいて行える。そのため、ニューロン MOSFET や ν MOSFET と呼ばれることもある。柴田らは、この多ゲート型 FG-MOSFET を応用して、ニューラルネットワーク、演算増幅器や従来の2値論理回路よりも少ない素子数で同等の論理演算を実現する多値論理回路の研究を行ってい

^{*}第1ポリシリコン層で形成される電氣的に浮いた FG-MOSFET の内部の MOSFET のゲートを浮遊ゲートと呼ぶ。

る [18,19].

その他に, FG-MOSFET をアナログ回路に用いる試みについては次のような研究がなされている. YangらはFG-MOSFETの多入力性を生かした差動増幅器を構成し [20], RamirezらはBiCMOSプロセスを用いて低電圧で動作するOTA(Operational Transconductance Amplifire)を設計している [21]. このようなアナログ回路設計では, 回路シミュレータによる回路特性の検証が不可欠であるため, 回路シミュレータで利用できるようなFG-MOSFETの精密なモデルを実現しなくてはならない. 特に, SPICEを用いた回路シミュレーションでは, 電氣的に浮いた節点の電位を定められないという問題があるため, この問題を解決するようなFG-MOSFETの浮遊ゲートの直流バイアス点を定めるマクロモデルを構築し, サブサーキットとして組み込まなくてはならない¹. このようなマクロモデルを用いればSPICEシミュレーションの精度が向上し, FG-MOSFETのアナログ回路への応用が進展すると期待できる. 特に, このFG-MOSFETは各ゲート電圧の荷重平均をとることができるため, あるゲート端子を制御端子としてみれば, 他のゲートからみたみかけのしきい電圧を線形に制御できる. したがって, FG-MOSFETをアナログ回路に応用すれば, これまで実現できなかったような低電源電圧のアナログ集積回路を実現できる可能性がある [11-16,21].

1.2. 研究の目的

本論文では, 以上のような背景・動機のもとに, FG-MOSFETのアナログ集積回路への応用として, 低電源電圧・低消費電力積分器の設計と解析に関する研究について述べる. 本研究の具体的な内容は以下の通りである.

1. FG-MOSFETの特性を理論的に検討し, SPICEで利用できるマクロモデルを構築する.
2. FG-MOSFETを用いた低電圧低消費電力電流モード完全差動積分器の設計と解析を行う.

¹SPICEの直流解析ではキャパシタを開放として取り扱うため, FG-MOSFETの構造をそのままシミュレーションすることはできない. 直流解析では浮遊ゲートの直流バイアス点を定め, 交流解析・過渡解析ではその影響が無いようなモデルが必要である.

3. 設計したFG-MOSFET積分器を用いてフィルタを構成し、FG-MOSFET積分器の有効性を確認する。

アナログ回路の基本回路である積分器の設計を通じて、FG-MOSFETが低電圧アナログ回路に有効な素子であることを示す。

1.3. 本論文の構成

本論文は全5章からなる。第1章である本章は序論であり、本研究の背景と動機および研究の目的等を明らかにしている。

第2章では、FG-MOSFETを用いたアナログ集積回路を設計するにあたり、FG-MOSFETの特性を理論的に解析し、SPICEシミュレーションを行なうためのマクロモデルを構築している[11]。FG-MOSFETはその構造から浮遊ゲートの電位は静電的に定まるため、浮遊ゲートに関して電荷量保存則を適用してその電位を計算できる。その結果、あるゲート端子に適切なバイアス電圧を印加すると、FG-MOSFETの他のゲート端子からみたみかけのしきい電圧を線形に制御できることが示される。さらに、FG-MOSFETの伝達コンダクタンスと出力コンダクタンスがFG-MOSFET内部のMOSFET(内部MOSFETと称する)よりも、それぞれ減少および増加することについても述べる。FG-MOSFETの浮遊ゲートの電位を求めることができれば、内部MOSFETについては通常のシミュレーションが可能となる。そこで、FG-MOSFETをSPICEシミュレーションで用いるためのマクロモデルを構成し、サブサーキットとしてSPICEへの組み込みを行なう。このマクロモデルはSPICEが直流解析のときにキャパシタを開放として取り扱うために、静電的に定まる浮遊ゲートの電位を計算できないという問題を解決するために考案したものであり、直流解析時には浮遊ゲートの電位を定め、他の交流・過渡解析時には影響を及ぼさないように工夫している。

第3章では、FG-MOSFETを用いた積分器の設計とその解析について述べている[11,12,15]。まず、積分器の基本構成について述べており、この基本積分器は4個のFG-MOSFETと4個の電流源としてはたらくp型MOSFET単体からなる。4個のFG-MOSFETのうち2つは3ゲート型FG-MOSFETであり、互いに交差結合している。この交差結合した2個のFG-MOSFETで

入力段に負性コンダクタンスを発生させることで、積分器の前段回路の出力コンダクタンスが積分器のQを劣化させるのを防ぐことができる。また、低電源電圧で動作するように各FG-MOSFETの1つのゲート端子を制御端子として用い、みかけのしきい電圧を制御してFG-MOSFETを低しきい電圧MOSFETとして利用している。次に、積分器の同相成分除去比CMRR(Common-Mode Rejection Ratio)を向上させるために、基本積分器に同相成分除去回路を付加しCMRRの改善を図る。同相成分除去回路の構成を、同相成分をフィードフォワードするCMFF(Common-Mode Feedforward)回路と同相成分をフィードバックするCMFB(Common-Mode Feedback)回路およびその両方を用いた場合とし、それぞれについて比較検討を行う。具体的には、SPICEシミュレーションを通じて、提案する基本積分器については積分器として動作する周波数範囲とCMRRについて明らかにする。また、CMFF回路とCMFB回路についてはCMRRの向上度を解析し、CMFBについては直流同相成分によるバイアス点変動についても解析を行なっている。これらの解析の結果、CMFF回路のみを組み込んだ積分器がCMRR向上に最も効果があり、低周波域ではCMRR = 35.5dB、CMRR = 0dBとなる周波数は $f=54\text{MHz}$ であることを示している。

第4章では、3章で構成したFG-MOSFET電流モード完全差動積分器を用いた、3次低域通過フィルタおよび6次帯域通過フィルタを提案している。フィルタ回路の設計を通じて、FG-MOSFET電流モード完全差動積分器が数MHz帯のフィルタのビルディングブロックとして有効であることを明らかにする。提案するフィルタはチェビシェフ3次低域通過フィルタとチェビシェフ6次帯域通過フィルタの2種であり、LCはしご形フィルタを元にシグナルフローグラフ手法で積分器のみで構成している。このフィルタの構成法では無損失積分器と有損失積分器が必要となるため、FG-MOSFET積分器の入力コンダクタンスと出力コンダクタンスによる損失を防ぐためのQ補償法と、負帰還による有損失積分器の構成を行っている。また、実際に集積回路として設計したフィルタでは素子の製造偏差の影響で、シミュレーション通りの素子精度を実現するのは困難であったため、製造後にフィルタのQやしゃ断周波数 ω_0 を外部から調整できるようにフィルタを構成しなくてはならない。そこで、フィルタのQチューニングや ω_0 チューニングについても述べている[10,11]。また、提案するフィルタのSPICEシミュレ-

シオンを通じて、提案フィルタが所望の特性を実現しているかどうかを検証している。さらに、提案フィルタを実際に集積化するための指針を得るためにモンテカルロシミュレーションで素子の製造偏差に対する影響を調査している。これらのSPICEシミュレーションを通じて、提案するフィルタが数MHz帯のフィルタとして有効であることを明らかにする。また、VDEC(東京大学大規模集積システム設計教育研究センター)が提供しているオンセミコンダクタ社1.2 μ mダブルポリシリコンプロセスを用いて、提案フィルタの試作チップの製作を行っている。

最後に第5章では、以上を総括した結論を述べ本論文の結びとしている。

第2章 フローティングゲート MOSFET(FG-MOSFET)

本章では、フローティングゲート MOSFET(以下、FG-MOSFET と称する)の構造と特性について議論する。FG-MOSFET はこれまでフラッシュROMとして実用化されているように、デジタル回路としての研究は盛んに行われている。代表的な例として、書換え可能なROMであるフラッシュROMは、FG-MOSFETの浮遊ゲートに電荷を蓄積し、情報を記憶することができる。また、アナログ回路にFG-MOSFETを応用する試みもなされており、YangらはFG-MOSFETの多入力性を生かした差動増幅器を構成し[20]、RamirezらはBiCMOSプロセスを用いて低電圧で動作するOTA(Operational Transconductance Amplifire)を設計している[21]。FG-MOSFETをアナログ回路に応用する際にはSPICEシミュレーションによる性能評価が必要であるが、これまでは、FG-MOSFETモデルがSPICEに組み込まれておらず厳密なシミュレーションが行えないという問題があった。そこで、SPICEで利用できる精密なFG-MOSFETモデルの開発が望まれていた。本章では、その構造と特性を理論的に詳細に解析してマクロモデルを構築し、SPICEシミュレーション用のサブキットとして実現する。

まずはじめに、FG-MOSFETの構造について述べる。FG-MOSFETはその構造から浮遊ゲートの電位は静電的に定まるため、浮遊ゲートに関して電荷量保存則を適用してその電位を計算できる。その結果、あるゲート端子に適切なバイアス電圧を印加すると、FG-MOSFETの他のゲート端子から見たみかけのしきい電圧を線形に制御できることを明らかにする。さらに、FG-MOSFETの伝達コンダクタンスと出力コンダクタンスがFG-MOSFET内部のMOSFET(内部MOSFETと称する)よりも、それぞれ減少および増加することについても述べる。

次に、FG-MOSFETをSPICEシミュレーションで用いるために、マクロモデルを構成しサブキットとしてSPICEへの組み込みを行う[22]。このマクロモデルはSPICEが直流解析のときにキャパシタを開放として取り

扱うために、静電的に定まる浮遊ゲートの電位を計算できないという問題を解決するために考案したものである [11,12]. 直流解析時には浮遊ゲートの電位を定め、他の交流・過渡解析時には影響を及ぼさないように工夫している. このように構成したサブキットの特性検証のため、SPICEシミュレーションを行い、みかけのしきい電圧を線形に制御できることや、同条件にバイアスされたMOSFETよりも伝達コンダクタンスがゲートと浮遊ゲート間の容量比で減少することを確認している.

2.1. FG-MOSFETの構造と特性

FG-MOSFETは、通常のMOSFETのゲート電極となる第1ポリシリコン層が電氣的に浮いており、この第1ポリシリコン層と第2ポリシリコン層で複数のキャパシタが構成されている. したがって、第1ポリシリコン層と第2ポリシリコン層が静電結合しており、外部電極である第2ポリシリコン層の印加電圧の荷重平均で第1ポリシリコン層の電位が定まる. この構造をもつ素子としては、書き換え可能な不揮発ROMであるフラッシュROMがあり、トンネル電流を用いて第1ポリシリコン層で形成される浮遊ゲートに電荷を蓄積させ、MOSFETの導通/非導通状態を記憶させている. また、FG-MOSFETが蓄積電荷による状態記憶とトンネル電流による電荷の再プログラミングができることを利用した、ニューロンの結合重みを製造後に変更できるようなニューラルネットワークの研究も行われている.

これに対し、1992年に柴田らはFG-MOSFETの第2ポリシリコンで形成されるゲート端子を複数設け、浮遊ゲートの電位が複数のゲート端子電圧の荷重平均で決まるような多ゲート型FG-MOSFETを発明した [17]. この構造のFG-MOSFETは生体のニューロンが信号を加算するのと良く似た処理を浮遊ゲートにおいて行えることから、ニューロンMOSFETや ν MOSFETと呼ばれることもある. この多ゲート型FG-MOSFETを応用して、従来の2値論理回路よりも少ない素子数で同等の論理演算を実現する多値論理回路の研究が盛んに行われている [18,19].

ところで、アナログ回路設計では回路シミュレータによる特性の検証が不可欠であるが、これまでは詳細なFG-MOSFETのモデルがSPICEに組

み込まれておらず、FG-MOSFETのアナログ回路への応用を妨げる原因となっていた。回路シミュレータでFG-MOSFETを利用するためにはマクロモデルを構築しなければならないが、そのためにはFG-MOSFETの構造と特性を事前に詳細に検討しなければならない。そこで本小節では、このFG-MOSFETの構造とその特性について述べる。

2.1.1. FG-MOSFETの構造

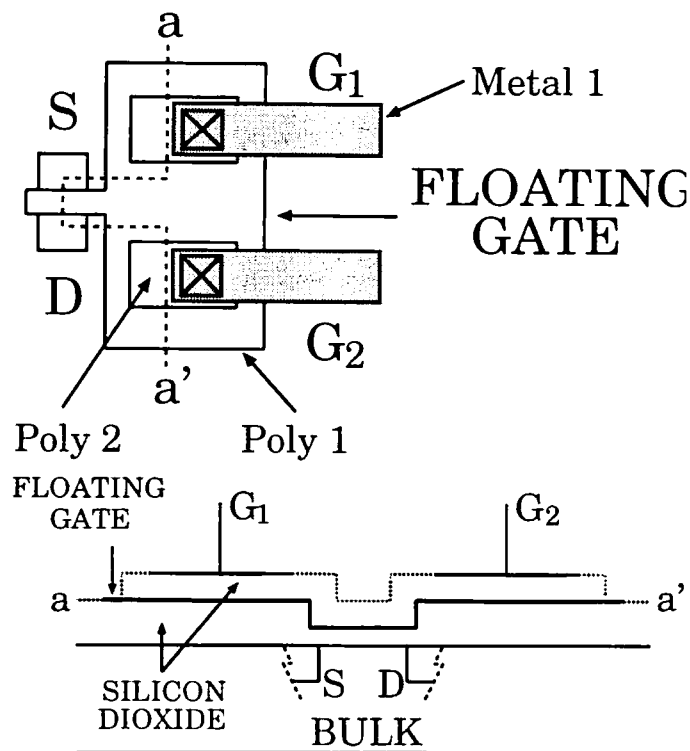


図 2.1 2ゲート型FG-MOSFETの構造

図 2.1 に2ゲート型FG-MOSFETの典型的な構造を示す。図 2.1 の上図はFG-MOSFETをチップの上から見たものであり、下図はFG-MOSFETを上図のaからa'の線に沿って切った断面図を示している。この図からわかるように、FG-MOSFETは通常のMOSFETの第1ポリシリコンで構成されるゲート電極が近接したポリキャパシタ*に直接接続された構成となっている。このFG-MOSFETの従来のMOSFET部分を内部MOSFETと呼ぶこと

*第1ポリシリコンと第2ポリシリコンで形成されるキャパシタ。

にする。また、複数の第2ポリシリコンで形成された電極をFG-MOSFETのゲート電極と呼ぶ。このように、内部MOSFETのゲート電極である第1ポリシリコンは電氣的に浮いた状態にあるため浮遊ゲート (floating-gate) と呼ばれている。この構造から、FG-MOSFETは浮遊ゲートと複数の第2ポリシリコンによる容量結合によって、浮遊ゲートの電位が静電氣的に定まるといふ特徴をもつ。したがって、浮遊ゲートの大きさと複数の第2ポリシリコンの面積を適切に設計すれば浮遊ゲートの電位はFG-MOSFETのゲート電位の荷重平均とほぼ等しくできる。

FG-MOSFETでは、浮遊ゲートと第2ポリシリコンで構成されるキャパシタの容量比により実効トランスコンダクタンスが決まる。そのため、素子の整合性が問題となる場合には、浮遊ゲートの大きさを十分に取らなければならない。しかし、浮遊ゲートの面積を大きくすると、FG-MOSFETのゲートからみた容量が増加するため、高周波用素子としては不適となる。

2.1.2. FG-MOSFETの特性

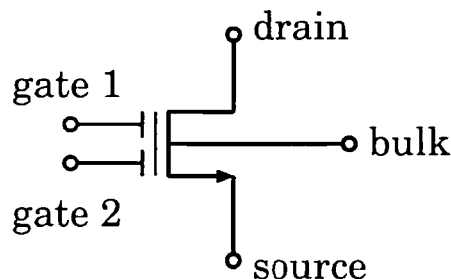


図 2.2 2ゲート型FG-MOSFETの回路記号

図 2.2 および図 2.3 は2ゲート型FG-MOSFETの回路記号とその等価回路である。FG-MOSFETは内部MOSFETに関しては、通常のMOSFETと同様に考えることができる。そこで、浮遊ゲートの電位 V_{FG} を求めることができれば、 V_{FG} を内部MOSFETのゲート電位として考えることができ、通常のMOSFETを用いた回路と同様の手法での解析が可能になる。

浮遊ゲートが完全に電氣的に浮いた状態となっており、浮遊ゲートに対して電荷の流入・流出がともに無いものと仮定すると、浮遊ゲートにおける電荷保存則が成立する。 Q_{FG} を浮遊ゲートに蓄積されている総電荷

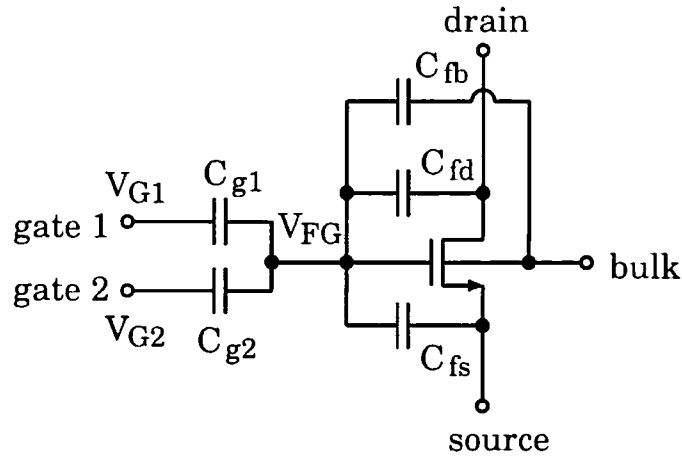


図 2.3 2ゲート型 FG-MOSFET の等価回路

量とすると、Nゲート型 FG-MOSFET の電荷保存則は次式で表される。

$$\begin{aligned}
 Q_{FG} = & \sum_{n=1}^N C_{gn}(V_{FG} - V_{Gn}) \\
 & + C_{fb}(V_{FG} - V_B) + C_{fs}(V_{FG} - V_S) \\
 & + C_{fd}(V_{FG} - V_D) - Q_C - Q_0
 \end{aligned} \quad (2.1)$$

ここで、 V_{Gn} は第 n ゲート G_n の電位であり、 V_S 、 V_D 、そして V_B は、それぞれソース、ドレイン、および基板の電位を表す。また、 C_{fs} 、 C_{fd} は、それぞれ内部 MOSFET のゲート・ソース間、ゲート・ドレイン間の重なり容量、 C_{fb} はフローティングゲートと基板間の容量である。 Q_C は内部 MOSFET のチャネル領域での全反転層電荷 Q_I と全空乏層電荷 Q_B の和であり、全セミコンダクタ電荷と呼ばれている [23,24]。また、 Q_0 は、ゲート酸化膜と基板との境界面に固定された全実効界面電荷 [24] である。

しきい電圧制御

式 (2.1) を V_{FG} について解くと、次式となる。

$$V_{FG} = \frac{\sum_{n=1}^N C_{gn}V_{Gn} + C_{fb}V_B + C_{fs}V_S + C_{fd}V_D}{\sum_{n=1}^N C_{gn} + C_{fb} + C_{fs} + C_{fd}}$$

$$+ \frac{Q_C + Q_0 + Q_{FG}}{\sum_{n=1}^N C_{gn} + C_{fb} + C_{fs} + C_{fd}} \quad (2.2)$$

このとき、FG-MOSFETのあるゲート端子 k からみたみかけのしきい電圧 V_{tha} は、浮遊ゲートの電位 V_{FG} が内部MOSFETのしきい電圧 V_{th} となるときの値であるから、式(2.2)の V_{FG} を V_{th} に、 V_{Gk} を V_{tha} と置き換えると次式のように与えられる。

$$V_{tha} = \frac{\sum_{n=1}^N C_{gn} + C_{fb} + C_{fs} + C_{fd}}{C_{gk}} V_{th} + \frac{\sum_{n=1, n \neq k}^N C_{gn} + C_{fb} + C_{fd}}{C_{gk}} V_S - \frac{C_{fb}}{C_{gk}} V_B - \frac{C_{fd}}{C_{gk}} V_D - \sum_{n=1, n \neq k}^N \frac{C_{gn}}{C_{gk}} V_{Gn} - \frac{Q_C + Q_0 + Q_{FG}}{C_{gk}} \quad (2.3)$$

式(2.3)の第5項から分かるように、FG-MOSFETのゲート端子 k からみたしきい電圧 V_{tha} はその他のゲート端子電圧で線形に制御できる。これまで、MOSFETのしきい電圧を制御するにはソース・基板間電位 V_{SB} を制御する方法が用いられているが、このときのしきい電圧は次式のように表される[25]。

$$V_{th} = V_{th0} + \gamma \left\{ \sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right\} \quad (2.4)$$

ここで、 V_{th0} はゼロバイアスしきい電圧、 γ は基板効果係数、および ϕ_f はフェルミ電位である。このように、基板バイアス効果を利用してしきい電圧を制御する場合には、 V_{SB} に対するしきい電圧の変化が平方根に比例するために回路設計の難易度が高くなってしまう。また、しきい電圧を減少させるためには $V_{SB} < 0$ とする必要があるが、式(2.4)の $\sqrt{2\phi_f + V_{SB}} \geq 0$ より、 V_{th} は $V_{th0} - \gamma\sqrt{2\phi_f}$ よりも小さくはできない[†]。すなわち、エンハンスメント型のMOSFETをディプリーション型のMOSFETとして利用することは不可能である。ところが、FG-MOSFETの場合には、浮遊ゲートと第2ポリシリコンで構成されるキャパシタの面積比と各ゲート端子電圧を適切に設計・バイアスすることで、端子からみた V_{tha} を負とすることもでき、実質的にディプリーション型MOSFETとして利用することも容易である。こ

[†]n型MOSFETであれば、しきい電圧を下げるためにp基板をソース電位よりも高くバイアスすることになる。もし $V_{SB} < 0$ となるとp基板とソースのn+領域が順方向バイアスされることになり、電流がp基板からソースへ流れてしまう。

ここで、FG-MOSFETのみかけのしきい電圧を負とするための条件は、次式で与えられる。

$$\sum_{n=1, n \neq k}^N \frac{C_{gn}}{C_{gk}} V_{Gn} > \frac{\sum_{n=1}^N C_{gn} + C_{fb} + C_{fs} + C_{fd}}{C_{gk}} V_{th} + \frac{\sum_{n=1, n \neq k}^N C_{gn} + C_{fb} + C_{fd}}{C_{gk}} V_S - \frac{C_{fb}}{C_{gk}} V_B - \frac{C_{fd}}{C_{gk}} V_D - \frac{Q_C + Q_0 + Q_{FG}}{C_{gk}} \quad (2.5)$$

これらのFG-MOSFETの特性を利用すれば、標準的なデジタルCMOSプロセスでのアナログ回路設計の自由度が増し、また、FG-MOSFETのゲート面積やバイアス電圧の適切な設計を行えば、ディプリーション型MOSFETが利用できないプロセスでもディプリーション型MOSFETの特性が実現できることになる。このように、FG-MOSFETを低しきい電圧MOSFETとして利用すれば、回路の低電源電圧化が実現できる可能性がある。

伝達コンダクタンスと出力コンダクタンス

FG-MOSFETのあるゲート端子に小信号電圧信号を印加した場合、FG-MOSFETの構造から、浮遊ゲートに伝達される小信号電圧信号は式(2.2)より分かるように減少する。これは、同様のバイアス条件とした通常のMOSFETと比べると、実効的にFG-MOSFETの伝達コンダクタンスがゲートの容量比で減衰することを表している。例えば、FG-MOSFETのあるゲート端子kからみた伝達コンダクタンス g_{ma} は、次式で表される。

$$g_{ma} \triangleq \frac{\partial I_D}{\partial V_{Gk}} = \frac{\partial I_D}{\partial V_{FG}} \cdot \frac{\partial V_{FG}}{\partial V_{Gk}} = g_m \frac{C_{gk}}{C_{fg}} \quad (2.6)$$

ここで、 g_m は内部MOSFETの伝達コンダクタンスである。 $C_{gk}/C_{fg} < 1$ であるから、FG-MOSFETのある端子からみたみかけの伝達コンダクタンスは内部MOSFETの g_m よりも減少する。したがって、大きな g_{ma} を得るためにはバイアスドレイン電流を増加させるか、 C_{gk}/C_{FG} を1近くになるように設計しなければならない。ただし、そのような設計の場合には、FG-MOSFETのみかけしきい電圧を下げるためのバイアス電圧を高くする必要がある。

以上のように、FG-MOSFETの特性は浮遊ゲートの面積をどのように設計するか、各ゲート・浮遊ゲート間キャパシタンスをどのように設計する

かで大きく変化する。特に、低電源電圧下での利用を考えた場合には、回路の電圧振幅を大きく取るために、みかけのしきい電圧を下げなければならない。これは、 C_{gk}/C_{FG} を大きくとることとトレードオフの関係にあり、十分に注意して回路設計を行う必要がある。

次に、FG-MOSFETの出力コンダクタンスに関して述べる。

FG-MOSFETのドレイン電流は、浮遊ゲートの電圧を用いて次式で表される。

$$I_D = K (V_{FG} - V_{th})^2 (1 + \lambda V_{DS}) \quad (2.7)$$

ここで、 K は内部MOSFETのコンダクタンス係数であり $K = \mu W/2L$ である。また、 μ は電子の移動度、 λ はチャネル長変調係数、 W はチャネル幅および L はチャネル長である。このとき、FG-MOSFETの出力コンダクタンス g_{dsa} は両辺を V_{DS} で偏微分して次のように求められる。

$$g_{dsa} \triangleq \frac{\partial I_D}{\partial V_{DS}} = 2K (V_{FG} - V_{th}) (1 + \lambda V_{DS}) \frac{\partial V_{FG}}{\partial V_{DS}} + \lambda K (V_{FG} - V_{th})^2 \quad (2.8)$$

$$= \frac{C_{fd}}{C_{fg}} g_m + \lambda I_D \quad (2.9)$$

$$= \frac{C_{fd}}{C_{fg}} g_m + g_{ds} \quad (2.10)$$

ここで、 g_{ds} は内部MOSFETの出力コンダクタンスである。式(2.10)からFG-MOSFETの出力コンダクタンスは、内部MOSFETの出力コンダクタンスよりも増加することがわかる。通常的设计では $C_{fd} \ll C_{fg}$ であり、式(2.10)の第1項は無視できるが、浮遊ゲートの寸法を小さく設計する場合には注意する必要がある。

2.2. FG-MOSFET マクロモデルの SPICE シミュレーションへの組み込み

今日、複雑化・大規模化する回路の設計において、SPICEシミュレーションは必要不可欠なツールとなっている。特にアナログ集積回路において、素子の最適寸法やバイアス電圧・電流などを決定することは、手計算だけでは不可能と言ってもよく、回路の精密な解析ではSPICEシミュレーションは必須である。したがって、FG-MOSFETを用いた回路についても、シミュレーションによる設計・特性検証が不可欠である。しかし、FG-MOSFETは

SPICEにモデルとして組み込まれておらず、シミュレーションを行うにはモデルの構築を行わなければならない。ここで特に問題となるのは、2.1.章で述べたように、FG-MOSFETの浮遊ゲートが電氣的に浮いているために、単純にキャパシタを内部MOSFETのゲートに付けただけのモデルではシミュレーションが行えないことである。なぜならば、SPICEにおいては直流解析ではキャパシタを開放として扱ってしまうために、浮遊ゲートの直流バイアス点が定まらず、SPICEが解析を中断してしまうからである。この直流解析は他の交流解析や過渡解析を行う際にも、初期状態として直流バイアス点を計算するために前もって行われる。よって、直流解析が行えなければあらゆる解析が行えないことになる。

本小節では2.1.章で議論したFG-MOSFETの詳細な解析結果から、SPICEで利用できるマクロモデルの構築を行う。この提案するマクロモデルは直流解析・交流解析・過渡解析というSPICEの全ての解析で用いることができ、FG-MOSFETを用いた回路のシミュレーションに有効であることを示す。

2.2.1. マクロモデルの構成

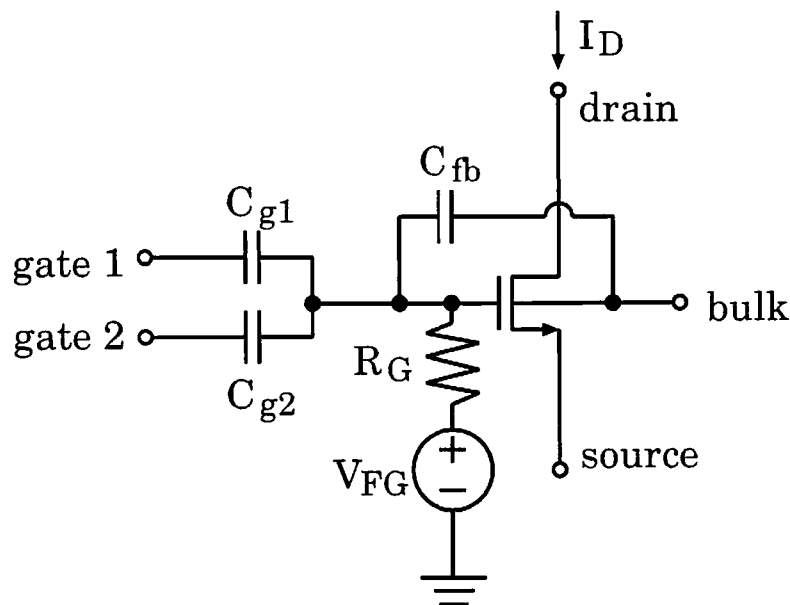


図 2.4 2ゲート型 FG-MOSFET のマクロモデル

図2.4 に提案する n 型 FG-MOSFET のマクロモデルを示す. このマクロモデルの特徴は, 直流解析時には全てのキャパシタが開放となり, 浮遊ゲートの電位は制御電圧源 V_{FG} のみによって定められる点である. この制御電圧源 V_{FG} は 2.1.2. 章の式 (2.2) から求められる. ここで, 全反転層電荷 Q_I と全空乏層電荷 Q_B の和である Q_C は, 浮遊ゲートの電位, ドレイン電位, ソース電位, 基板電位, およびドレイン電流の非線形関数であり, 次式で表される [23]-[24].

$$Q_C = -C_{ox}\phi_t \left\{ \frac{2}{3} \left(B_S + B_D - \frac{B_S B_D}{B_S + B_D} \right) - 1 \right\} - C_{ox} \frac{\gamma^2}{2(n-1)} - C_{ox}(n-1)\phi_t \quad (2.11)$$

ここで, 式 (2.11) における各変数は以下のように定義される.

$$B_S \triangleq \sqrt{1 + i_f} \quad (2.12)$$

$$B_D \triangleq \sqrt{1 + i_r} \quad (2.13)$$

$$i_f \triangleq \frac{I_F}{I_s} \quad (2.14)$$

$$i_r \triangleq \frac{I_R}{I_s} \quad (2.15)$$

$$I_s \triangleq \mu n C'_{ox} \frac{W}{L} \left(\frac{\phi_t^2}{2} \right) \quad (2.16)$$

$$C_{ox} \triangleq W L C'_{ox} \quad (2.17)$$

$$n \triangleq 1 + \frac{\gamma}{2\sqrt{\phi_{sa} - \phi_t}} \quad (2.18)$$

$$\phi_{sa} \triangleq \left\{ \sqrt{V_{FG} - V_B - V_{T0} - \left(\frac{\gamma}{2} + \sqrt{2\phi_F} \right)^2} - \frac{\gamma}{2} \right\}^2 \quad (2.19)$$

I_F と I_R はそれぞれ順方向電流と逆方向電流であり, それぞれ多数キャリアと少数キャリアに起因する電流である. μ は電子の移動度, n はスロープファクター, C'_{ox} は単位面積あたりのゲート酸化膜容量, L , W はゲートのチャネル長, チャネル幅, ϕ_t は熱電位, γ は基板効果係数, V_{T0} はゼロバイアスしきい電圧および ϕ_F はフェルミ電位である. いま, FG-MOSFET を飽和領域で動作させると仮定すると, $I_D \simeq I_F$, $I_R \simeq 0$ とみなすことができ, $B_S \simeq \sqrt{1 + (I_D/I_s)}$, $B_D \simeq 1$ となる. ここで I_D は FG-MOSFET のドレイン電流であり, $I_D = I_F - I_R$ である. このときの Q_C は, 次式で表される.

$$Q_C \simeq -\frac{2}{3} C_{ox} \phi_t \left(\frac{I_s}{I_D} + 1 \right) \left(\sqrt{1 + \frac{I_D}{I_s}} - 1 \right)$$

$$-C_{ox} \frac{\gamma^2}{2(n-1)} - \frac{3n-4}{3} C_{ox} \phi_t \quad (2.20)$$

式(2.2), (2.20)から図2.4の制御電圧源 V_{FG} を求めることができる。また、図2.4のマクロモデル中の高抵抗 R_G はSPICEシミュレーションを行うために付加した仮想的な抵抗である[†]。直流解析時には全てのキャパシタが開放されるために、浮遊ゲートから外部への電流の流入、流出がない。したがって、制御電圧源 V_{FG} の電圧は電圧降下なしに浮遊ゲートに与えられる。よって、制御電圧源 V_{FG} がそのまま浮遊ゲートの電位を定めるため、SPICEは内部MOSFETのバイアス状態を決定でき、解析が行える。また、交流解析・過渡解析時には高抵抗 R_G で制御電圧源と浮遊ゲートが絶縁された状態とみなせるので、制御電圧源 V_{FG} はシミュレーションに影響を及ぼさなくなる。このように、高抵抗 R_G を用いて浮遊ゲートの直流バイアスのみを定める点が、提案するマクロモデルの大きな特徴である。

2.2.2. マクロモデルの特性検証

提案するマクロモデルをSPICEで利用するために、FG-MOSFETサブサーキットを構成する。このサブサーキットではFG-MOSFETの端子電圧とドレイン電流を用いて式(2.2)~(2.20)から制御電圧源の電圧 V_{FG} を計算しなければならない。サブサーキットを構成するにあたり、本論文でターゲットとするオンセミコンダクタ1.2 μm ダブルポリシリコンプロセスのデバイスデータから直接得られないパラメータについては、以下の式から求めた。

$$N_A = N_i \exp\left(\frac{\phi_F}{\phi_t}\right) \quad (2.21)$$

$$\gamma = \frac{\sqrt{2q\epsilon N_A}}{C'_{ox}} \quad (2.22)$$

ここで、 N_A はp型基板のアクセプタ濃度、 N_i は純粋シリコン中の真性キャリア濃度、 ϕ_F はフェルミ電位、 ϕ_t は熱電位であり、 γ は基板効果係数、 q は電子の電荷量、 ϵ はシリコンの誘電率そして C'_{ox} は単位面積あたりのゲート酸化膜容量である。

構成したサブサーキットの有効性と特性を検証するために、回路シミュレータHSPICEを用いて、FG-MOSFET単体のシミュレーションを行った。図

[†]実際のFG-MOSFETに存在するわけではない。

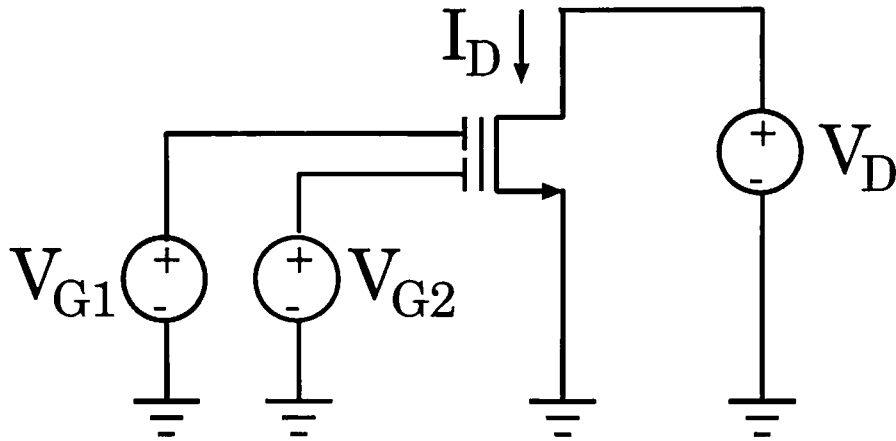


図 2.5 FG-MOSFET 単体のシミュレーション回路

2.5 にシミュレーションの構成を示す. ここで用いたプロセスは, VDEC(東京大学大規模集積システム設計教育研究センター)で提供されているオンセミコンダクタ $1.2\mu\text{m}$ ダブルポリシリコンCMOSプロセスのHSPICE用 level 28 modified BSIM model である. シミュレーション条件を表 2.1 に示す. ここで, 浮遊ゲートに製造時に蓄積される電荷 Q_{FG} と全実効界面電荷 Q_0 は, Q_{FG} は紫外線を照射することで除去でき, Q_0 は無視できる程小さいとしてそれぞれの値を零としてシミュレーションを行う.

表 2.1 FG-MOSFET サブキットのシミュレーション条件	
ドレイン・ソース間電圧	: $V_D = 1.5\text{V}$
第2ゲート・ソース間電圧	: $V_{G2} = 0, 0.5, 1, 1.5\text{V}$
内部 MOSFET のチャネル幅 W	: $4.96\mu\text{m}$
内部 MOSFET のチャネル長 L	: $2.96\mu\text{m}$
第1ゲートの面積 A_1	: $1024\mu\text{m}^2$
第2ゲートの面積 A_2	: $1024\mu\text{m}^2$
浮遊ゲートの面積 A_f	: $2575\mu\text{m}^2$

2ゲート型FG-MOSFETを用い第2ゲート・ソース間電圧をパラメータとしてシミュレーションを行った. 図 2.6 は直流解析の結果であり, 第1ゲートの電圧を変化させたときの浮遊ゲート電圧をプロットしている. 浮遊

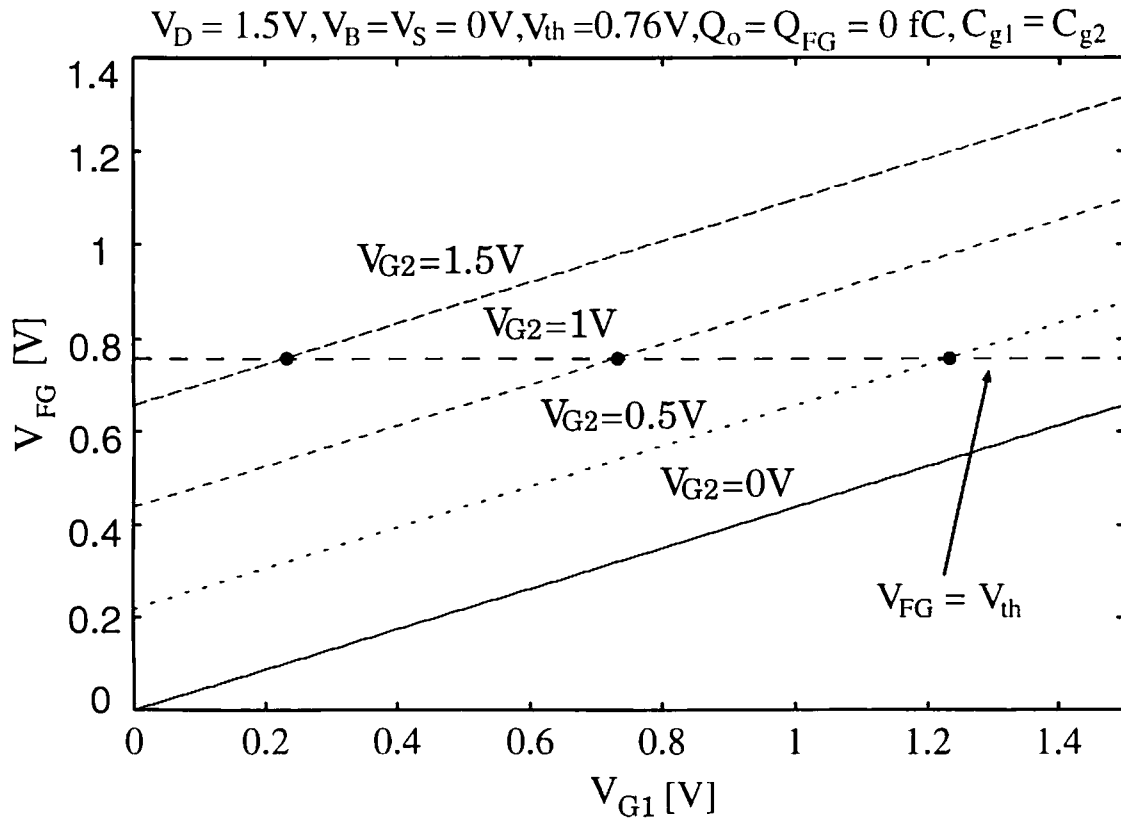


図 2.6 $V_{FG} - V_{G1}$ 特性 (V_{G2} をパラメータとしたとき)

ゲートは内部MOSFETのゲートであるから、 $V_{FG} > V_{th}$ でFG-MOSFETが能動状態⁵となる。図中で $V_{FG} = 0.75V$ 付近の破線は $V_{FG} = V_{th}$ を示しており、この破線よりも上の領域でFG-MOSFETが能動であることを示している。また、 $V_{FG} = V_{th}$ の破線と交わる点でFG-MOSFETがしきい電圧を越えることから、そのときの V_{G1} の値は第2ゲートをおある電圧にバイアスしたときの第1ゲートからみたまかけのしきい電圧を与える。この図より、 V_{G2} の電圧を適切にバイアスすることで、FG-MOSFETのみかけのしきい電圧を線形に制御できることがわかる。さらに、式(2.5)の条件を満たすように、第1ゲートと第2ゲートとの比と第2ゲートのバイアス電圧を適切に設計・制御すると、FG-MOSFETを実質的にディプリーション型MOSFETとして利用することもでき、回路設計の自由度が向上する。

⁵本論文において、FG-MOSFETが能動状態にあるとは、その内部MOSFETにおいて $V_{FG} - V_S \geq V_{th}$ が成り立っている状態、すなわち内部MOSFETがしゃ断でない状態にあることをさす。

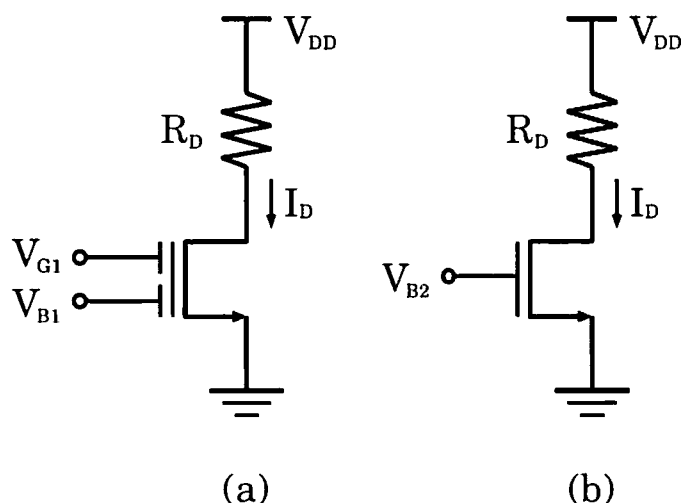


図 2.7 伝達コンダクタンスの比較のためのシミュレーション回路

通常 MOSFET と FG-MOSFET の伝達コンダクタンスの比較を行うために、図 2.7 に示す反転増幅器を用いて交流解析を行う。本シミュレーションにおいては、電源電圧 $V_{DD} = 1.5V$ であり、負荷抵抗 R_D は $100k\Omega$ である。また、FG-MOSFET の第 1、第 2 ゲートの面積比は $1:1$ で設計している。このとき、式 (2.6) から、FG-MOSFET の伝達コンダクタンスは、同条件にバイアスされた MOSFET に比べて $1/2$ 以下となることが予測される。

図 2.8 に、構成したマクロモデルを用いて SPICE シミュレーションを行った結果を示す。図 2.7(a) の FG-MOSFET の第 2 ゲートのバイアス電圧 $V_{B1} = 1.5V$ とし、第 1 ゲートには $0.75V$ の直流バイアス電圧と交流 $1V$ を印加している。また、図 2.7(b) の MOSFET のゲート電圧 V_{B2} には、FG-MOSFET の内部 MOSFET の状態と等しい状態での比較を行うために、図 2.7(a) の FG-MOSFET のシミュレーションにおいて得られた浮遊ゲートの直流バイアス電圧 V_{FG} を MOSFET の直流バイアス電圧 $V_{B2} = 0.982V$ として交流 $1V$ を印加している。このとき、ドレイン電流値は伝達コンダクタンスそのものとなる。図 2.8 より、FG-MOSFET の第 1 ゲート・浮遊ゲートと第 2 ゲート・浮遊ゲートの容量比を $1:1$ で設計した場合の第 1 ゲートからみた伝達コンダクタンスは、FG-MOSFET の内部 MOSFET と同条件にバイアスした場合の MOSFET よりも $1/2$ 以下になることがわかる。特に、浮遊ゲートのサイズを小さくした場合には、チャネルの電荷 Q_C が浮遊ゲートの電位

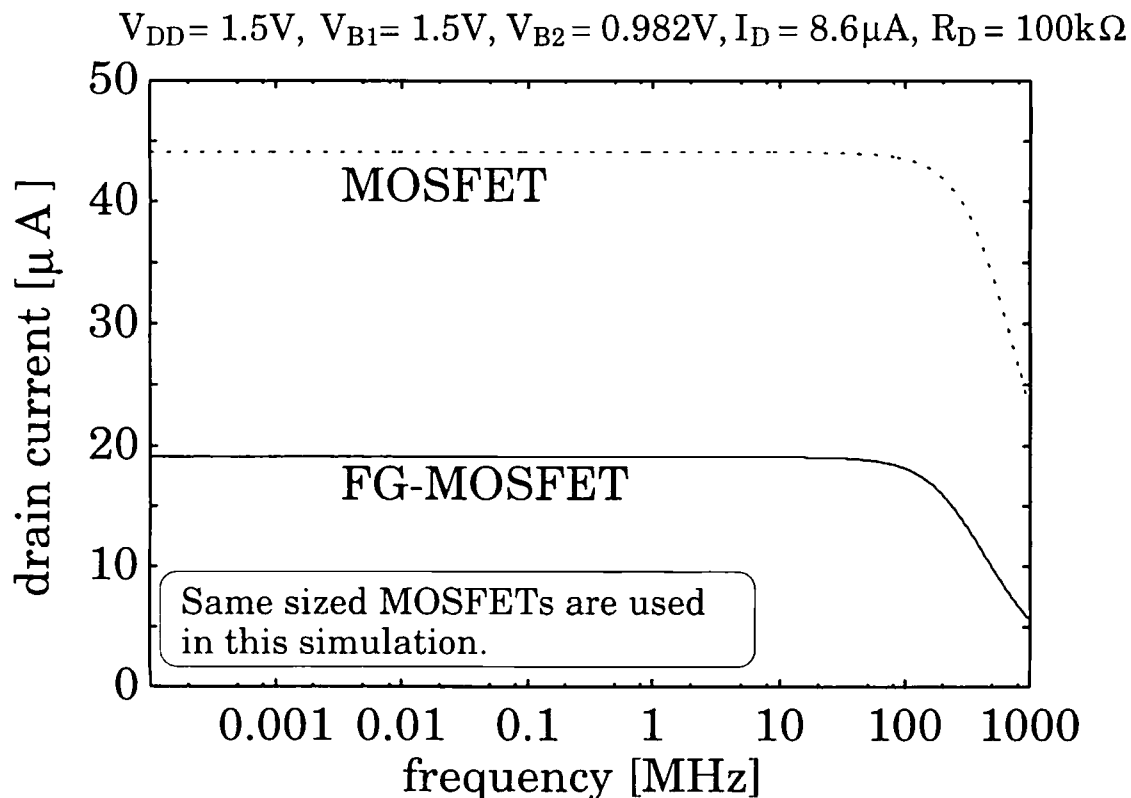


図 2.8 通常の MOSFET と FG-MOSFET の伝達コンダクタンスの比較

を下げるようにはたらくために、伝達コンダクタンスの低下が顕著であるため、回路設計の際には回路特性に影響が出ない範囲で、浮遊ゲートの面積をできるだけ大きく設計することが望ましい。また、本シミュレーションのそれぞれの場合の-3dB しゃ断周波数は、通常の MOSFET を用いた場合は 234MHz であり、FG-MOSFET を用いた場合は 191MHz であった。このことから、FG-MOSFET を用いた回路は通常の MOSFET のみの回路よりも、同条件にバイアスされた場合では、しゃ断周波数が低下すると予測される。

2.3. まとめ

第2章では、本研究で最も重要なFG-MOSFETの諸特性を理論的に検討し、SPICEシミュレーションで利用可能なマクロモデルを構築した。

まず、マクロモデルを構築するためにFG-MOSFETの諸特性の理論的検討を行い、FG-MOSFETのみかけのしきい電圧の線形制御性、伝達コンダクタンスの減少および出力コンダクタンスの増加について明らかにした。特に、FG-MOSFETはみかけのしきい電圧を線形に制御できるために、通常のMOSFETでは実現できないような低電源電圧の下でも動作するアナログ回路が実現できる可能性がある。

次に、SPICEで利用できるFG-MOSFETマクロモデルを構築し、SPICE用サブサーキットとして実現した。このマクロモデルはチャネル領域の電荷の影響を考慮してFG-MOSFETの浮遊ゲートの電位を求める点に新規性をもつ。実現したサブサーキットは直流解析時に浮遊ゲートの電位を定めることができ、交流・過渡解析時には影響を及ぼさないように構成した。このサブサーキットの機能検証のために直流解析と交流解析を行い、みかけのしきい電圧が線形に制御できること、および伝達コンダクタンスが減少することを示した。したがって、このサブサーキットを用いれば、FG-MOSFETの厳密なSPICEシミュレーションが可能になり、FG-MOSFETを用いたアナログ回路設計が容易になる。

第3章 FG-MOSFET 電流モード完全差動積分器

本章では、FG-MOSFETを用いた電流モード完全差動積分器を提案し、その解析について述べる。積分器はフィルタ等の応用回路に用いられる基本演算回路の1つであり、これまでに多くの研究がなされている[9-15]。特に近年では、集積回路の低電源電圧化が望まれており、電圧モード回路では十分に電圧振幅が取れなくなりつつあるため、電流モード回路での実現が試みられている[6-12]。提案する積分器も電流モード回路であり、FG-MOSFETを用いて、電源電圧1.5Vで動作する積分器を構成することを目標とする[11,12]。

まず、提案する基本積分器について述べる。この基本積分回路は4個のFG-MOSFETと4個の電流源としてはたらくp型MOSFET単体からなる。4個のFG-MOSFETのうち2つは3ゲート型FG-MOSFETであり、互いに交差結合している。この交差結合した2個のFG-MOSFETは入力段に負性コンダクタンスを発生できるように設けており、積分器自体の入力コンダクタンスと前段回路の出力コンダクタンスが原因で積分器のQ(Quality Factor)が劣化するのを防ぐことができる[14]。

次に、提案する積分器は高周波において同相成分除去比CMRR(Common-Mode Rejection Ratio)が低下するという問題があるため、基本積分器に同相成分除去回路を付加し、CMRRを向上の向上を図る。入力電流の同相成分を出力へフィードフォワードするCMFF(Common-Mode Feedforward)回路と出力電位の同相成分を入力へフィードバックするCMFB(Common-Mode Feedback)回路と、この2つを組み合わせたものについて検討する[15]。

これら3種の回路についてSPICEシミュレーションを行い、差動利得、同相利得およびCMRRを求め、提案する基本積分器と同相成分除去回路を付加した積分器が積分器として動作する周波数範囲やCMRRについて評価する。その結果、基本積分器は外付け容量 $C=1\text{pF}$ のときに4MHz~290MHzで積分器として利用できること、CMFF回路の方がCMFB回路よ

りもCMRRの改善ができることを示す。CMFF回路を基本積分器に付加した場合、CMRRは低周波域では19.5dBから35.5dBに向上し、CMRR=0dBとなる周波数も9.5MHzから54MHzとなり、CMRRを改善できることを明らかにする。

3.1. 基本積分器

本小節では、基本積分器について述べる[11,12]。提案する基本積分回路は、電流モード完全差動型回路であり、低電源電圧化に適している。また、回路への入出力信号は信号が電流で表現されるために、加減算が容易であるという特徴をもつ。したがって、シグナルフログラフ手法によるフィルタ回路の構成等への応用が期待できる。

3.1.1. 回路構成

図3.1に提案するFG-MOSFETを用いた基本積分器を示す。提案する基本積分器は、入力電流の積分を行う積分容量C、3ゲート型FG-MOSFET M_1 と M_2 からなる交差結合対、電流-電圧変換を行う2ゲート型FG-MOSFETおよび電流源としてはたらくp型MOSFETからなる。

入力された電流は積分容量Cで積分され一旦電圧に変換される。さらにその積分された電圧信号を受けて、2ゲート型FG-MOSFETと電流源からなる出力段で電圧-電流変換され出力電流を得る構成となっている。3ゲート型FG-MOSFET M_1 と M_2 からなる交差結合対は入力コンダクタンスを調整すると同時に、CMRRの向上にも寄与している。また、 $M_1 \sim M_4$ のFG-MOSFETでは、それぞれゲート端子の1つが制御電圧源に繋がれており、それぞれのFG-MOSFETのみかけのしきい電圧を制御するように構成している。

3.1.2. 小信号解析

FG-MOSFETを用いた回路では、FG-MOSFETの浮遊ゲート電圧の小信号成分に注目すれば内部MOSFETを通常のMOSFETとみなせるので、回路の解析が容易になる。2.1.章の図2.3に示したFG-MOSFETの等価回路か

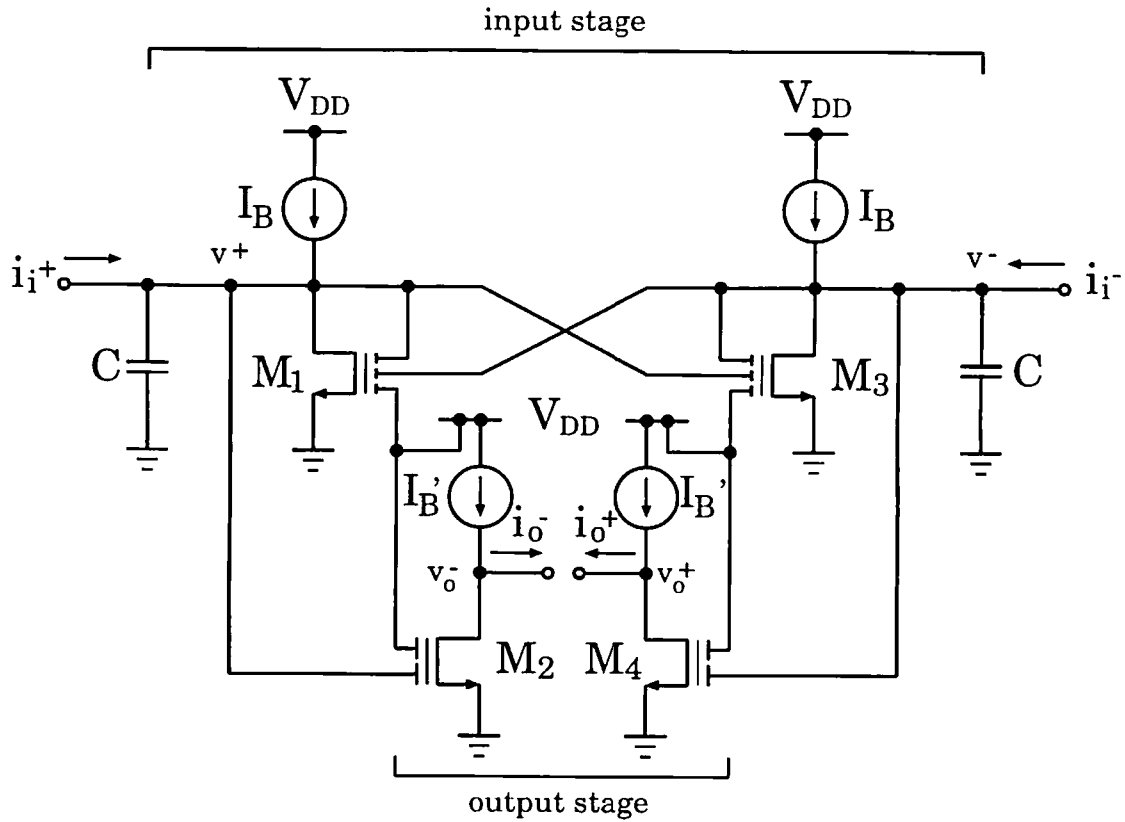


図 3.1 FG-MOSFET を用いた基本積分器

ら，浮遊ゲートの小信号電圧 v_{fg} は次式のように表せる．

$$v_{fg} = \frac{\sum_{n=1}^N C_{gn} v_{gn} + C_{fd} v_d + C_{fs} v_s + C_{fb} v_b}{\sum_{n=1}^N C_{gn} + C_{fd} + C_{fs} + C_{fb}} + \frac{q_c}{\sum_{n=1}^N C_{gn} + C_{fb} + C_{fs} + C_{fd}} \quad (3.1)$$

ここで， N は FG-MOSFET のゲート数， C_{gn} は第 n ゲート・浮遊ゲート間容量， v_{gn} は第 n ゲートの小信号電圧， C_{fs} ， C_{fd} はそれぞれ内部 MOSFET のゲート・ソース間，ゲート・ドレイン間の重なり容量， C_{fb} は浮遊ゲートと基板間の容量である．また， v_d ， v_s ， v_b はそれぞれドレイン，ソース，基板の小信号電圧である． q_c はドレイン電流でチャネル電荷が変化するのに対応する小信号成分である．

q_C に関しては、シミュレーション以外では求めることが困難であり、 v_{fg} への寄与も他の信号に比べて小さいと考えられるので、今後の解析では $q_C = 0$ として扱う。また、提案する基本積分器では全てのソース、基板は接地されているので、 $v_b = v_s = 0$ となる。これらの条件のとき、式(3.1)は次のようになる。

$$v_{fg} = \frac{\sum_{n=1}^N C_{gn} v_{gn} + C_{fd} v_d}{\sum_{n=1}^N C_{gn} + C_{fd} + C_{fs} + C_{fb}} \quad (3.2)$$

基本積分器の入力端子において、それぞれの入力電流の小信号成分 i_i^+ 、 i_i^- に関してキルヒホッフの電流則より、式(3.3)、(3.4)を得る。

$$\begin{aligned} i_i^+ &= sCv^+ + g_{dsb}v^+ + g_{m1}v_{fg1} + g_{ds1}v^+ \\ &\quad + sC_{1g1}(v^+ - v_{fg1}) + sC_{3g2}(v^+ - v_{fg3}) \\ &\quad + sC_{2g2}(v^+ - v_{fg2}) \end{aligned} \quad (3.3)$$

$$\begin{aligned} i_i^- &= sCv^- + g_{dsb}v^- + g_{m3}v_{fg3} + g_{ds3}v^- \\ &\quad + sC_{3g1}(v^- - v_{fg3}) + sC_{1g2}(v^- - v_{fg1}) \\ &\quad + sC_{4g2}(v^- - v_{fg4}) \end{aligned} \quad (3.4)$$

ここで、 v^+ 、 v^- はそれぞれの入力端子の小信号電圧、 C は積分容量、 C_{pgq} はFG-MOSFET M_p の q 番目のゲート端子・浮遊ゲート間容量、 v_{fgp} は M_p の浮遊ゲート・基板間電圧、 g_{dsb} は I_B の出力コンダクタンス、 g_{dsp} は M_p のドレイン・ソース間コンダクタンス、 g_{mp} は M_p の浮遊ゲートから見た伝達コンダクタンスおよび s は複素周波数である。

M_1 と M_2 の浮遊ゲート電圧の小信号電圧 v_{fg1} と v_{fg2} はそれぞれ次のように与えられる。

$$v_{fg1} = \frac{C_{1g1}v^+ + C_{1g2}v^- + C_{1fd}^*v^+}{C_{fg1}} \quad (3.5)$$

$$v_{fg2} = \frac{C_{2g2}v^+ + C_{2fd}^*v^-}{C_{fg2}} \quad (3.6)$$

ここで、

$$C_{fg1} \triangleq C_{1g1} + C_{1g2} + C_{1g3} + C_{1fd}^* + C_{1fs}^* + C_{1fb}^* \quad (3.7)$$

$$C_{fg2} \triangleq C_{2g1} + C_{2g2} + C_{2fd}^* + C_{2fs}^* + C_{2fb}^* \quad (3.8)$$

であり、浮遊ゲートに繋がっている容量の総和を表す。\$v_o^+\$と\$v_o^-\$はそれぞれ出力端子の小信号電圧、\$C_{pfd}^*\$、\$C_{pfs}^*\$と\$C_{pfb}^*\$はそれぞれ、\$M_p\$の浮遊ゲート・ドレイン間、浮遊ゲート・ソース間および浮遊ゲート・基板間の小信号容量である。これらの小信号容量は次のように与えられる。

$$C_{pfd}^* \equiv C_{pfd} + \left(\frac{\partial Q_C}{\partial V_D} \right)_{V_{FG}} \quad (3.9)$$

$$C_{pfs}^* \equiv C_{pfs} + \left(\frac{\partial Q_C}{\partial V_S} \right)_{V_{FG}} \quad (3.10)$$

$$C_{pfb}^* \equiv C_{pfb} - \left(\frac{\partial Q_C}{\partial V_S} \right)_{V_B} - \left(\frac{\partial Q_C}{\partial V_D} \right)_{V_B} - \left(\frac{\partial Q_C}{\partial V_{FG}} \right)_{V_B} \quad (3.11)$$

ここで、\$C_{pfd}\$、\$C_{pfs}\$と\$C_{pfb}\$はそれぞれ\$Q_C\$と独立な容量を示す。これらの式は\$M_3\$、\$M_4\$についても同様に表される。

それぞれの対となるFG-MOSFETがそれぞれ完全に整合しているとき、次の関係を満たす。

$$C_{1g1} = C_{3g1} \quad (3.12)$$

$$C_{1g2} = C_{3g2} \quad (3.13)$$

$$C_{1g3} = C_{3g3} \quad (3.14)$$

$$C_{2g2} = C_{4g2} \quad (3.15)$$

$$g_{ds1} = g_{ds3} \quad (3.16)$$

$$g_{m1} = g_{m3} \quad (3.17)$$

$$g_{m2} = g_{m4} \quad (3.18)$$

このとき、式(3.3)、(3.4)は次の式にまとめることができる。

$$i_i^+ = (sC_{e1} + g_{e1})v^+ - (sC_{e2} - g_{e2})v^- - sC_{e3}v_o^- \quad (3.19)$$

$$i_i^- = (sC_{e1} + g_{e1})v^- - (sC_{e2} - g_{e2})v^+ - sC_{e3}v_o^+ \quad (3.20)$$

ここで、

$$C_{e1} = C + C_{1g1} + C_{1g2} + C_{2g2} - \left(\frac{C_{1g1}^2 + C_{1g1}C_{1fd}^* + C_{1g2}^2}{C_{fg1}} + \frac{C_{2g2}^2}{C_{fg2}} \right) \quad (3.21)$$

$$C_{e2} = C_{1g2} \left(\frac{2C_{1g1} + C_{1fd}^*}{C_{fg1}} \right) \quad (3.22)$$

$$C_{e3} = \frac{C_{2g2}C_{2fd}^*}{C_{fg2}} \quad (3.23)$$

$$g_{e1} = g_{ds1} + g_{dsb} + \left(\frac{C_{1g1} + C_{1fd}^*}{C_{fg1}} \right) g_{m1} \quad (3.24)$$

$$g_{e2} = \frac{C_{1g2}}{C_{fg1}} g_{m1} \quad (3.25)$$

である。

また、それぞれの出力端子においても対となるFG-MOSFETが完全に整合しているとき $g_{m2} = g_{m4}$ が成り立ち、それぞれの出力電流は次の式で与えられる。

$$i_o^+ = -g_o v_o^+ - g_{m2} v_{fg4} \quad (3.26)$$

$$i_o^- = -g_o v_o^- - g_{m2} v_{fg2} \quad (3.27)$$

また、 g_o は出力端からみたコンダクタンスであり、

$$g_o \equiv g_{ds2} + g_{dsb'} + g_{m2} \frac{C_{2fd}^*}{C_{fg2}} \quad (3.28)$$

と表される。なお、 $g_{dsb'}$ は I_B の出力コンダクタンスである。

式(3.19), (3.20), (3.26) と (3.27) より、入力電流と出力電流の差動成分と同相成分は次のようになる。

- 入力電流の差動分

$$i_i^+ - i_i^- = \{s(C_{e1} + C_{e2})g_{e1} - g_{e2}\}(v^+ - v^-) - sC_{e3}(v_o^+ - v_o^-) \quad (3.29)$$

- 入力電流の同相分

$$i_i^+ + i_i^- = \{s(C_{e1} - C_{e2})g_{e1} + g_{e2}\}(v^+ + v^-) - sC_{e3}(v_o^+ + v_o^-) \quad (3.30)$$

同様に出力電流に対しては次のように与えられる。

- 出力電流の差動分

$$i_o^+ - i_o^- = -g_o(v_o^+ - v_o^-) + g_{m2}(v_{fg2} - v_{fg4}) \quad (3.31)$$

- 出力電流の同相分

$$i_o^+ + i_o^- = -g_o(v_o^+ + v_o^-) - g_{m2}(v_{fg2} + v_{fg4}) \quad (3.32)$$

出力端子において交流的に短絡の場合，すなわち，小信号電圧 $v_o^+ = v_o^- = 0$ と仮定すると，式 (3.29)，(3.30)，(3.31) および (3.32) より，積分回路の差動利得 A_{dif} と同相利得 A_{cm} はそれぞれ次のようになる．

$$\begin{aligned} A_{dif} &\triangleq \left. \frac{i_o^+ - i_o^-}{i_i^+ - i_i^-} \right|_{v_o^+ = v_o^- = 0} \\ &= \frac{g_{m2} \frac{C_{2g2}}{C_{fg2}}}{s(C_{e1} + C_{e2}) + g_{e1} - g_{e2}} \end{aligned} \quad (3.33)$$

$$\begin{aligned} A_{cm} &\triangleq \left. \frac{i_o^+ + i_o^-}{i_i^+ + i_i^-} \right|_{v_o^+ = v_o^- = 0} \\ &= -\frac{g_{m2} \frac{C_{2g2}}{C_{fg2}}}{s(C_{e1} - C_{e2}) + g_{e1} + g_{e2}} \end{aligned} \quad (3.34)$$

同相利得除去比 CMRR を式 (3.35) と定義する．

$$CMRR \triangleq \left| \frac{A_{dif}}{A_{cm}} \right| \quad (3.35)$$

式 (3.33)，(3.34) の差動利得 A_{dif} と同相利得 A_{cm} より，提案する基本積分器の同相成分除去比 CMRR は次式で与えられる．

$$CMRR = \left| \frac{s(C_{e1} - C_{e2}) + g_{e1} + g_{e2}}{s(C_{e1} + C_{e2}) + g_{e1} - g_{e2}} \right| \quad (3.36)$$

したがって，直流に近い低周波域および高周波域での CMRR は $s = j\omega$ とし，それぞれ次のようになる．

$$CMRR|_{s=j0} = \left| \frac{g_{e1} + g_{e2}}{g_{e1} - g_{e2}} \right| \quad (3.37)$$

$$CMRR|_{s=j\infty} = \left| \frac{C_{e1} - C_{e2}}{C_{e1} + C_{e2}} \right| < 1 \quad (3.38)$$

また，基本積分器の Q は式 (3.33) より次の式となる．

$$Q = \frac{\omega(C_{e1} + C_{e2})}{g_{e1} - g_{e2}} \quad (3.39)$$

これらの式が示すように，低周波域では $g_{e1} = g_{e2}$ と設計することで高い CMRR が得られとともに，高 Q となることがわかる．逆に，高周波域では $CMRR < 1$ となるため，高周波域でも CMRR 高くするためには同相モードフィードフォワード (CMFF) 回路や同相モードフィードバック (CMFB) 回路をこの基本積分器に付加する必要がある．

3.1.3. 直流バイアス条件

この小節では、図 3.1 の積分器の $M_1 \sim M_4$ が能動状態にバイアスされるための条件について考察する。この条件は、 $M_1 \sim M_4$ の各 FG-MOSFET において、その浮遊ゲート電圧 V_{FG} が内部 MOSFET のしきい電圧 V_{th} より小さくないとの条件から導ける。3ゲート型 FG-MOSFET の M_1, M_3 の場合で考えると、それらの V_{FG} は、内部 MOSFET が飽和領域で動作する場合、式 (2.2) で

$$Q_C = \frac{1}{n} Q_I - C'_{ox} WL \left\{ (n-1)\phi_t + \frac{\gamma^2}{2(n-1)} \right\} \quad (3.40)$$

$$\equiv \frac{1}{n} Q_I + Q_{Ba} \quad (3.41)$$

$$Q_I = -nC_{gs}(V_{FG} - V_{th}) \quad (3.42)$$

とおき、 $Q_0 + Q_{FG} = 0$ で*、重なり容量 C_{fs}, C_{fd} を無視でき、かつ FG-MOSFET M_1, M_3 のソースと基板が接地されているとの条件のもとで、以下の式で近似的に表せる。

$$V_{FG} = \frac{C_{g1}V_{G1} + C_{g2}V_{G2} + C_{g3}V_{G3} + C_{gs}V_{th} + Q_{Ba}}{C_{g1} + C_{g2} + C_{g3} + C_{gs} + C_{fb}} \quad (3.43)$$

以上の式で、 $n, \gamma, \phi_t, C_{gs}$ は内部 MOSFET に関するもので、それぞれスロープファクタ、基板効果係数、熱電位、ゲート・ソース間容量を表す。式 (3.43) において、 $V_{G1} = V_{DD} - V_{sdb,sat}$, $V_{G2} = 2V_{CM} - V_{DD} + V_{sdb,sat}$, $V_{G3} = V_{DD}$ (ただし、 $V_{CM}, V_{sdb,sat}$ は、それぞれ V^+ と V^- の直流電圧成分、電流源 I_B を構成する p チャネル MOSFET のソース・ドレイン間飽和電圧を表す。) とおき、それより求まる V_{FG} の式を $V_{FG} \geq V_{th}$ に代入して、 M_1, M_3 が能動状態にあるための V_{CM} の下限が得られる。

$$V_{CM} \geq \frac{V_{th}C_{fg} - (C_{g1} - C_{g2} + C_{g3})V_{DD} + (C_{g1} - C_{g2})V_{sdb,sat}}{2C_{g2}} \quad (3.44)$$

ただし、 $C_{fg} \triangleq C_{g1} + C_{g2} + C_{g3} + C_{gs} + C_{fb}$ であり、浮遊ゲートに繋がっている容量の総和を意味する。

同様の解析を M_2, M_4 についても行い、以上の解析で得られた結果から $M_1 \sim M_4$ のすべてが能動状態にあるための V_{CM} の下限が得られる。フィルタの各積分器においては、その積分器の入力端子の直流バイアス電圧、

* Q_{FG} は紫外線を照射することで除去できることが分かっている。

および次段の回路の直流入力等価回路を考慮のうえ、各積分器の入力端子および出力端子の直流バイアス点が上述の V_{CM} の下限以上になるようにバイアス電流源 I_B と I_B の値を設定することが必要である。特に、当該積分器の次段もまた積分器である場合には、その積分器の I_B が次段の積分器の I_B と並列に接続されるので、これらの電流源を一つの等価な電流源で置き換えることができる。

3.1.4. 動作周波数範囲

本小節では、基本積分器の動作周波数範囲について考察する。積分器がどのような範囲で利用できるのか明らかにしておくことは、回路設計の際には重要である。特に、積分器では入力電流振幅の制限や積分した信号の位相のずれがフィルタ等へ応用する場合には重要な要素となるために、これらについて詳細に解析を行う。

大振幅特性から決まる動作下限角周波数

図 3.1 において M_1, M_3 のドレイン電流をそれぞれ I_{ds1}, I_{ds3} とするとき、 $I_{ds1} = I_{ds3} = I_B = \text{一定}$ かつ $V_{CM} \triangleq \frac{1}{2}(V^+ + V^-) = \text{一定}$ と仮定する。さらに、 M_1 と M_3 の対、 M_2 と M_4 の対のそれぞれで完全な整合が成立し、かつ $M_1 \sim M_4$ が能動状態にあると仮定する。

これらの仮定の下で、正相入力端子において

$$V^+ = \int \frac{1}{C_{in}} I_i^+ dt + V_{CM} \quad (3.45)$$

が成り立つ。ここで C_{in} は入力端子から見える容量であり、各 FG-MOSFET の C_{fd} が無視でき、かつ $C_{1g1} \simeq C_{1g2}$ のとき、次式で表される。

$$C_{in} = C + C_{1g1} + C_{1g2} + \frac{C_{2g2} (C_{2g1} + C_{2fb}^* + C_{2fs}^*)}{C_{2g1} + C_{2g2} + C_{2fb}^* + C_{2fs}^*} \quad (3.46)$$

いま入力電流 I_i^+ を

$$I_i^+ = |I_i^+|_{max} \cos \omega t \quad (3.47)$$

とおくと、式 (3.45) より

$$V^+ = \frac{|I_i^+|_{max}}{\omega C_{in}} \sin \omega t + V_{CM} \quad (3.48)$$

を得る。ここで I_B を構成するpチャネルMOSFETを M_b とし、 M_b と M_1 の飽和電圧をそれぞれ $V_{sdb,sat}, V_{ds1,sat}$ とすると、 M_b と M_1 がどちらも飽和領域から飛び出ないための条件は

$$\frac{|I_i^+|_{max}}{\omega C_{in}} + V_{CM} \leq V_{DD} - V_{sdb,sat} \quad (3.49)$$

$$-\frac{|I_i^+|_{max}}{\omega C_{in}} + V_{CM} \geq V_{ds1,sat} \quad (3.50)$$

となる。よって、式(3.49), (3.50)より

$$\omega \geq \frac{|I_i^+|_{max}}{C_{in}(V_{DD} - V_{sdb,sat} - V_{CM})} \quad (3.51)$$

$$\omega \geq \frac{|I_i^+|_{max}}{C_{in}(V_{CM} - V_{ds1,sat})} \quad (3.52)$$

が同時に満たされることが、積分器特性が極度に歪まないための動作下限角周波数を与える。

小信号特性から決まる動作下限角周波数

積分器の差動伝達関数:

$$A_{dif} = \frac{g_{m2} \frac{C_{2g2}}{C_{fg2}}}{j\omega(C_{e1} + C_{e2}) + g_{e1} - g_{e2}} \quad (3.53)$$

より、 A_{dif} が無損失積分器特性を示すためには、

$$\omega \gg \frac{|g_{e1} - g_{e2}|}{C_{e1} + C_{e2}} \quad (3.54)$$

となる必要がある。この条件を積分器の位相特性において位相が $-90^\circ \pm \theta^\circ$ 以内となる ω の範囲として表現すると、

$$\omega \geq \frac{|g_{e1} - g_{e2}|}{(C_{e1} + C_{e2}) \tan \theta} \quad (3.55)$$

が、積分器が実効的に無損失積分器としての動作する下限角周波数を与える。

動作下限周波数

以上の議論より求めた式(3.51), (3.52), および(3.55)のうち、最も高い下限角周波数が積分器の動作下限角周波数となる。よって、積分器の動作

下限周波数 f_L は無損失積分器の場合次式で与えることができる。

$$f_L = \max \left\{ \frac{|I_i^+|_{max}}{2\pi C_{in}(V_{CM} - V_{ds1,sat})}, \frac{|I_i^+|_{max}}{2\pi C_{in}(V_{DD} - V_{sdb,sat} - V_{CM})}, \frac{|g_{e1} - g_{e2}|}{2\pi(C_{e1} + C_{e2}) \tan \theta} \right\} \quad (3.56)$$

通常的设计では、 f_L は小信号特性から決まる動作下限周波数で決まる。後述の基本積分器では $C=1\text{pF}$ としたときの Q 補償前での f_L は 4MHz 程度となる。また、有損失積分器の場合の f_L は式 (3.56) の右辺の中括弧内の第3項を除いた式で与えられる。

動作上限周波数と積分器利得

提案の積分器の動作上限周波数 f_H は、その位相応答が高次極の影響により -90° から遅れ始める周波数で決まる。いま動作上限周波数を位相応答が -92.5° となる周波数と定義すると、 Q 補償前での f_H は 300MHz 程度となる。一方、積分器利得は、式 (3.33) から分かるように $g_{m2} \frac{C_{2g2}}{C_{fg2}(C_{e1} + C_{e2})}$ で与えられる。ここで、式 (3.21), (3.22) から明らかなように、 $C_{e1} + C_{e2}$ には FG-MOSFET のフローティングゲートに接続した容量から決まる下限 (すなわち、 $C = 0$ 時の $C_{e1} + C_{e2}$) がある。また、FG-MOSFET の実効的な伝達コンダクタンスの値も、係数 $\frac{C_{2g2}}{C_{fg2}} (< 1)$ によって g_{m2} よりも小さくなる。したがって、フィルタの設計においては、その周波数特性の仕様から決まる積分器利得に応じて FG-MOSFET の素子面積とキャパシタ C の値、それに g_{m2} を決める M_2, M_4 のドレイン電流値とチャネル幅 W を適切に設計する必要がある。特に高周波フィルタの設計においては、 g_{m2} を大きくとる必要から M_2, M_4 の W とドレイン電流 I_B を大きくとることが必要となるが、これは消費電力の増加とゲート面積の増大を伴う。また、そのとき $C_{e1} + C_{e2}$ の方は小さくとる必要上、フローティングゲートの面積は小さく設計する必要がある。以上の考察から、提案の基本積分器は、FG-MOSFET を用いたことにより低電圧電源で動作できるが、その代償として高周波での応用においては素子面積と消費電力が大きくなると考えられる。

3.1.5. 高調波歪

提案の積分器において、MOSFETの2乗特性に起因した高調波歪の解析は、Smithらが電流ミラー型電流モード積分器について歪解析した方法[9]と同様の方法で行える。入力端子の電圧とFG-MOSFETのドレイン電流をフーリエ展開し、4次以上の高調波成分については十分に小さいものとして無視することとする。

ここで、簡単のため結果のみを示すと、 M_1 と M_3 の対、 M_2 と M_4 の対のそれぞれで完全な整合が成立している場合、提案の基本積分器は完全差動型回路構成のため差動信号に関して偶数次高調波歪が0になる。奇数次高調波歪の主要部は2次高調波歪 HD_3 であり、それは次式で求まる。

$$HD_3 = \frac{1}{32} \left\{ \frac{i_{od,max}}{2(I_B' - I_{ocm})} \right\}^2 \quad (3.57)$$

ここで、 $i_{od,max}$ は積分器が無歪のときの差動出力の正弦波振幅[9]、 I_{ocm} は積分器の出力電流の同相成分で直流であることを仮定している。式(3.57)は、積分器の各MOSFETの特性が2乗則に従い、かつ積分器の差動信号特性が無損失のとき、積分器の高調波歪はその出力段の M_2, M_4 の2乗特性から生ずることを示している。いま代表的な例として、 $|i_{od,max}|/2I_B' = 0.14$ かつ $I_{ocm} = 0$ のとき、積分器特性の動作下限周波数付近での HD_3 は0.1%程度である[14]。

3.1.6. Q補償法

差動信号に関して、FG-MOSFET積分器は図3.2に示す等価回路で表せる。同図で、 g_o は差動信号に関する積分器の出力コンダクタンスであり、 $g_o \equiv g_{ds2} + g_{dsb'} + g_{m2}C_{2fd}^*/C_{fg2}$ で与えられる。ここで、 $g_{ds2}, g_{dsb'}$ はそれぞれ M_2, I_B' の出力コンダクタンスである。また、同図において g_o' は前段回路の出力コンダクタンスを表す。

図3.2に示すように、前段回路の出力コンダクタンス g_o' が積分器の入力容量と並列に接続されるため、積分器の実効Qが低下する。このQの低下はフィルタ伝達関数の極のQを低下させ、特にフィルタの通過域端特性を劣化させる原因となる。よって、積分器の実効Qを高く保つような工夫が必要となる。提案の積分器では、式(3.33)から分かるように積分器の差

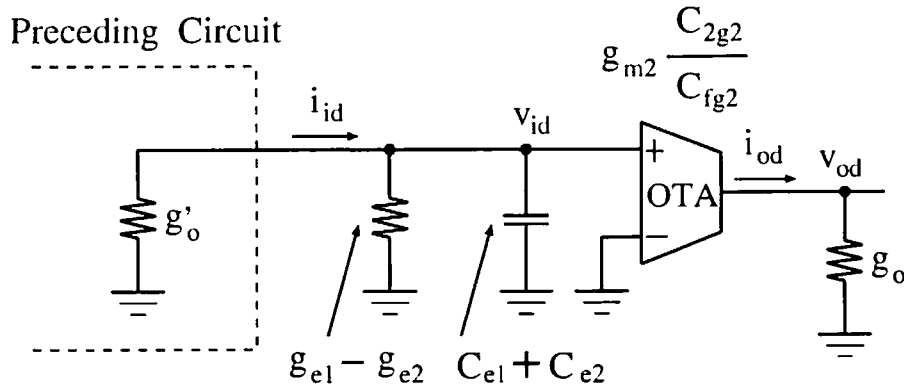


図 3.2 差動信号に関するFG-MOSFET完全差動型積分器の等価回路モデル

動入力コンダクタンスを $g_{e1} - g_{e2} < 0$ に設計し、この負コンダクタンスで前段回路の出力コンダクタンスを打ち消して積分器の実効Qを改善することができる。ただし、 $Q > 0$ の条件から

$$g'_o + g_{e1} - g_{e2} > 0 \tag{3.58}$$

を満たすことが必要である。式(3.24),(3.25)において、 C_{1fd}^* は C_{1g1} に比べて十分小さいと仮定できるため、上式は

$$\frac{C_{1g2} - C_{1g1}}{C_{fg1}} < \frac{g'_o + g_{ds1} + g_{dsb}}{g_{m1}} \tag{3.59}$$

と書ける。また、 $g_{e1} - g_{e2} < 0$ とするためには式(3.24),(3.25)から下式を満たす必要がある。

$$\frac{C_{1g2} - C_{1g1}}{C_{fg1}} > \frac{g_{ds1} + g_{dsb}}{g_{m1}} \tag{3.60}$$

ところで、集積回路において、 g'_o, g_{ds1}, g_{dsb} の偏差や $C_{1fd}^*, C_{1fs}^*, C_{1fb}^*$ の偏差を事前に正確に予測することは不可能であるため、式(3.59)、(3.60)を実際に設計どおりに集積回路で成り立たせることは困難である。そこで実用的には、式(3.59)、(3.60)の右辺の項のバイアス電流依存性(その項は近似的にMOSFETのドレイン電流の平方根に比例する)を利用して、式(3.59)、(3.60)を同時に満足するように積分器の実効Qを電子チューニングする方法が有効である。

3.1.7. SPICE シミュレーション

提案する基本積分器について、特性検証のために HSPICE による回路シミュレーションを行った。ここでは、VDEC から提供されているオンセミコンダクタ社 1.2 μm ダブルポリ CMOS プロセスを仮定して回路設計を行った。FG-MOSFET の寸法と電流源としてはたらく p 型 MOSFET の寸法を表 3.1 に示す。本シミュレーションにおいては、回路の電源電圧 $V_{DD} = 1.5\text{V}$ とし、出力端子は 0.75V の直流電圧源で終端した。また、電流源として用いる p 型 MOSFET のゲートバイアス電圧は M_{p1} , M_{p3} では 181mV, M_{p2} , M_{p4} では 186mV とした。

表 3.1 基本積分器の FG-MOSFET および p 型 MOSFET の設計寸法

M_1, M_3	$L=2.96\mu\text{m}$, $W=8.88\mu\text{m}$, $A_f=1380\mu\text{m}^2$, $A_{g1} = A_{g2} = 210\mu\text{m}^2$, $A_{g3} = 526\mu\text{m}^2$
M_2, M_4	$L=2.96\mu\text{m}$, $W=8.88\mu\text{m}$, $A_f=1002\mu\text{m}^2$, $A_{g1} = 263\mu\text{m}^2$, $A_{g2} = 420\mu\text{m}^2$
M_{p1}, M_{p3}	$L=2.96\mu\text{m}$, $W=23.7\mu\text{m}$
M_{p2}, M_{p4}	$L=2.96\mu\text{m}$, $W=23.7\mu\text{m}$

図 3.3 に基本積分器の周波数特性を示す。基本積分器の積分容量 C をそれぞれ 1pF, 10pF, 100pF と変化させ、基本積分器の特性を調べた。この図より、基本積分器が積分器として動作している範囲、すなわち伝達特性で位相が $-90^\circ \pm 2.5^\circ$ の範囲となるのは、積分容量 $C = 1\text{pF}$ では、3.95MHz \sim 290MHz, $C = 10\text{pF}$ では、540KHz \sim 285MHz, $C = 100\text{pF}$ では、55KHz \sim 285MHz であった。

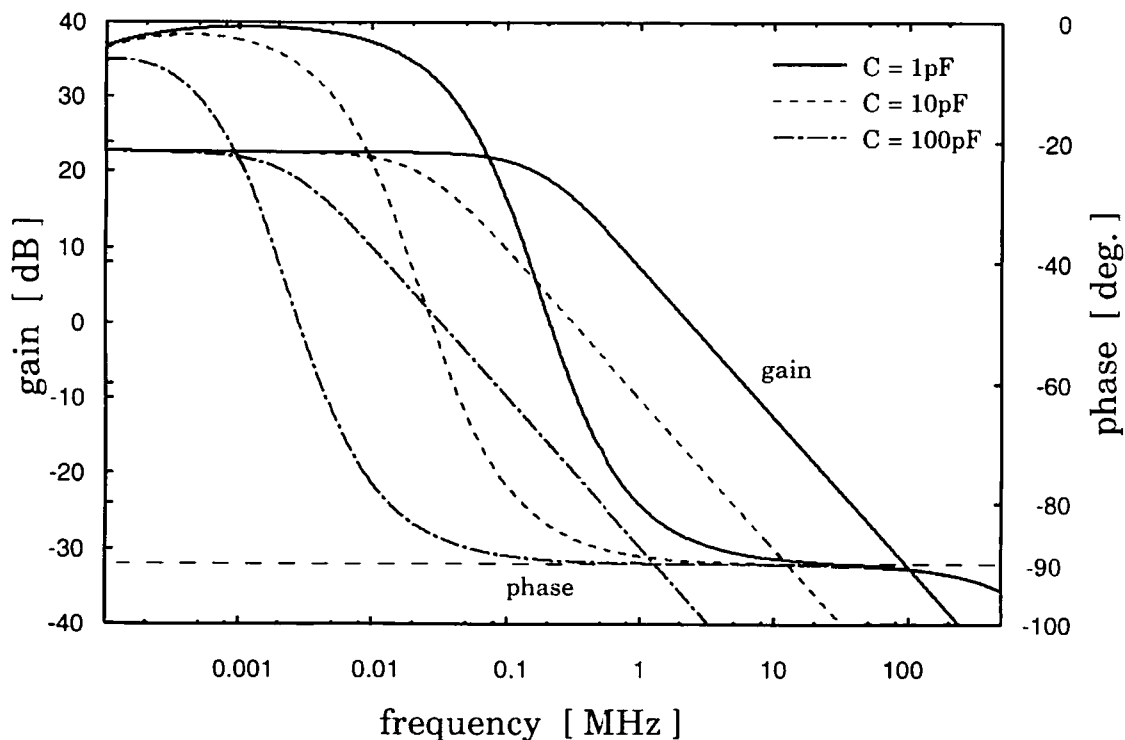


図 3.3 基本積分器の周波数特性

これまでのシミュレーションでは出力端子を理想電圧源で終端しており、実際にフィルタ等へ応用する際には回路の出力端子は同型の積分器となることが多い。そこで、終端を理想電圧源とした場合と、同寸法で設計し積分容量 $C=1\text{pF}$ とした積分器を終端として用いた場合について、基本積分器の差動利得の比較を行い、どの程度差動利得が変動するのかを把握しておく必要がある。図 3.4 に異なる終端条件での差動利得の周波数特性を示す。この図より、理想電圧源で終端した場合に比べ、出力に基本積分器を接続した場合には低周波域で 6dB 程度の減衰がみられる。これは、理想電圧源を終端として用いた場合には交流インピーダンスは零であるが、終端を積分器で行った場合には有限の交流インピーダンスで出力電流が減衰するためであると考えられる。

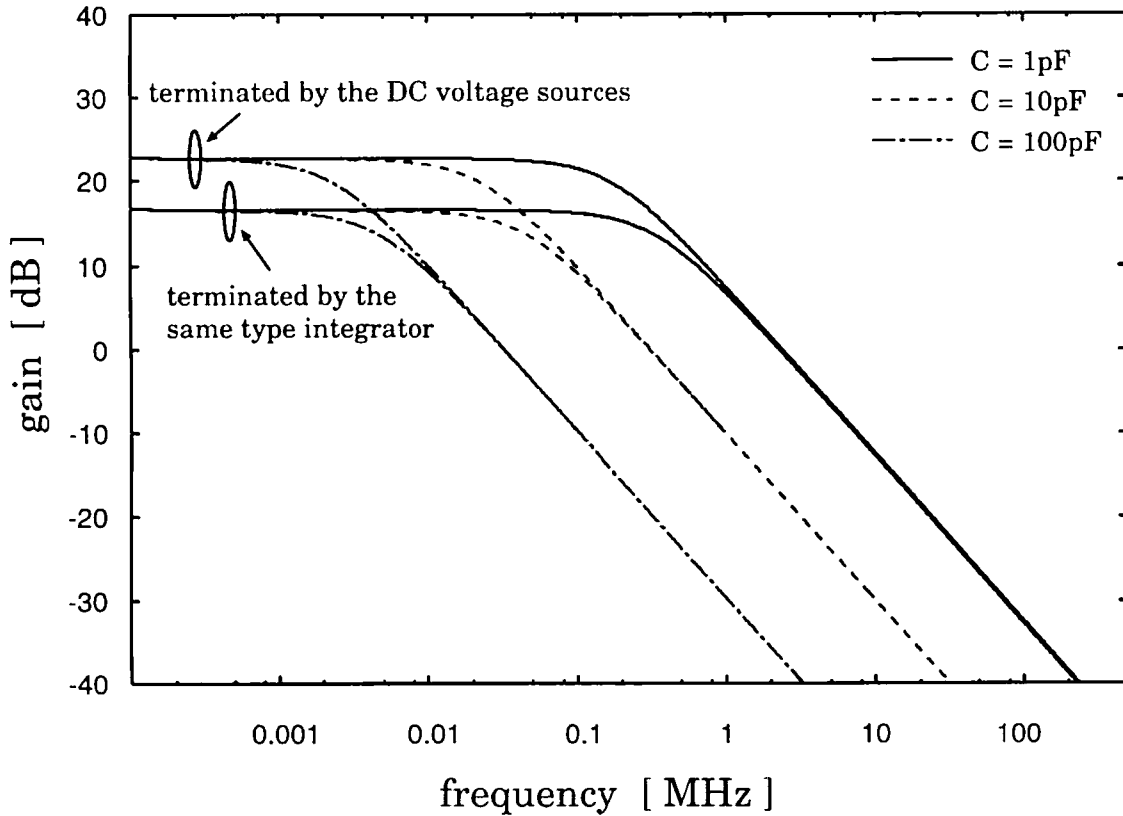


図 3.4 異なる終端条件での基本積分器の差動利得の周波数特性 (直流電圧源と積分器による終端)

図 3.5 に積分容量 $C=1\text{pF}$ としたときの差動信号に関する振幅応答、同相信号に関する振幅応答および同相成分除去比 CMRR を示す。低周波域では 19.5dB の CMRR であり、 $\text{CMRR}=0\text{dB}$ となる周波数は 9.5MHz であった。また、 9.5MHz 以上の高周波域での CMRR は 0dB を下回る。これは式 (3.38) で示した結果と一致しており、積分器として利用できる周波数範囲での CMRR は 0dB 付近である。これは、基本積分器のテイル電流源を削除しているために、同相成分除去が行えていないことを示している。ここでも、終端として基本積分器を接続しており、その間の枝電流を出力電流として測定している。

以上の解析から、提案する基本積分器は、 1.5V の電源電圧で動作することが示された。FG-MOSFET を採用したため回路構成が簡素なことから、消費電力を非常に小さく押えることができ、基本積分器 1 つあたりの消

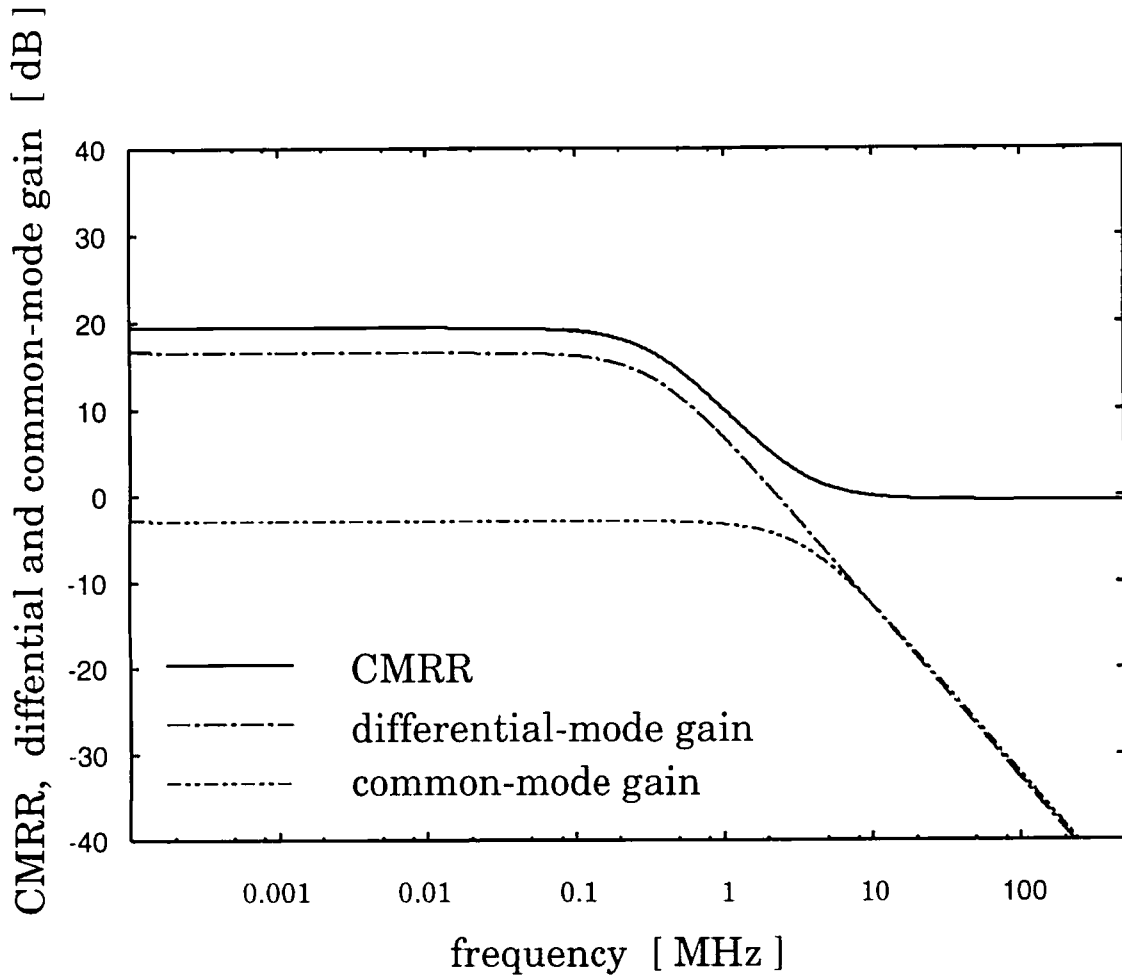


図 3.5 基本積分器の同相成分除去比の周波数特性

消費電力は $120\mu\text{W}$ であることを SPICE シミュレーションで確認した。これは、提案する基本積分器と同様な構造をもつ電流モード積分器と比較して $1/10$ 以下の消費電力であり、提案回路が低電圧かつ低消費電力の積分器として有効であることがわかる [6, 9-12, 14].

3.2. 同相成分除去回路

3.1.2.章で述べたように、提案する基本積分器は同相成分除去率が低く、高周波域で $\text{CMRR} < 1$ となることが小信号解析の結果から式 (3.38) のようにわかっている。また、 $g_{e1} - g_{e2} = 0$ と設計すると、低周波域での CMRR と

Qを向上させることができるが、特にそのような設計をせずともCMRRを大きくとれる回路構成が望ましい。そこで、本小節ではCMRRの向上を目的として、基本積分器に同相成分除去を行う付加回路の構成について議論する。具体的には、これまで設計した基本積分器に同相モードフィードフォワード(CMFF)回路と同相モードフィードバック(CMRB)回路を付加し、CMRRの向上を図る。

3.2.1. 同相成分フィードフォワード (CMFF) 回路を用いた積分器

図3.6に提案する同相成分フィードフォワード(CMFF)回路の構成を示す。ここで、基本積分器の出力段に相当するのは図3.6の上2つの演算コンダクタンス増幅器(OTA)からなる部分である。基本積分器では、この2つのOTAがそれぞれ2ゲート型FG-MOSFETと電流源 I_B で構成されている。図3.1から分かるように、基本積分器の出力段の差動対ではテイル電流源がないために原理的に信号の同相成分除去ができない。3.1章のSPICEシミュレーション結果で、積分器コア回路のCMRRが低周波域で19.5dBとなっているのは、交差結合した3ゲート型FG-MOSFETにより同相成分除去が行われているためである。

この問題を解決するためには、CMFF回路を基本積分器に付加して出力電流の同相成分を除去する手法が有効である。その動作は次のようになる。

1. 基本積分器の出力段と全く同じ伝達特性をもつ同相成分フィードフォワード段を別に設けて、その出力電流の和をとることで出力電流の同相成分の2倍の電流出力が得られる。
2. この同相成分フィードフォワード段の出力電流の和を、 $1/2$ 倍の電流利得をもつ電流ミラーでコピーし、実際出力電流から差し引けば出力電流の同相成分を除去することができる。

ただし、ここでは基本積分器の出力段と同相成分フィードフォワード段を構成するFG-MOSFETの特性が完全に一致していると仮定している。これは、良く特性の揃った出力段と同相成分フィードフォワード段が必要であることを意味するが、実際に集積回路として実現する場合には完全に一致した特性を実現できない。しかし、レイアウトでの工夫をすれば比

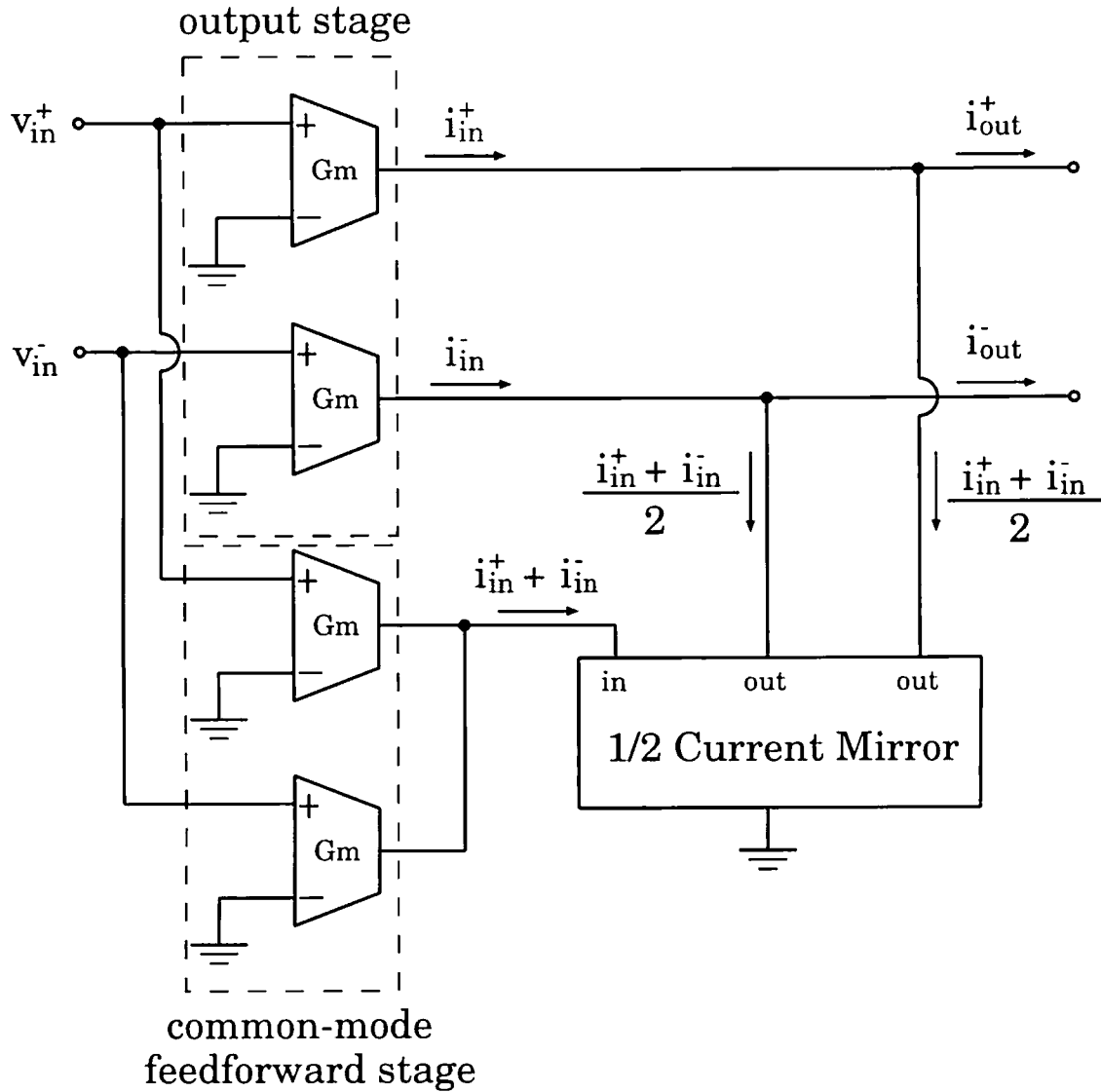


図 3.6 同相成分フィードフォワード (CMFF) 回路

較的特性の揃った素子を集積化できる。ここで、提案するCMFF回路では、同相成分フィードフォワード段の実現には次の2つの手法が考えられる。

1. 2ゲート型FG-MOSFETとp型MOSFETからなる出力段を複数設ける方法
2. 出力段のFG-MOSFETの浮遊ゲートを共通ゲートとする電流ミラーを用いる方法

提案する積分器をフィルタへ応用する場合，特にMHz帯のフィルタでは積分器の実効積分容量を数百fF～数pFに設計する必要があることから，入力端子からみた容量が大きくなるのは好ましくない．手法1を用いた場合では，入力端子に同相成分フィードフォワード段の2ゲート型FG-MOSFETのゲート・浮遊ゲート間容量分が増加することになり，高周波フィルタに応用する場合には不利である．逆に，手法2ではそれぞれのFG-MOSFETで外部ゲートと浮遊ゲートが共通であるため，入力容量の増加無しに出力段を追加できる．さらに，第1ポリシリコン層で形成される浮遊ゲートと第2ポリシリコン層で形成されるゲートが共通であるので，手法1と比較して整合しなければならない箇所が減るために，デバイスの不整合による誤差を生じにくいという点でも有利である．そこで，今回提案するCMFF回路では手法2を採用した．

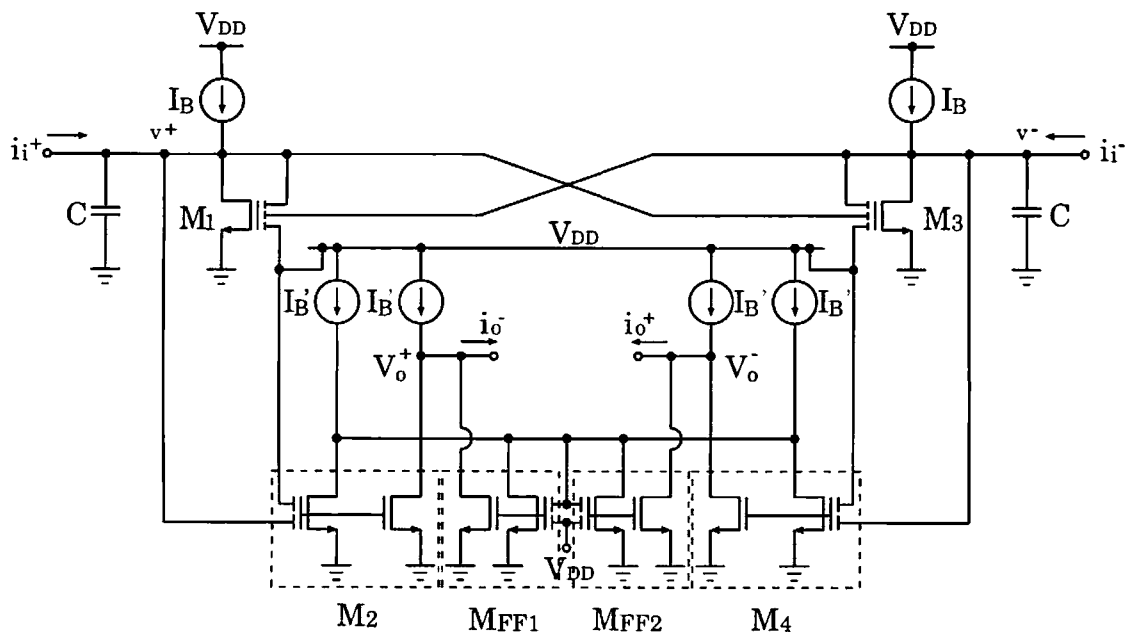


図 3.7 CMFF回路を組み込んだ積分器

図3.7にCMFF回路を組み込んだFG-MOSFET積分器を示す． M_2 、 M_4 、 M_{FF1} 、 M_{FF2} はそれぞれ浮遊ゲートを共通ゲートとして構成した2ドレイン型FG-MOSFETである．ここで，それぞれの2出力型FG-MOSFETは2個の内部MOSFETをもつが，記号上通常のFG-MOSFETとなっている部分の内部

MOSFETを M_{ia} とし、浮遊ゲートからゲートに配線されているMOSFETを M_{ib} と呼ぶことにする。なお、添字 i は2出力型FG-MOSFET M_i の添字を意味する。 M_2, M_4 のそれぞれの内部MOSFETは全て同一寸法で設計されており、 M_{2a}, M_{4a} が同相成分フィードフォワード段、 M_{2b}, M_{4b} が出力段となっている。

M_{FF1}, M_{FF2} はそれぞれ、2出力型FG-MOSFETを用いて構成した1/2電流ミラーを構成しており、それぞれの内部MOSFET M_{FF1a}, M_{FF2a} のドレインと M_{FF1}, M_{FF2} の第1ゲートを接続したダイオード接続となっている。したがって、 $M_{FF1a}, M_{FF1b}, M_{FF2a}, M_{FF2b}$ を同一寸法で設計すれば、 M_{FF1}, M_{FF2} は同相成分フィードフォワード段の出力電流の和をとり、かつ1/2の電流をそれぞれの内部MOSFET M_{FF1b}, M_{FF2b} に流すことができる。このような構成とすることで、積分器の出力電流 I_+, I_0 から同相成分を除去でき、CMRRの向上が期待できる。

CMFF回路の効果を確認するために、HSPICEによる回路シミュレーションを行った。図3.7のフィードフォワード用FG-MOSFET M_{FF1}, M_{FF2} を基本積分器の出力段と同じ動作点にバイアスするために、出力段の電流源としてはたらくp型MOSFETのゲート幅を、基本積分器単体のときに比べて2倍のチャネル幅で設計している。表3.2にCMFF回路に用いた素子の設計寸法を示す。

表 3.2 CMFF回路を付加した積分器のFG-MOSFETおよびp型MOSFETの設計寸法

M_1, M_3	$L=2.96\mu\text{m}, W=8.88\mu\text{m}, A_f=1380\mu\text{m}^2,$ $A_{g1} = A_{g2} = 210\mu\text{m}^2, A_{g3} = 526\mu\text{m}^2$
$M_{2a}, M_{2b},$ M_{4a}, M_{4b}	$L=2.96\mu\text{m}, W=8.88\mu\text{m}, A_f=1002\mu\text{m}^2,$ $A_{g1} = 263\mu\text{m}^2, A_{g2} = 420\mu\text{m}^2$
$M_{FF1a}, M_{FF1b},$ M_{FF2a}, M_{FF2b}	$L=2.96\mu\text{m}, W=8.88\mu\text{m}, A_f=1002\mu\text{m}^2,$ $A_{g1} = 263\mu\text{m}^2, A_{g2} = 420\mu\text{m}^2$
M_{p1}, M_{p3}	$L=2.96\mu\text{m}, W=23.7\mu\text{m}$
M_{p2}, M_{p4}	$L=2.96\mu\text{m}, W=23.7\mu\text{m}$

図3.8に周波数解析を行った結果を示す。本シミュレーションでは、CMFF回路が無い基本積分器で $g_{e1} - g_{e2}$ に関しては全く設定を行っていない場合

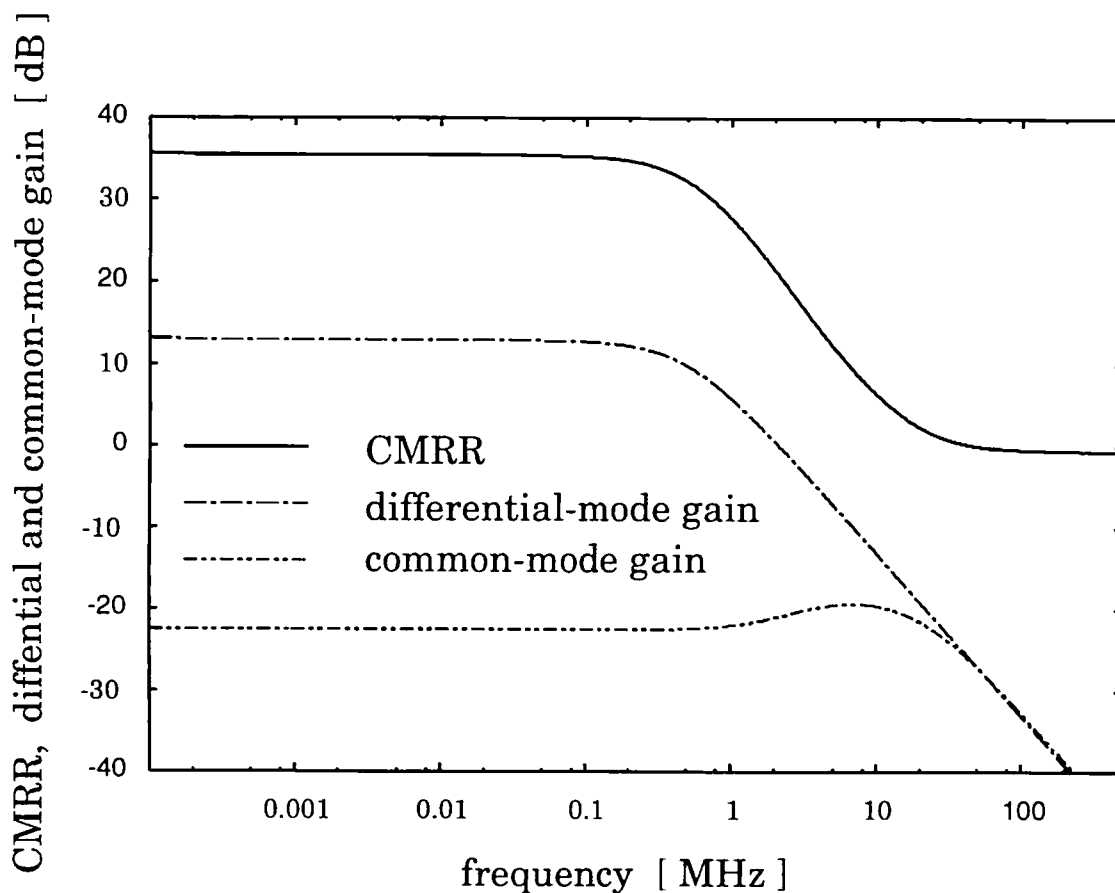


図 3.8 CMFF回路を組み込んだ積分器の周波数特性(差動利得, 同相利得およびCMRR)

($C_{1g1} = C_{1g2}$)の周波数特性と, CMFF回路を付加し同様に $C_{1g1} = C_{1g2}$ の条件としたときの比較を行った. このシミュレーション結果から, 提案CMFF回路によって低周波域で16dB程度のCMRRが改善できたことがわかる. また, CMRR=0dBとなる周波数は基本積分器の9.5MHzから54MHzとなっており, より高い周波数まで同相成分除去を行えることが示された. また, 提案したCMFF回路を組み込んだ積分器の消費電力は200 μ Wであり, 基本積分器のみと比較すると消費電力が80 μ W程度増加している. これは, 積分器の出力段が最も電流を消費しているためであり, 出力段と同一の構成である同相成分フィードフォワード段とミラー回路の消費電力が増加の原因である.

3.2.2. 同相成分フィードバック (CMFB) 回路を用いた積分器

3.2.1.章で導入したCMFF回路のかわりに、同相成分フィードバック (CMFB) 回路を導入する。CMFB回路を導入することで、同相成分の除去とともに直流同相出力電圧の安定化も期待できる。

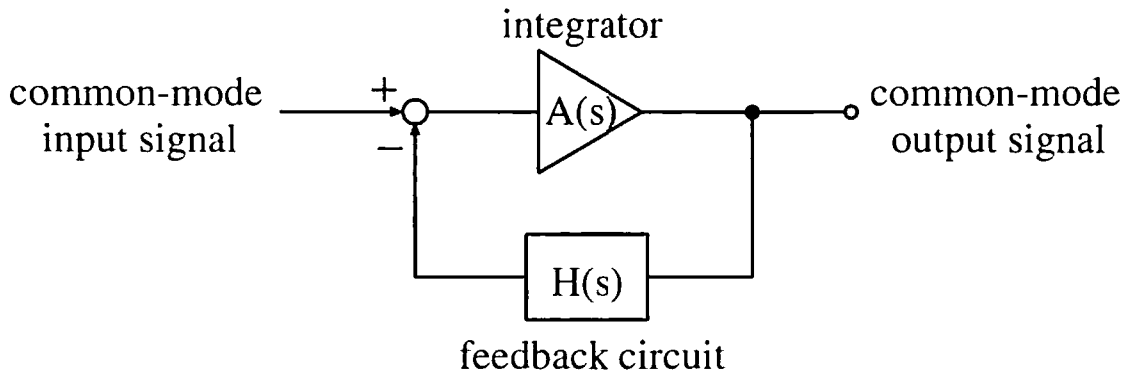


図 3.9 同相成分フィードバック (CMFB) 回路

図 3.9 に提案する同相成分フィードバック回路の構成を示す。この図は信号の同相成分に関するフィードバック回路であり、差動成分に関しては理想的には帰還係数が零となるような負帰還回路を構成しなければならない。提案する CMFB 回路では基本積分器の出力端電圧の加算平均を入力とすることで、同相信号成分のみに応答するような構成を採用する。このとき、CMFB 回路を含んだ積分器の同相成分に関する伝達関数 $A'_{cm}(s)$ は次のようになる。

$$A'_{cm}(s) = \frac{A_{cm}(s)}{1 + A_{cm}(s)H(s)} \quad (3.61)$$

ただし、 $A_{cm}(s)$ は基本積分器の同相成分に関する伝達関数であり、 $H(s)$ は帰還回路の伝達関数である。同相成分に関して $A'_{cm}(s)$ を十分小さくするためには、

$$|H(s)| \gg 1 \quad (3.62)$$

を満たさなければならない。これは、 $A_{cm}(s)$ は基本積分器の構成によってほとんど決まってしまうために、CMFB 回路で CMRR を向上させるためには $|H(s)|$ を十分に大きくできるような帰還回路を用いなくてはならないためである。

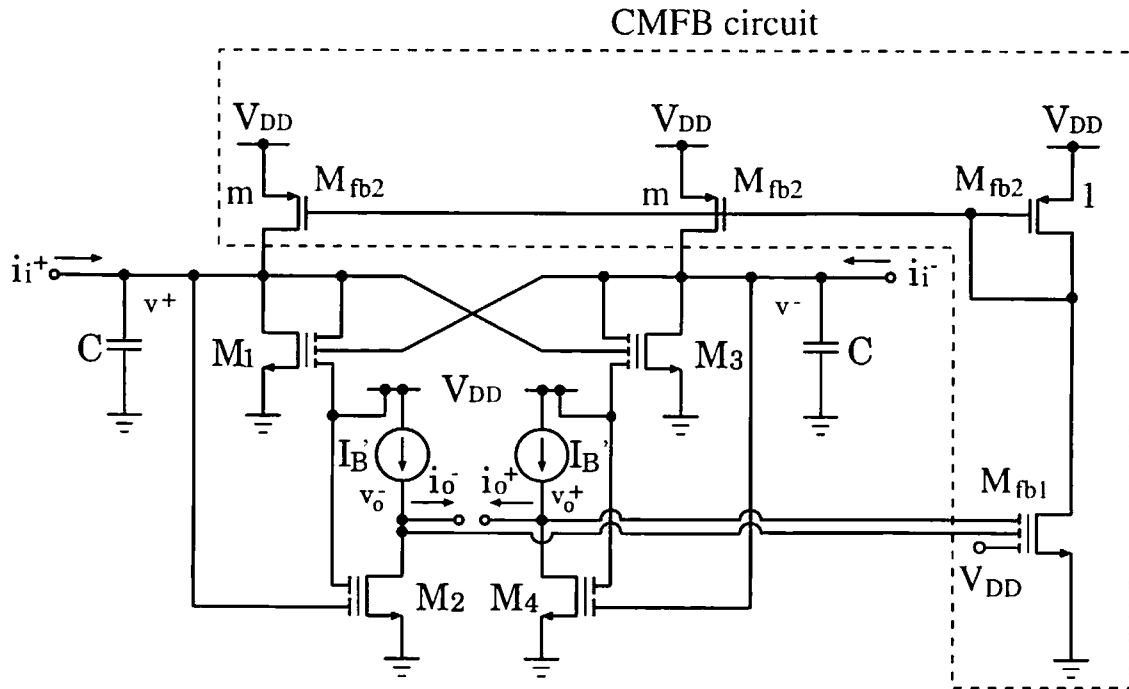


図 3.10 CMFB回路を組み込んだ積分器

図 3.10 に提案する CMFB 回路を組み込んだ積分器の回路図を示す。この CMFB 回路は 1 つの 3 ゲート型 FG-MOSFET M_{fb1} の第 1, 第 2 ゲートに基本積分器の出力端を繋ぎ, $M_{fb2}, M_{fb3}, M_{fb4}$ の電流ミラーで同相成分を電流として入力端にフィードバックさせる。さらにこの CMFB 回路は入力段のバイアス電流源としても動作しており, 回路中の素子数の低減も図っている。提案する CMFB 回路では, FG-MOSFET のゲート電圧の荷重平均性を利用して出力電圧の加算平均を得るようにすると, M_{fb1} のドレイン電流は出力電圧の同相成分に比例する。最終的に, 電流ミラーでこのドレイン電流を基本積分器のそれぞれの入力端へ戻す構成となっている。ここで, 提案する CMFB 回路の伝達関数は,

$$H(s) \triangleq \frac{i_{fb}}{v_{ocm}} \quad (3.63)$$

であり, CMFB 回路の伝達アドミッタンスと等しい。ただし, i_{fb} は CMFB 回路の小信号出力電流であり, $v_{ocm} = \frac{v_0^+ + v_0^-}{2}$ は基本積分器の出力端同相電圧の小信号成分である。

CMFB回路の設計指針を得るために、 $H(s)$ をCMFBを構成するそれぞれの素子のパラメータで表現することを考える。全ての素子が飽和領域で動作していると仮定する。まず、 M_{fb1} のドレイン電流の小信号成分 i_{fb} は次式となる。

$$i_{fb} = g_{mfb1} \cdot \frac{2C_{fb1g1}}{C_{fb1fg}} v_{ocm} \quad (3.64)$$

ここで、 C_{fb1g1} 、 C_{fb1fg} はそれぞれ M_{fb1} の第1ゲート・浮遊ゲート間容量と浮遊ゲートに繋がっている容量の総和である。なお、第1ゲート・浮遊ゲート間容量と第2ゲート・浮遊ゲート間容量は等しく設計しなければならない。次に、 M_{fb2} 、 M_{fb3} 、 M_{fb4} で構成される電流ミラーの電流伝達比をそれぞれ $1:m:m$ で設計するとすれば、電流ミラーの出力電流 i_{oCMFB} は

$$i_{oCMFB} \triangleq i_{oCMFB}^+ = i_{oCMFB}^- = m \cdot i_{fb} \quad (3.65)$$

となる。式(3.64)と(3.65)から、提案するCMFB回路の伝達アドミタンス $H(s)$ は次式のように表される。

$$H(s) = \frac{i_{oCMFB}}{v_{ocm}} = \frac{2C_{fb1g1}}{C_{fb1fg}} \cdot m \cdot g_{mfb1} \quad (3.66)$$

よって、 $|H(s)|$ を十分大きくとるためには M_{fb1} の伝達コンダクタンスを大きくし、さらに、電流ミラーの電流伝達比 m をも大きくする必要がある。しかし、これらのデバイスパラメータは、CMFB回路を入力段のバイアス回路としても利用するために、設計できるデバイス寸法やバイアス条件等はかなりの制限を受けることに注意する必要がある。

表 3.3 CMFB回路の素子寸法

M_{fb1}	$L=2.96\mu\text{m}$, $W=8.88\mu\text{m}$, $A_f=1232\mu\text{m}^2$, $A_{g1} = A_{g2} = 315\mu\text{m}^2$, $A_{g3} = 197\mu\text{m}^2$
M_{fb2}	$L=2.96\mu\text{m}$, $W=11.8\mu\text{m}$
M_{fb3}, M_{fb4}	$L=2.96\mu\text{m}$, $W=47.3\mu\text{m}$

提案するCMFB回路の特性を検証するために、SPICEシミュレーションを行った。表3.3にCMFB回路に用いた素子の寸法を示す。 I_b として用いるp型MOSFETを除いた基本積分器部分の素子に関しては、表3.1の素子寸法と等しく設計している。図3.11に周波数解析を行った結果を示す。本

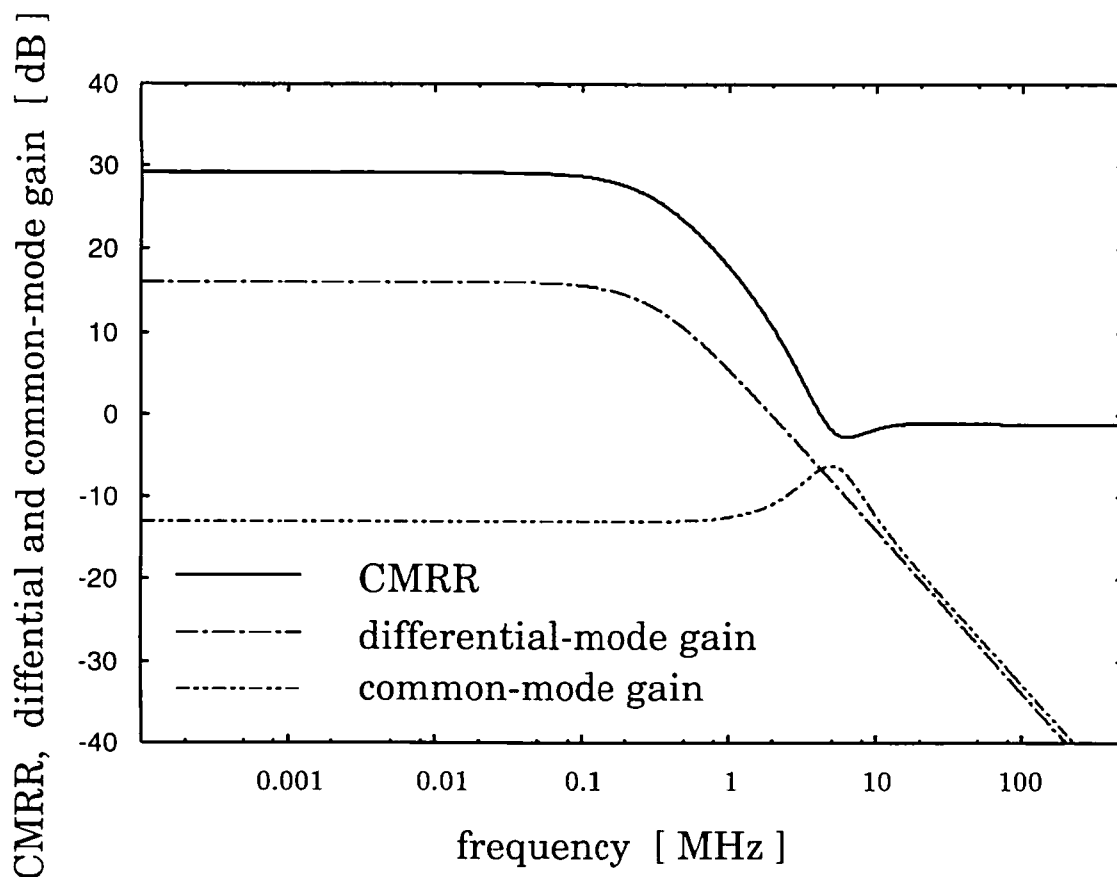


図 3.11 CMFB回路を組み込んだ積分器の周波数特性

シミュレーションでは、CMFB回路が無い状態で $g_{e1} - g_{e2}$ に関しては全く設定を行っていない場合 ($C_{1g1} = C_{1g2}$) の周波数応答と、CMFB回路を付加して同様に $C_{1g1} = C_{1g2}$ の条件のときの比較を行った。ただし、CMFB回路を組み込んだ積分器では出力端子を交流的に短絡してしまうとCMFB回路が全くはたらかないために、CMFB回路の効果を確認できなくなる。そこで、積分器の出力端に当該積分器と等しい積分器を繋ぎ、その間の枝電流を測定するようシミュレーション回路を構成した。

このシミュレーション結果から、提案するCMFB回路によって低周波域で10dB程度のCMRRが改善できたことがわかる。また、CMRR=0dBとなる周波数はCMFBが無い基本積分器では9.5MHz、CMFBを付加した積分器では4.2MHzとなっており、逆に高周波域でのCMRRは劣化している。これ

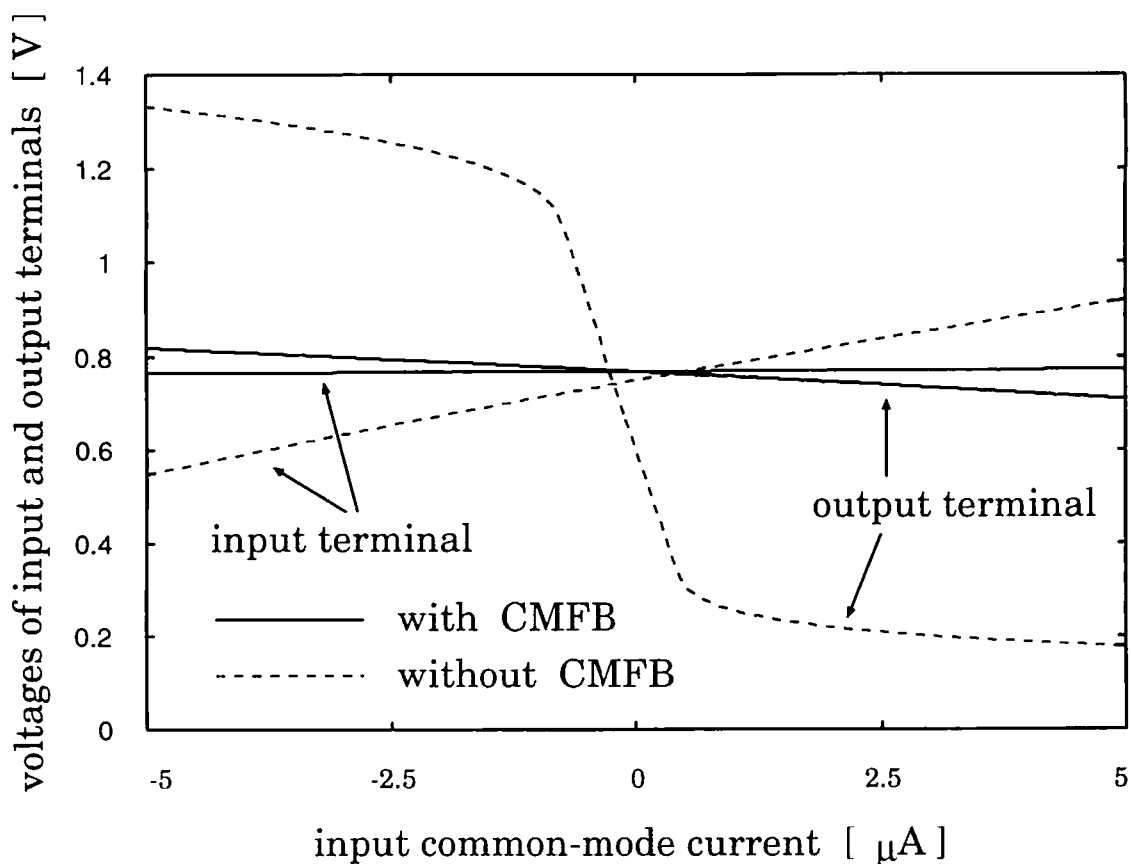


図 3.12 CMFB回路を組み込んだ積分器の直流同相成分に対する応答

は、同相利得が1MHzを越えたあたりから上昇しているためであり、フィードバック回路の位相遅れが 180° 付近になっているためだと考えられる。

また、図3.12に入力に直流同相成分を印加した場合のCMFB回路の有無による特性の比較を示す。このとき積分器の出力端子は開放としてシミュレーションを行った。この図より、CMFB回路によって積分器のバイアス点の安定化も行えることがわかる。また、CMFB回路を組み込んだ積分器の消費電力は $125\mu\text{W}$ であり、CMFB回路を追加したことによる消費電力の増加は $5\mu\text{W}$ と非常に小さい。これは、CMFB回路の M_{n1} 、 M_{n2} の電流が $3\mu\text{A}$ と小さいためである。

3.2.3. CMFF回路とCMFB回路を用いた積分器

次に、これまでに構成したCMFF回路とCMFB回路の両方を用いれば、より高い同相成分除去が行えると期待できることから、基本積分器にCMFF回路とCMFB回路の両方を組み込んだ積分器について考察する。

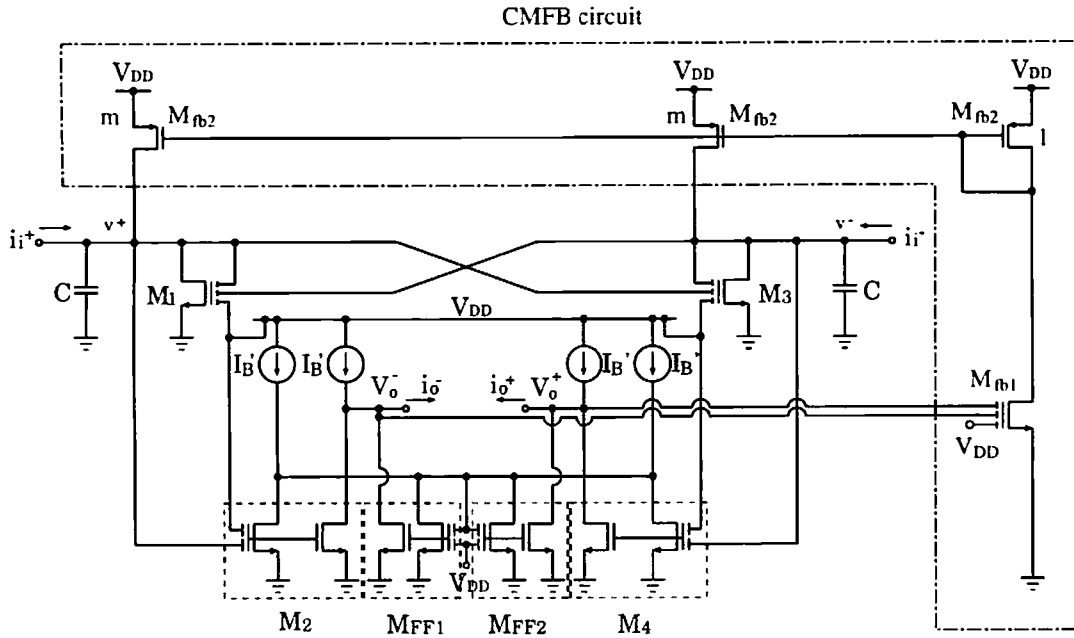


図 3.13 CMFF回路とCMFB回路を組み込んだ積分器の回路構成

図 3.13 に全ての回路を組み込んだ積分器の回路構成を示す。この回路において、FG-MOSFETの内部MOSFETとp型MOSFETの寸法はこれまでに構成した基本積分器、CMFF回路およびCMFB回路のものと同様である。ただし、CMFB回路の M_{fb1} に関しては、信号を入力しないときに入出力電位が等しくなるように第3ゲートの面積を若干変更している。今回のシミュレーションでは、 M_{fb1} の $A_{g3} = 210\mu\text{m}^2$ と設計し、それに応じて浮遊ゲートの面積を $A_f = 1248\mu\text{m}^2$ としている。また、3.2.2.章で述べたように、CMFB回路を組み込んでいるため出力端子を交流的に短絡してしまうとCMFB回路がはたらかない。そこで本シミュレーションにおいても、出力端子の先に全く同じ構成をした積分器を設けており、積分器間の枝電流を測定する。なお、出力負荷として用いている積分器の出力端子は理想電圧源で交流的に短絡している。これは、出力端子を開放としてしまう

と負荷として用いた積分器のCMFB回路を通じて、特性を知りたい積分器の出力ではない電流が、終端として用いている積分器の M_1, M_3 をバイアスしているp型MOSFETのドレイン電流から供給されるのを防ぐためである。

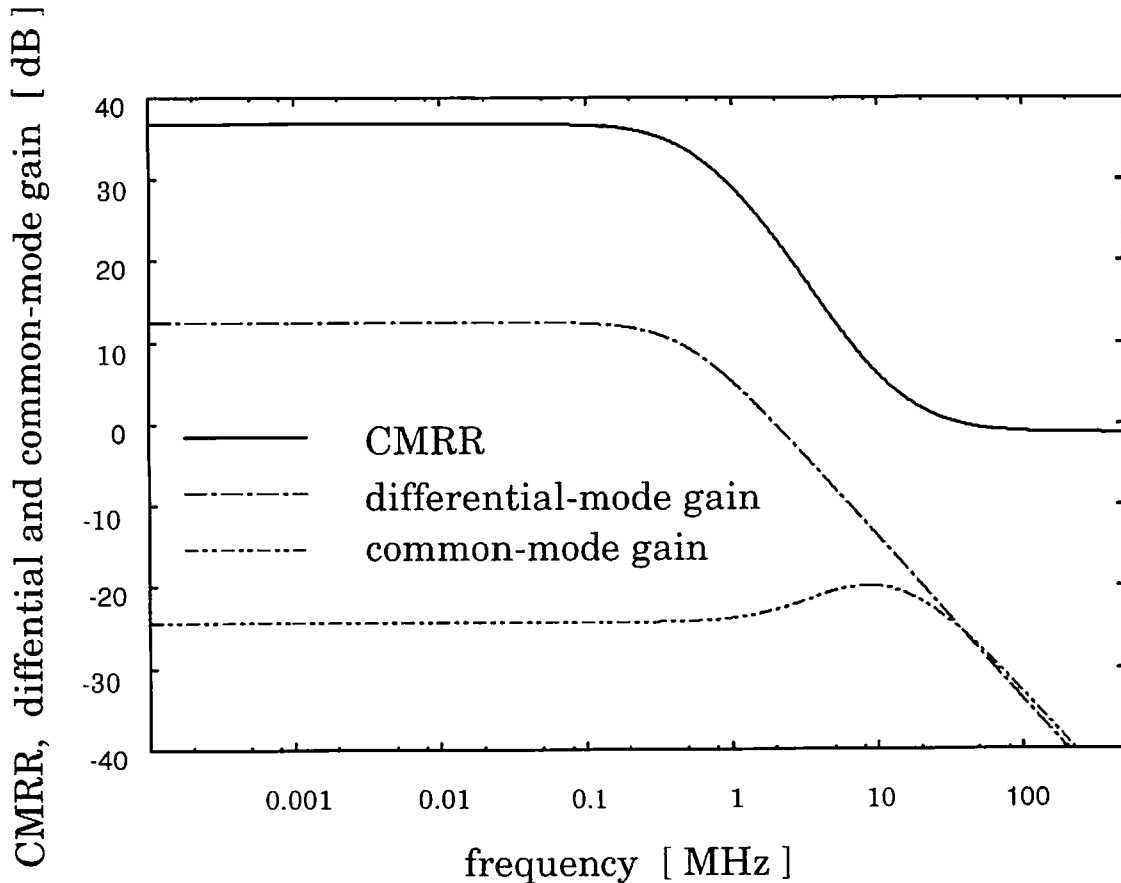


図 3.14 CMFF 回路と CMFB 回路を組み込んだ積分器の周波数特性

図 3.14 に、SPICE シミュレーションにより得られた積分器の周波数特性を示す。この結果から、低周波域での CMRR は 37dB 程度であることがわかる。また、CMRR=0dB となる周波数は 39MHz であった。CMFF 回路のみを組み込んだ場合と比較すれば、低域においては数 dB の CMRR の減少がみられ、CMRR=0dB となる周波数も 10MHz 程度低下している。したがって、CMRR の改善という観点からすれば、CMFF 回路のみを積分器に付加した方が良いという結果となった。特に、CMFB 回路の影響で 5MHz 付近

の同相利得が悪化しているのが、MHz帯で動作する積分器にとっては不利である。また、CMFF回路とCMFB回路を組み込んだ積分器の消費電力は $220\mu\text{W}$ であり、CMFF回路のみを組み込んだ場合と比較して $20\mu\text{W}$ 程度の増加にとどまっている。

3.3. まとめ

本章では、FG-MOSFETを用いてアナログ集積回路の基本回路の1つである電流モード完全差動型積分器を提案した。FG-MOSFETを提案回路に応用することで、1.5Vの電源電圧で動作可能な積分器が実現できることを示した。また、CMRRを高くするために基本積分器にCMFF回路、CMFB回路およびその両方を用いた場合について、小信号解析とSPICEシミュレーションを通じてCMRRの改善度を調査した。その結果、以下のことを明らかにした。

基本積分器

電源電圧1.5Vで動作する積分器であり、FG-MOSFETを4個、電流源として動作するp型MOSFET4個から構成され、簡素な回路で積分特性を実現できる。提案した基本積分器では、3ゲート型FG-MOSFETの交差結合対が入力端子に繋がれており、交差結合しているFG-MOSFETの第1ゲート・浮遊ゲート間容量と第2ゲート・浮遊ゲート間容量の比を適切に設計すれば入力コンダクタンスを負に設計することもでき、積分器の前段回路の出力コンダクタンスを打ち消すQ補償(3.1.6.章)が実現できる。積分器として動作する周波数範囲を $90^\circ \pm 2.5^\circ$ で定義した場合、基本積分器の積分容量Cを1pFと設計した場合には3.95MHz~290MHzの範囲で積分器として動作する。この基本積分器の消費電力は $120\mu\text{W}$ であり、同様な構造をもつ他の電流モード積分器と比較しても低消費電力である。

同相成分フィードフォワード回路を用いた積分器

基本積分器の出力段と同じ伝達特性をもつ同相成分フィードフォワード段を追加し、その出力電流の和が出力電流の同相成分の2倍の電流となることから、 $1/2$ の電流伝達比をもつ電流ミラーを用いて積分器の出力段

の出力電流から同相成分を差し引き、CMRRの向上を行った。本CMFF回路によりCMRRが約20dB改善されることをSPICEシミュレーションで確認した。また、CMFF回路を組み込んだ積分器の消費電力は $200\mu\text{W}$ である。

同相成分フィードバック回路を用いた積分器

積分器の出力端電圧を入力とし、3ゲート型FG-MOSFETで出力電圧の同相成分を電流に変換したのち、電流ミラーでそれぞれの入力端子に同相電流をフィードバックする構成である。本CMFB回路でCMRRは12dB改善され、また、入力電流の直流同相成分に対しても頑健であり、積分器の動作点の安定化にも寄与していることをSPICEシミュレーションで確認した。CMFB回路を組み込んだ積分器の消費電力は $125\mu\text{W}$ と、基本積分器とほとんど変わらない。

CMFF回路およびCMFB回路両方を用いた積分器

CMRRは基本積分器よりも低周波域で16dB向上し、 $\text{CMRR} = 0\text{dB}$ となる周波数は $f=39\text{MHz}$ と改善した。また、回路の動作点安定化も実現した。この積分器の消費電力は $220\mu\text{W}$ であり、CMFF回路を組み込んだ積分器よりも消費電力は $20\mu\text{W}$ 増加した。

以上の結果から、提案積分器は基本積分器にCMFF回路のみを付加した場合に、CMRR改善が最大となることが分かる。また、提案積分器がこれらの特長を有することから、FG-MOSFETは低電源電圧のアナログ回路に有効な素子であり、構成した積分器はフィルタ等の応用回路の基本回路として有効である。特に、このFG-MOSFET電流モード積分器は通常のデジタルダブルポリCMOSプロセスで製作できるため、アナログ・デジタル混載LSIへの応用が期待できる。

第4章 FG-MOSFET 積分器を用いたフィルタ回路

本章では，3章で構成したFG-MOSFET電流モード完全差動積分器を用いた，3次低域通過フィルタおよび6次帯域通過フィルタを提案する．それぞれの設計値は，3次低域通過フィルタはシャ断周波数5MHz，通過域リップル0.5dBのチェビシェフフィルタであり，6次帯域通過フィルタは中心周波数2.5MHz，通過帯域幅500kHz，通過域リップル0.5dBのチェビシェフフィルタである．このフィルタ回路の設計を通じて，FG-MOSFET電流モード完全差動積分器が低電圧で動作する数MHz帯のフィルタのビルディングブロックとして有効であることを明らかにする[13,14,16]．

これら2種のフィルタは，LCはしご形フィルタを元にシグナルフローグラフ手法を用いて積分器のみの構成としている．このフィルタの構成法では無損失積分器と有損失積分器が必要となるため，FG-MOSFET積分器の入力コンダクタンスと出力コンダクタンスによる損失を防ぐためにQ補償法と，負帰還による有損失積分器の構成を行っている．これは特に，高い積分器のQを必要とする帯域通過フィルタを構成する際に重要となる．また，実際に集積回路として設計したフィルタでは素子の製造偏差の影響で，シミュレーション通りの素子精度を実現するのは困難である．したがって，製造後にフィルタのQやシャ断周波数 ω_0 を外部から調整できるようにフィルタを構成しなくてはならない．そこで本章では，フィルタのQチューニングや ω_0 チューニングについても述べる[10,13]．

最後に，提案するフィルタのSPICEシミュレーションを行い，提案フィルタが設計を満たす特性かどうかを検証する．また，提案フィルタを実際に集積化する際の指針を得るためにモンテカルロシミュレーションを行い，素子の製造偏差に対する影響を調査する[13]．これらのSPICEシミュレーションを通じて，提案するフィルタが数MHz帯のフィルタとして有効であることを示す．

4.1. チェビシェフ3次低域通過フィルタ

本小節では、FG-MOSFET 積分器を用いてチェビシェフ3次低域通過フィルタを構成する。提案する低域通過フィルタは、3次LCはしご型フィルタを元にしており、積分器のみで構成できるようにシグナルフローグラフ手法で回路方程式の変形を行っている。また、両端抵抗型LCはしご型フィルタを用いているため、素子の偏差に対して不感な回路となることが期待できる[13,14].

4.1.1. シグナルフローグラフ手法による回路構成

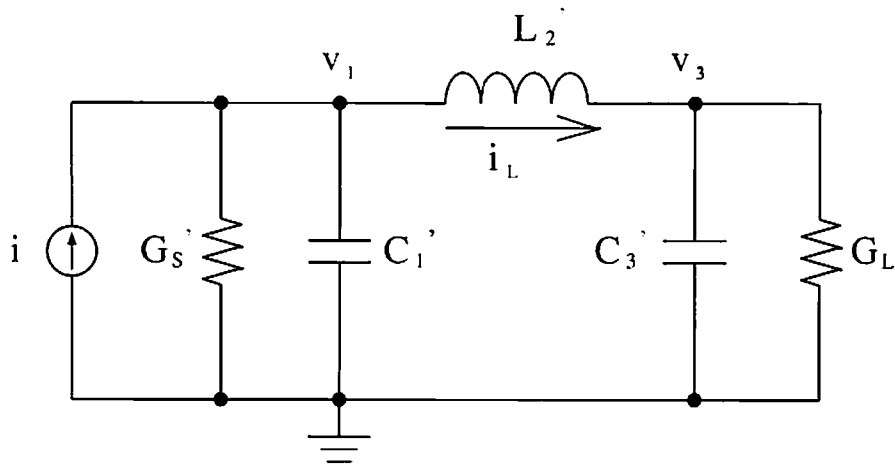


図 4.1 規格化3次LCはしご形フィルタ

図 4.1 にフィルタ設計のひな型とした規格化3次LCはしご形低域通過フィルタを示す。ここで、規格化回路変数 i_L, v_1, v_3 を図 4.1 のように定義すると、

$$v_1 = \frac{1}{G'_S + sC'_1}(i - i_L) \quad (4.1)$$

$$i_L = \frac{1}{sL'_2}(v_1 - v_3) \quad (4.2)$$

$$v_3 = \frac{1}{G'_L + sC'_3}i_L \quad (4.3)$$

が成り立つ。これらの式において、それぞれの回路変数のみもしくは回路変数の加減算の結果に対して、有損失もしくは無損失積分が施され、

それが回路変数として与えられていることが分かる。したがって、これらの回路変数の加減算と積分動作をする素子を用いば、LCはしご型フィルタの動作をシミュレートできる。電流モード積分器はこの構成に適しており、回路変数の加減算は電流モード回路であるため結線のみで行える。また、3章で述べたように積分器のQ補償を行えば無損失積分器の特性を実現できる。以上のことから、提案したFG-MOSFET積分器を用いてフィルタを構成すれば、集積化フィルタの実現が期待できる。

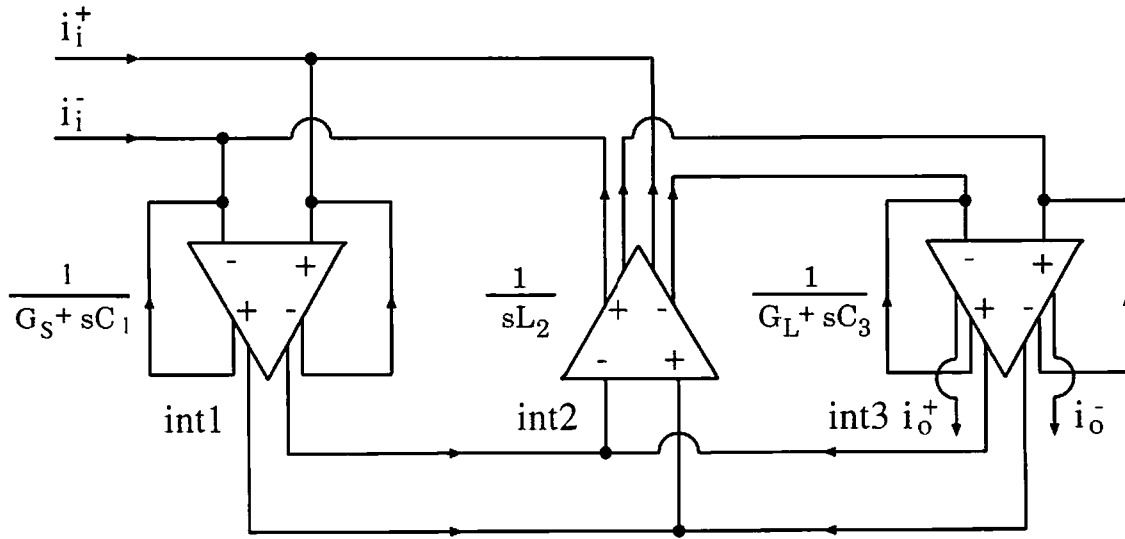


図 4.2 完全差動型電流モード3次低域通過フィルタ

実際のフィルタへのインピーダンススケール係数を $R[\Omega]$ 、実際のフィルタのシャ断角周波数を $\omega_c[\text{rad/s}]$ とすると、実際のフィルタの各素子の素子値は次の式で与えられる。

$$G_S = G'_S/R, \quad G_L = G'_L/R, \quad (4.4)$$

$$C_1 = \frac{C'_1}{\omega_c R}, \quad L_2 = L'_2 R/\omega_c, \quad C_3 = \frac{C'_3}{\omega_c R} \quad (4.5)$$

式(4.1)～式(4.5)を用いてシグナルフローグラフ手法により、図4.2に示した積分器構成の完全差動型電流モードフィルタが得られる。同図の積分器 int1, int2 および int3 の差動電流伝達関数 $H_{intm}(m = 1, 2, 3)$ は、それぞれ次のようになる。

$$H_{int1}(s) = \frac{1}{G_S + sC_1} \cdot \frac{1}{R} \quad (4.6)$$

$$H_{int2}(s) = \frac{R}{sL_2} \quad (4.7)$$

$$H_{int3}(s) = \frac{1}{G_L + sC_3} \cdot \frac{1}{R} \quad (4.8)$$

ここで、 H_{int2} はQ補償を行ったFG-MOSFET積分器で実現できるが、 H_{int1} 、 H_{int3} についてはFG-MOSFET積分器の損失分を集積回路で正確に実現するのは困難であるため、4.1.2.章で述べるようにQ補償を行ったFG-MOSFET積分器に負帰還を施して有損失積分器を構成する。この場合には、FG-MOSFET積分器の損失分や積分利得の変動に対して不感な有損失積分器を実現できる。

4.1.2. 負帰還による有損失積分器の構成

無損失積分器int2は、図3.1の積分器で実現できる。すなわち、Q補償をして積分器の実効差動入力コンダクタンスが無視できるとすると、その積分器の差動伝達関数 $A_{dif}(s)$ は次式の形で表される。

$$A_{dif}(s) = \frac{g_{me}}{sC_e} \quad (4.9)$$

ここで、 C_e は $C_{e1} + C_{e2}$ を、 g_{me} は実効伝達コンダクタンス $g_{m2} \frac{C_{2g2}}{C_{1g2}}$ を表す。

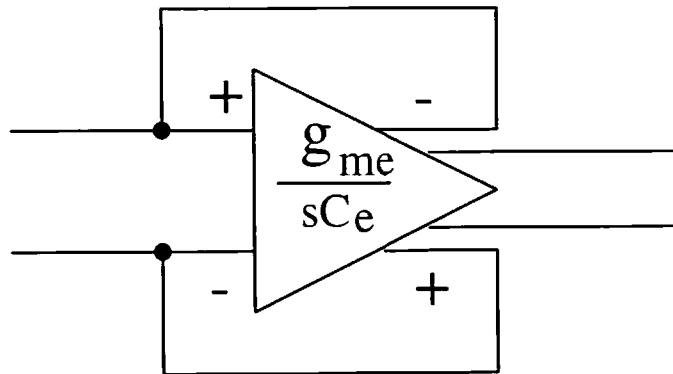


図 4.3 負帰還を用いた有損失積分器の構成

有損失積分器int1、int3は、図4.3のように無損失積分器に帰還率1で負帰還を施して実現する。そのために、出力用の帰還用の2つの出力段が必要となる。帰還率1の場合には全く同一な出力段を用いれば良い。負

帰還を施した積分器の伝達関数を $A_{nfb}(s)$ とすると、

$$A_{nfb}(s) = \frac{\frac{g_{me}}{sC_e}}{1 + \frac{g_{me}}{sC_e}} = \frac{1}{1 + s\frac{C_e}{g_{me}}} \quad (4.10)$$

となる。式(4.9)と式(4.7)との比較、また(4.10)と式(4.6), (4.8)の比較から、図4.2の C_1, L_2, C_3 に対応する C_e をそれぞれ C_{C1}, C_{L2}, C_{C3} とすると、次の設計公式を得る。

$$G_S = G_L = \frac{1}{R} \quad (4.11)$$

$$C_{C1} = g_{me1}RC_1 = \frac{g_{me1}C'_1}{\omega_c} \quad (4.12)$$

$$C_{L2} = g_{me2}L_2\frac{1}{R} = \frac{g_{me2}L'_2}{\omega_c} \quad (4.13)$$

$$C_{C3} = g_{me3}RC_3 = \frac{g_{me3}C'_3}{\omega_c} \quad (4.14)$$

ここで、 $g_{me1} \sim g_{me3}$ はそれぞれの積分器の g_{me} を表す。

式(4.4)と式(4.11)の比較から分かるように、図4.2の回路で実現できるフィルタは、元の規格化フィルタが $G'_S = G'_L = 1$ で与えられている場合に限られる。この制約を回避するには、有損失積分器の出力段において出力用と帰還用とで異なる値の電流利得もった M_2, M_4 を用意すればよい。これは特に、集積回路で実現できない容量を積分器に用いなければならないなどのインピーダンススケージングの必要性が生じた場合には必要となる。

4.1.3. フィルタのしゃ断周波数チューニング

式(4.12)~式(4.14)から分かるように、高いしゃ断角周波数を実現するには、高い実効伝達コンダクタンスの積分器を用いるか、小さな実効積分容量の積分器を実現しなくてはならない。ところが、実効積分容量はFG-MOSFETのゲート容量があるために、全く積分容量を付加しなくても数百fF程度の実効積分容量が存在する。しかし、2.1.2.章で述べたようにFG-MOSFETは実効伝達コンダクタンスが通常MOSFETより低くなるため、高いしゃ断周波数のフィルタを実現するという意味では不利である。また、式(4.12)~式(4.14)はint1~int3の各 M_2, M_4 対の内部MOSFETのデバイス寸法を同じにし、 M_2, M_4 の第2ゲートを制御端子として用いれば伝達コン

ダクタンスを可変とできる。このことは、実際にフィルタを集積回路として製作した後のフィルタのしゃ断角周波数のチューニングが可能であることを示している。

4.1.4. フィルタのQチューニング

3.1.6.章で述べたように、積分器の入出力コンダクタンスに起因するQの低下を補うために、積分器の M_1 , M_2 の第1, 第2ゲートの容量比を変更してQ補償を行う必要がある。しかし、実際に集積回路として実現する際には、式(3.59), (3.60)で示されるQ補償の条件を正確に満たすのは困難である。特にフィルタ回路を実現するためには、できる限り積分器のQを高くすることが重要であるが、設計時に積分器の実効損失を0付近に設計してしまうと、素子のバイアス電流の変化や素子のパラメータの偏差で損失が負となる可能性がある。その場合、帰還ループをもつ回路では発振の原因となることから、 $Q > 0$ の条件を満たさなければならない。そこで、製造後に積分器のQを制御することを考える必要がある。

積分器のQを変化させるためには、3.1.章で述べた基本積分器においては、 M_1 , M_3 のドレイン電流を変化させれば良い。これには M_1 , M_3 の第3ゲートを制御端子として利用すれば、 M_1 , M_3 のみかけのしきい電圧を制御でき、その結果としてドレイン電流を変化させることができる。ただし、入力端子の直流電圧を変化させてしまうと出力段のFG-MOSFETのドレイン電流まで変化してしまうため、Qだけでなくフィルタの ω_0 も変化することになる。そこで、入力段の電流源であるp型MOSFETのドレイン電流も変化するように、p型MOSFETのゲートバイアス電圧を変化させなければならない[13]。

4.1.5. シミュレーションによる特性検証

3章で構成した基本積分器を用いて、3次低域通過チェビシェフフィルタを構成した。本フィルタの設計仕様は、電源電圧1.5V、通過域リプル0.5dB、-3dBしゃ断周波数5MHzである。表4.1に、積分器int1~int3の各FG-MOSFETのデバイス寸法(内部MOSFETのチャンネル幅 W , チャンネル長 L)、ポリキャパシタの容量値、外付けの積分容量 C の値を示す。それぞれの積分器では、前段回路の出力コンダクタンスを打ち消すために、 M_1 , M_3 のFG-MOSFET

の第1ゲートと第2ゲートの面積比を調整したQ補償法を施して設計されている。なお、各積分器の電流源 I_B, I_B は、 $W/L = 22.2\mu\text{m}/2.22\mu\text{m}$ の p チャネル MOSFET 単体で構成した。

表 4.1 デバイス寸法とパラメータ値

Integrator	Device names	Parameters	Values
int1	M_1, M_3	W/L [μm]	7.4/2.22
		$C_{g1}/C_{g2}/C_{g3}$ [fF]	112/149/130
	M_2, M_4	W/L [μm]	7.4/2.22
		C_{g1}/C_{g2} [fF]	130/130
	—	C [fF]	1250
	int2	M_1, M_3	W/L [μm]
$C_{g1}/C_{g2}/C_{g3}$ [fF]			97/164/130
M_2, M_4		W/L [μm]	7.4/2.22
		C_{g1}/C_{g2} [fF]	130/130
—		C [fF]	650
int3		M_1, M_3	W/L [μm]
	$C_{g1}/C_{g2}/C_{g3}$ [fF]		112/149/130
	M_2, M_4	W/L [μm]	7.4/2.22
		C_{g1}/C_{g2} [fF]	130/130
	—	C [fF]	1100

図 4.4 は、積分器の Q 補償の効果を確認するために HSPICE シミュレーションで得られた提案フィルタの周波数応答を示す。デバスパラメータには VDEC (東京大学大規模集積システム設計教育研究センター) から提供されている 2 層ポリ 2 層メタル $1.2\mu\text{m}$ CMOS プロセスの HSPICE Level 28 デバイスモデルパラメータ値を用いている。本シミュレーションにおいては、フィルタの出力端子は 0.75V の理想電圧源で終端した。図 4.5 はしゃ断周波数付近の振幅応答の拡大図である。両図から、Q 補償法により通過域端付近の周波数応答が顕著に改善されていることが分かる。このシミュレーションにより求めた提案フィルタの諸特性を表 4.2 に示す。同表から、設計値と比較して、 -3dB しゃ断周波数 $f_{-3\text{dB}}$ は 2.4% 低下し、通過域リ

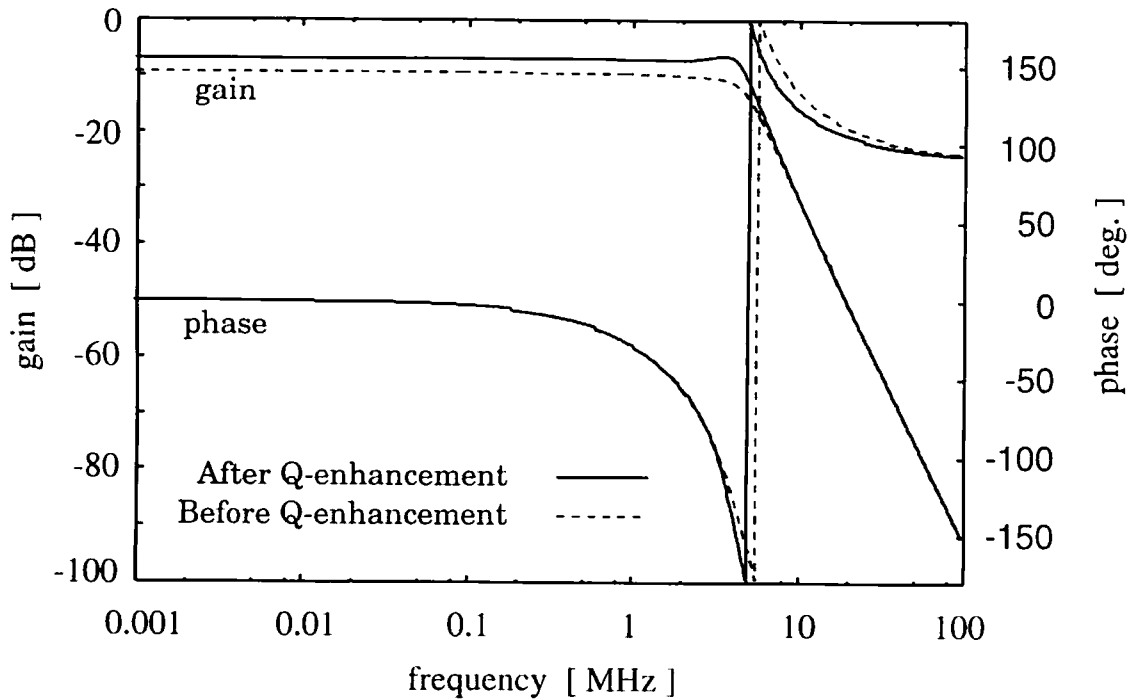


図 4.4 完全差動型3次チェビシェフ低域通過フィルタの周波数応答(通過域リップル:0.5dB、-3dBしゃ断周波数:5MHz)

表 4.2 フィルタの諸特性

Supply Voltage	1.5V
Power Consumption	370 μ W
-3dB Cut-Off Frequency	4.88MHz
Pass-Band Ripple	0.79dB

リップルは0.29dB増加していることが分かる。また、提案フィルタの消費電力は370 μ Wと非常に小さいことが示された。

設計した図 4.2 の電流モード完全差動型3次チェビシェフ低域通過フィルタの振幅応答について、内部 MOSFET のチャネル幅 W 、チャネル長 L 、ゼロバイアスしきい電圧 V_{T0} の変動、チャネル長変調係数 λ の変動、それに FG-MOSFET の $Q_t (\equiv Q_B + Q_0 + Q_{FG})$ の変動、積分器の C_e の変動に関するモンテカルロ解析を HSPICE を用いて行った。その結果のまとめを表 4.3

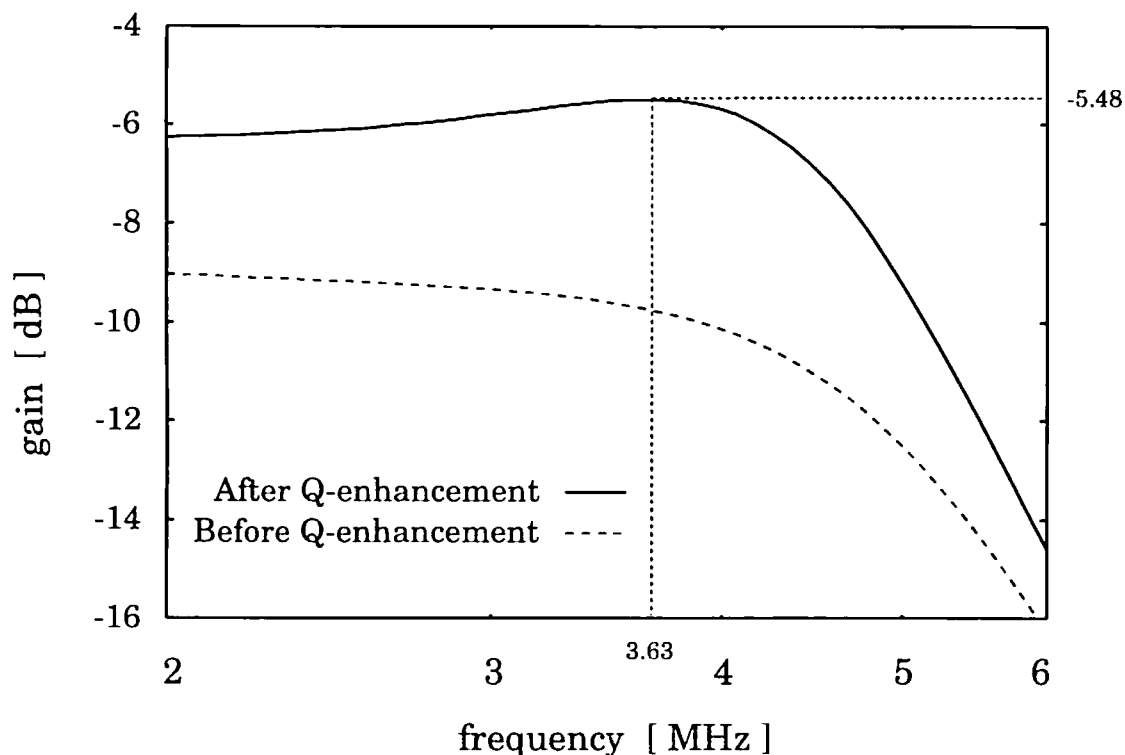


図 4.5 しや断周波数付近の振幅応答の拡大図

に示す。同表において、*±**の*は平均値を、**は標準偏差を表す。また、同表の通過域利得は $f=3.5\text{MHz}$ での値を示す。

本解析において、 ΔW 、 ΔL 、 ΔV_{T0} 、 $\Delta\lambda$ 、 ΔQ_i 、 ΔC_e の各々に関して試行回数は30回とした。これらのうち、 ΔW 、 ΔL 、 ΔV_{T0} 、 ΔQ_i に関する解析においては、FG-MOSFETの直流バイアス点の変動を伴うため、 g'_o や g_{e1} 、 g_{e2} に偏差を生じる。 ΔW および ΔQ_i は、それが正值のときFG-MOSFETのドレイン電流は増加し、このとき g'_o や g_{e1} 、 g_{e2} は増加する。他方、 ΔL および ΔV_{T0} は、それが正值のときFG-MOSFETのドレイン電流は減少し、このとき g'_o や g_{e1} 、 g_{e2} は減少する。このことから、 ΔW 、 ΔL 、 ΔV_{T0} 、 ΔQ_i に関するモンテカルロ解析では、Q補償の条件からのはずれの影響も含まれている。このモンテカルロ解析において、 ΔW 、 ΔL 、 $\Delta\lambda$ 、 ΔC_e はガウス分布で相対誤差が 3σ で5%とし、 ΔV_{T0} については、ガウス分布で絶対誤差が 3σ で50mVとした。なお、 ΔW 、 ΔL 、 ΔV_{T0} 、 $\Delta\lambda$ 、 ΔC_e のモンテカルロ解析においては、 $Q_0 + Q_{FG} = 0$ とおいた。

表 4.3 モンテカルロ解析の結果

Passband gain under ΔW	-5.57 ± 0.31 dB
f_{-3dB} under ΔW	4.82 ± 0.01 MHz
Passband gain under ΔL	-5.38 ± 0.44 dB
f_{-3dB} under ΔL	4.84 ± 0.13 MHz
Passband gain under ΔV_{T0}	-8.45 ± 6.92 dB
f_{-3dB} under ΔV_{T0}	4.24 ± 1.11 MHz
Passband gain under $\Delta \lambda$	-5.52 ± 0.57 dB
f_{-3dB} under $\Delta \lambda$	4.81 ± 0.22 MHz
Passband gain under ΔQ_t	-22.9 ± 1.64 dB
f_{-3dB} under ΔQ_t	2.82 ± 0.11 MHz
Passband gain under ΔC_e	-5.50 ± 0.04 dB
f_{-3dB} under ΔC_e	4.80 ± 0.04 MHz

表 4.3 の $\Delta \lambda$ に関する結果は，MOSFET の W/L を一定に保持したままでチャンネル長 L が変動した場合のモンテカルロ解析の結果である．これは， g'_o, g_{ds1}, g_{dsb} が近似的にチャンネル長変調係数 λ に比例し，かつ λ が L の逆数にほぼ比例することを利用して g'_o, g_{ds1}, g_{dsb} を偏差させ，それらがどの程度フィルタ特性に影響するかの目安を与えている．

Q_t については，試作チップでの実験で求めたフローティングゲート上の電荷密度の平均値からその公称値を計算で求め*， ΔQ_t はガウス分布で相対誤差が 3σ で 10% とした．ところで， Q_t の変動の影響は V_{T0} の変動の影響と等価であり，これらは積分器の直流バイアス点を変動させる．表 4.3 で ΔQ_t に対する通過域利得が大きく変化しているのは， $Q_0 + Q_{FG} \neq 0$ による直流バイアス点の変化がその原因である．

表 4.3 の ΔC_e に関するモンテカルロ解析は，SPICE シミュレーションのデバイスモデルとデバイスレイアウト図を使い，式 (3.21), (3.22) を用いて設計した $C_{e1} + C_{e2}$ が，その設計値から偏差した場合の影響を示す．このモンテカルロ解析では，簡単のため，式 (3.24) の g_{e1} と式 (3.25) の g_{e2} 中に現れるキャパシタ比は一定と仮定している．この仮定が成立しない場合におい

* M_1, M_3 では 115.2fC, M_2, M_4 では 78.3fC とした．

ては、4.1.3., 4.1.4.章で述べた電子チューニングによって g_{e1}, g_{e2} の偏差を補償することが必要となる。

4.2. チェビシェフ6次帯域通過フィルタ

本小節では、4.1.章で述べたチェビシェフ3次低域通過フィルタと同様に、チェビシェフ6次帯域通過フィルタを両端終端形 LC3次はしご型フィルタを元にシグナルフローグラフ手法で積分器のみで構成する[13]. 元となるはしご型帯域通過フィルタを図4.6に示す。

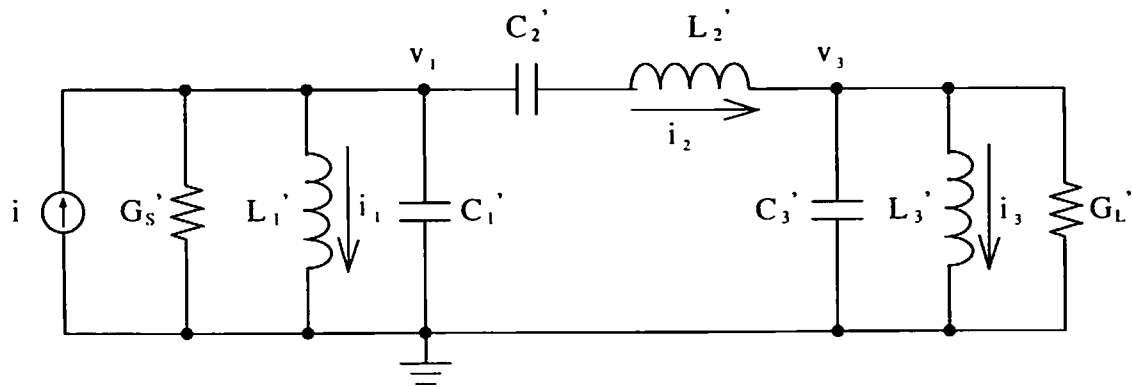


図 4.6 規格化6次帯域通過LCはしご形フィルタ

このはしご型フィルタの回路変数を上図のようにとると、次のような回路方程式が得られる。

$$v_1 = \frac{1}{G'_s + sC'_1}(i - i_1 - i_2) \quad (4.15)$$

$$i_1 = \frac{1}{sL'_1}v_1 \quad (4.16)$$

$$v_2 = \frac{1}{sC'_2}i_2 + v_3 \quad (4.17)$$

$$i_2 = \frac{1}{sL'_2}(v_1 - v_2) \quad (4.18)$$

$$v_3 = \frac{1}{G'_L + sC'_3}(i_2 - i_3) \quad (4.19)$$

$$i_3 = \frac{1}{sL'_3}v_3 \quad (4.20)$$

$$(4.21)$$

式(4.15)~4.20のそれぞれの右辺は積分項と加減算で構成されていることから、このフィルタも有損失・無損失積分器の組合せで実現できることがわかる。

4.2.1. 回路構成

図4.7に積分器を用いて構成した6次帯域通過チェビシェフフィルタの回路構成を示す。int1~int6の各積分器はそれぞれQ補償を行って、積分器の実効Qの向上を図っている。また、本フィルタでは積分器には最大で4つの出力端子が必要となるため、3次低域通過チェビシェフフィルタと同様の構成とした出力段を並列に設けている。その際に $C=0$ 時の $C_{e1}+C_{e2}$ が1出力型積分器の場合よりも増加するが、 C の値を、積分容量 C_e から $C=0$ 時の $C_{e1}+C_{e2}$ を差し引いた値に設計することでこの問題を回避できる。

図4.6の C_1, L_1, \dots, C_3 に対応する積分器の C_e をそれぞれ $C_{C1}, C_{L1}, \dots, C_{C3}$ とすると、次の設計公式を得る。

$$G_S = G_L = 1/R = 1 \quad (4.22)$$

$$C_{C1} = g_{me1}RC_1 = \frac{g_{me1}C'_1}{\omega_c} \quad (4.23)$$

$$C_{L1} = \frac{g_{me2}}{\omega_o^2 C_1} = \frac{\omega_c g_{me2}}{\omega_o^2 C'_1} \quad (4.24)$$

$$C_{L2} = g_{me3} \frac{L_2}{R} = \frac{g_{me3}L'_2}{\omega_c} \quad (4.25)$$

$$C_{C2} = \frac{g_{me4}}{\omega_o^2 L_2} = \frac{\omega_c g_{me4}}{\omega_o^2 L'_2} \quad (4.26)$$

$$C_{C3} = g_{me5}RC_3 = \frac{g_{me5}C'_3}{\omega_c} \quad (4.27)$$

$$C_{L3} = \frac{g_{me6}}{\omega_o^2 C_3} = \frac{\omega_c g_{me6}}{\omega_o^2 C'_3} \quad (4.28)$$

ここで、 $g_{me1} \sim g_{me6}$ はそれぞれの積分器の g_{me} を表し、 $\omega_c = 2\pi f_c$ で、 f_c は帯域通過フィルタの通過帯域幅、 ω_o は通過帯域の中心角周波数である。但し、 C'_1, L'_2, C'_3 は終端抵抗が1に基準化された3次チェビシェフ基準フィルタの各基準化素子値を表す。

4.2.2. シミュレーションによる特性検証

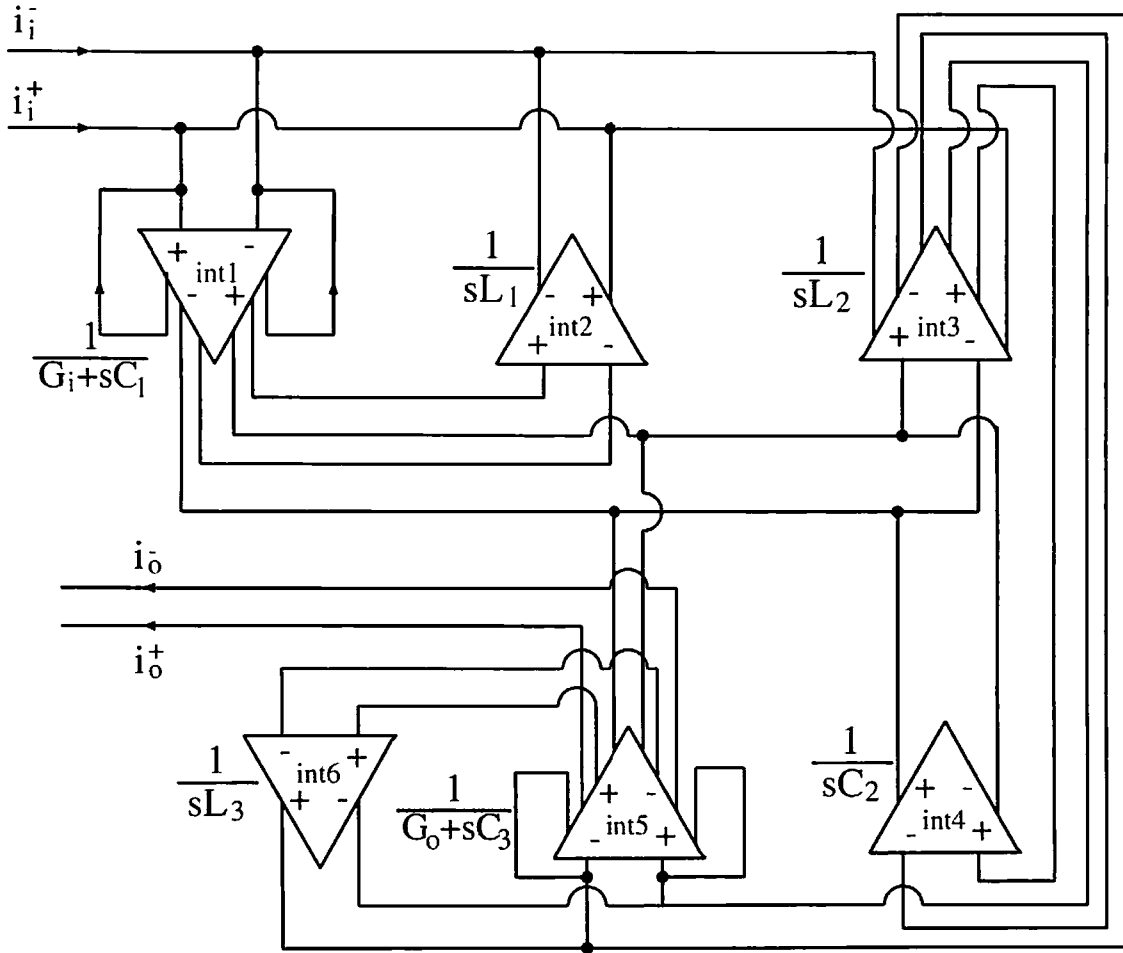


図 4.7 完全差動型電流モード6次チェビシェフ帯域通過フィルタ

式(4.23)~(4.28)で求めた各積分器の実効積分キャパシタンスから必要な外付けキャパシタンスCを求め、その値を用いてSPICEシミュレーションを行うと、設計値よりもフィルタの中心周波数が低くなり、通過帯域幅が広がった。これは式(4.23)~(4.28)を用いて設計を行ったとき、 g_{me} に含まれる C_{fd}^* 、 C_{fs}^* を無視したために、外付けキャパシタンス $C=0$ 時の積分器の実効積分キャパシタンスを低く見積もってしまったためだと考えられる。そこで、次の手順で中心周波数と通過帯域幅の合わせ込みを行った。

- (1) 通過帯域幅を合わせるために、式(4.15)~(4.20)を実現する各積分器の実効積分容量を ω_{cs}/ω_c 倍に変更する。ここで、 ω_{cs} はシミュレーションによ

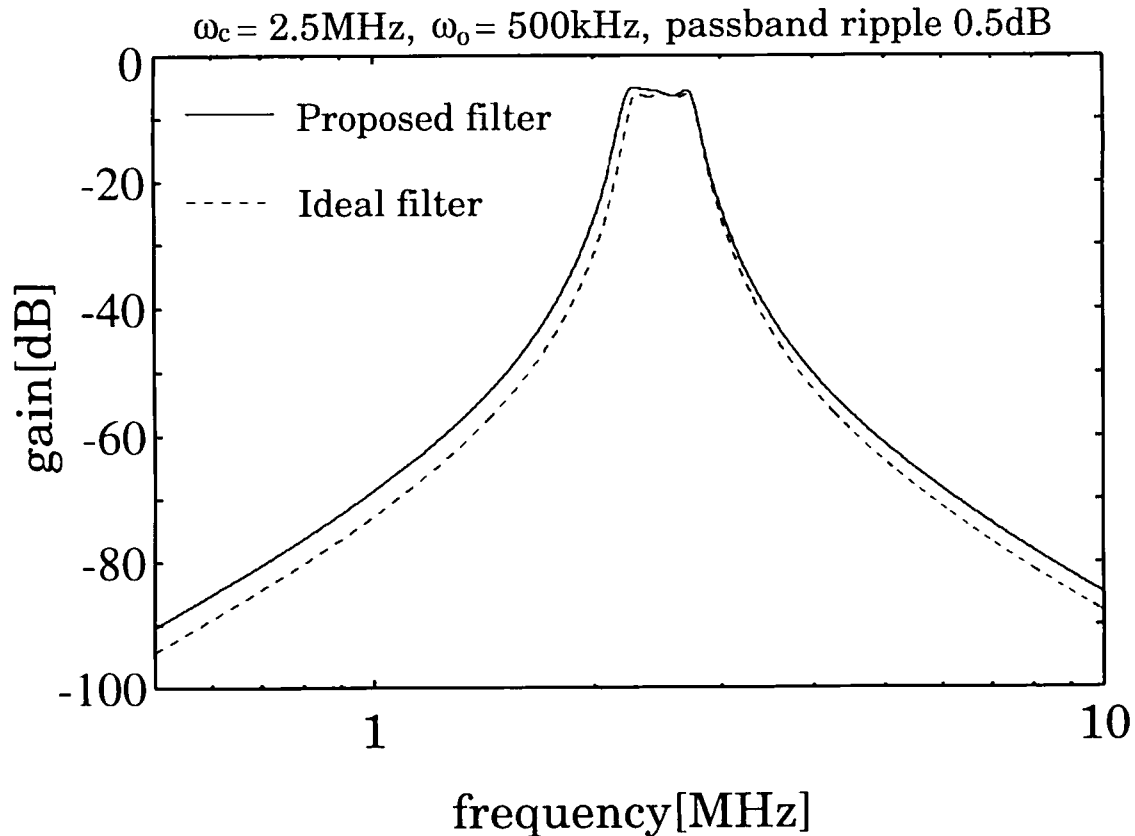


図 4.8 完全差動型 6 次チェビシェフ帯域通過フィルタの周波数応答 (リップル: 0.5dB, 中心周波数 2.5MHz, 通過帯域 500kHz)

り得られたフィルタの中心周波数であり, ω_c は中心周波数の設計値である.

(2) 中心周波数を合わせるために, 式(4.16), (4.17), (4.20) を実現する積分器の実効積分容量を $\sqrt{\omega_{os}/\omega_o}$ 倍に変更する. ここで, ω_{os} はシミュレーションより得られたフィルタの通過帯域幅であり, ω_o は通過帯域幅の設計値である.

以上の2つの操作を繰り返しせば, 設計条件に近づけることができる. この一連の操作を3回行い, 積分器の外付けキャパシタンス C の値を補正した結果が図 4.8 に示す周波数応答である. また, 通過域付近の拡大図を図 4.9 に示す.

また, Q 補償と特性の合わせ込みを行ったときの各積分器の外付けキャパシタ C と, 積分器の交差結合している 3 ゲート型 FG-MOSFET M_1, M_3 の第

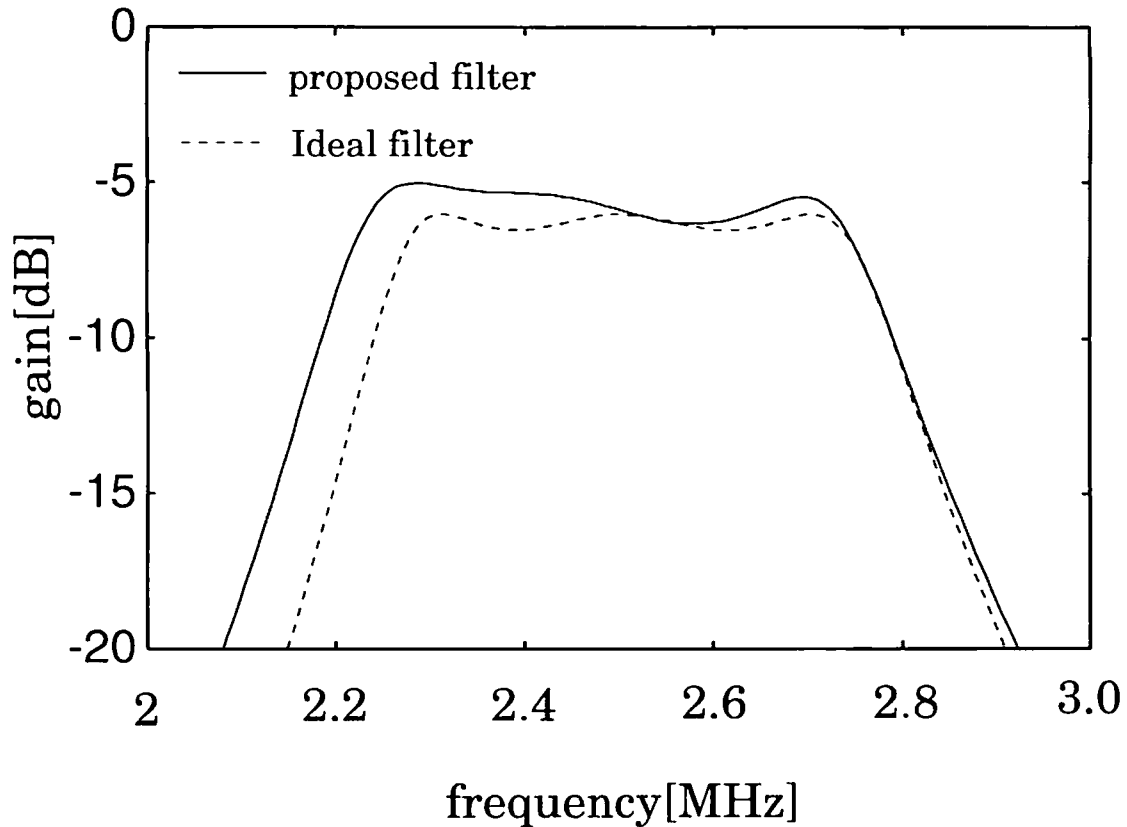


図 4.9 通過帯域付近の拡大図

1. 第2ゲートの面積比[†]をQ補償キャパシタ比 $|(C_{1g1} - C_{1g2})|/C_{fg1}$ として定義したものを表4.4に示す. int2, int4, int6に関してFG-MOSFETのゲート容量が大きいため、ほとんど外付キャパシタが必要無い. 特に比帯域の小さなフィルタではint2, int4, int6の容量を小さくしなければならないため、FG-MOSFETを用いた提案フィルタはこの点では不利となる. 表4.5はシミュレーションより得られた6次帯域通過チェビシェフフィルタの諸特性を示しており、提案フィルタ回路の消費電力は1mW以下と低消費電力であることが分かる.

[†]第1ゲート・浮遊ゲート間容量と第2ゲート・浮遊ゲート間容量はそれぞれの面積に比例する.

表 4.4 積分器の外付キャパシタとQ補償キャパシタ比

積分器	Cint	補償キャパシタ比×100[%]
int1	15pF	10%
int2	20fF	5.5%
int3	13.5pF	10%
int4	40fF	5.5%
int5	15pF	10%
int6	20fF	5.5%

表 4.5 フィルタの諸特性

Supply Voltage	1.5V
Power Consumption	950 μ W
Center Frequency	2.48MHz
Pass-Band Frequency Range	550kHz
Pass-Band Ripple	1.27dB

4.3. 他のフィルタとの比較

本章では、提案したフィルタ回路と、これまでに提案されている電流モード積分器用いたフィルタ回路との特性を比較し、提案フィルタ回路の特性の客観的評価を行う。

表 4.6 に本論文で提案したフィルタとこれまでに提案された電流モード積分器を用いたフィルタの電源電圧、使用プロセス、極あたりの消費電力および1mWあたりのしゃ断周波数を示す。ただし、表中の提案回路1は3次チェビシェフ低域通過フィルタを、提案回路2は6次チェビシェフ帯域通過フィルタを指す。

この表より、提案フィルタ回路では同様の構成である電流モード CMOS 集積化フィルタと比較して、低電源電圧で動作しかつ消費電力も小さいことが分かる。また、CMOS回路に比べて電源電圧を低くできるバイポーラ回路を用いたフィルタでは1Vで動作するものの、消費電力は一桁程度

表 4.6 フィルタの特性比較

Authors	proposed 1	proposed 2	Lee[6]	Smith[9]	Shana'a[10]
Technology	1.2 μm CMOS	1.2 μm CMOS	2 μm CMOS	2 μm CMOS	8-GHz bipolar
Supply Voltage	1.5V	1.5V	5V	3.3V	1V
Power Consumption	125 $\mu\text{W}/\text{pole}$	160 $\mu\text{W}/\text{pole}$	2 mW/pole	700 $\mu\text{W}/\text{pole}$	1.4 mW/pole
Normalized Cutoff Freq.	40.0 MHz/mW	15.6 MHz/mW	6.5 MHz/mW	18.6 MHz/mW	143 MHz/mW

大きくなっている。これらのフィルタのしゃ断周波数については、極1つあたりの消費電力で正規化したものを示している。これより、これまでに提案されたCMOS低域通過フィルタと提案する3次チェビシェフ低域通過フィルタ同士の比較では、提案フィルタが良い性能を実現しているといえる。ただし、バイポーラプロセスは速度ではCMOSプロセスに比べて優位であるため、143MHz/mWという高いしゃ断周波数となっている。

4.4. チップ試作

VDEC(東京大学大規模集積システム設計教育研究センター)で提供されているオンセミコンダクタ社1.2 μm CMOSプロセスを用いて、これまでに設計した基本積分器および3次低域通過フィルタの試作を行った。本プロセスは2層メタル・2層ポリシリコンのデジタルCMOSプロセスであり、FG-MOSFETを用いた回路の試作が可能である。レイアウト設計にはMAGICを用い、FG-MOSFETの浮遊ゲートは通常のMOSFETのゲート電極にあたる第1ポリシリコン層で形成している。

図4.10は基本積分器の試作チップの顕微鏡写真である。上部の交差配線されている素子が3ゲート型FG-MOSFET対であり、積分器の入力段を形成している。また、下部は2ゲート型FG-MOSFET対であり、積分器の出力段となっている。この積分器はおよそ290 μm × 170 μm の面積を占める[12]。

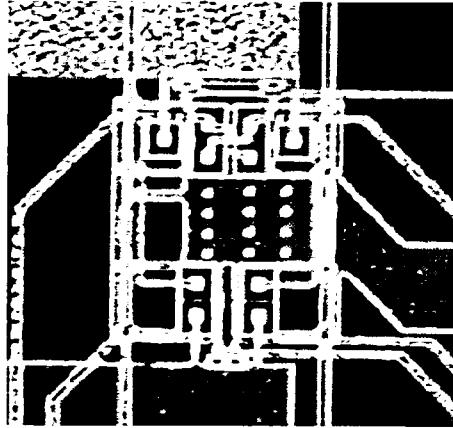


図 4.10 試作した基本積分器の顕微鏡写真

図4.11 は基本積分器を用いて構成した3次低域通過フィルタの顕微鏡写真である。それぞれの基本積分器は多出力とするために、 I_p と2ゲート型FG-MOSFETからなる出力段を並列接続する手法を用いている。左端が入力側の積分器int1に相当し、右端が出力側のint3にあたる。この試作フィルタではQ補償等を行っていないため、3ゲート型FG-MOSFETの第1、第2ゲートの面積比は1:1であることが分かる。このフィルタの占める面積は、およそ1.5mm×1mmである。

4.5. まとめ

本章では、FG-MOSFETを用いた3次低域通過チェビシェフフィルタと、6次帯域通過チェビシェフフィルタを提案した。提案フィルタは両側抵抗終端はしご型フィルタを元に、シグナルフローグラフ手法により積分器のみで構成した。両側終端はしご型を元に行っているため、フィルタ特性は素子値の偏差に対して鈍感であり、集積化フィルタとして適している。

提案したフィルタでは無損失・有損失積分器の両方が必要になるため、無損失積分器の実現には3.1.6.章で述べたQ補償法を適応して実効Qを高める工夫を行なった。また、有損失積分器の実現には素子の製造偏差に対しても特性が変動しないように、無損失積分器に帰還率1で負帰還を施して有損失積分器の特性を実現した。ただし、帰還率1の場合には両側抵抗終端はしご型フィルタの抵抗値が1であるフィルタのみの実現しかで

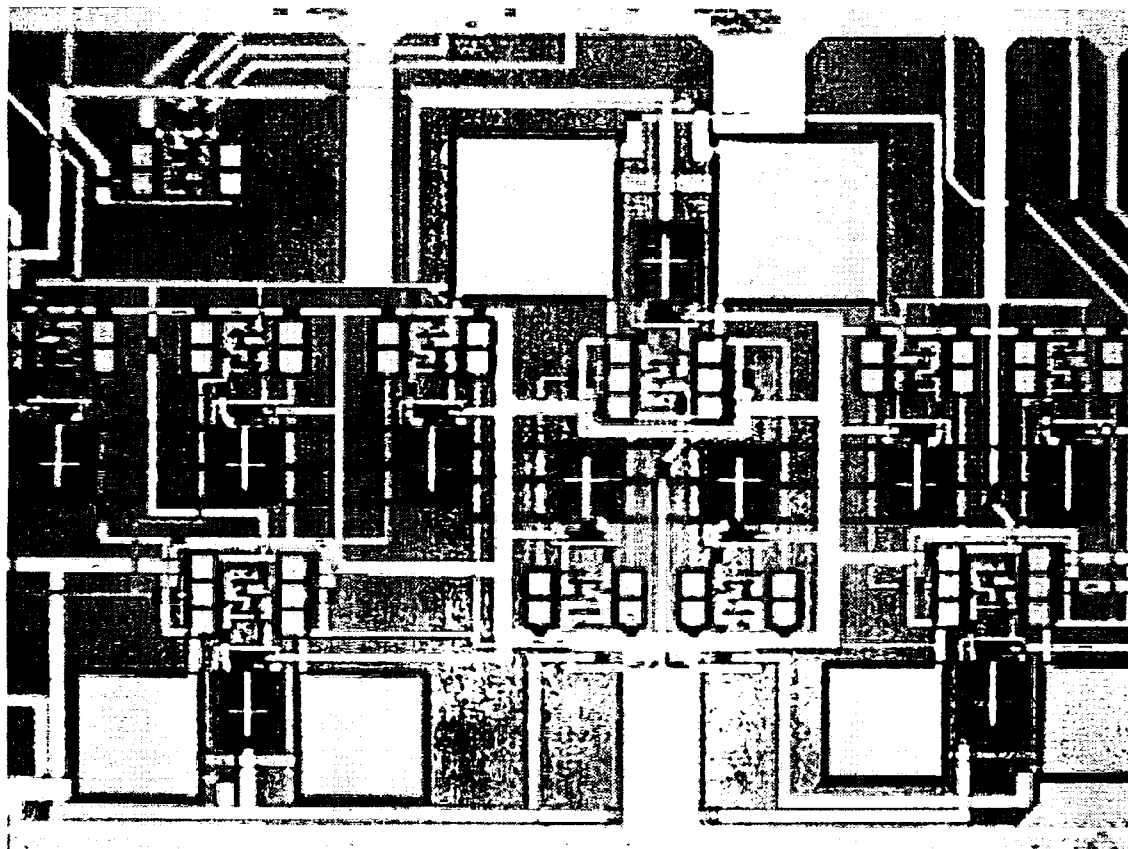


図 4.11 試作した3次低域通過フィルタの顕微鏡写真

きない。この問題を解決するには異なる電流伝達比をもつ出力段を積分器に設ければよい。また、製造後のフィルタの Q およびしや断周波数 ω_0 のチューニングについても論じ、その手法を提案した。

それぞれのフィルタについてSPICEシミュレーションを行い、フィルタの諸特性を明らかにした。3次低域通過チェビシェフフィルタでは、周波数解析の結果、 Q 補償の効果で通過域端の特性が著しく改善されたことが示された。また、FG-MOSFETの各パラメータ変動についてモンテカルロシミュレーションを行い、FG-MOSFETの浮遊ゲートの蓄積電荷の影響を除けば、フィルタ特性の変動は小さいことを明らかにした。6次帯域通過チェビシェフフィルタでは中心周波数および通過帯域幅が設計値と大きくずれたために、中心周波数と通過帯域幅の合わせ込みを行った。その結果、積分器の外付キャパシタンスの変更のみで、特性の合わせ込みを行

うことができた。また、これらのフィルタは電源電圧1.5Vで動作し、消費電力もそれぞれ $370\mu\text{W}$ 、 $950\mu\text{W}$ と低消費電力を実現した。これらのフィルタとこれまでに提案された電流モード積分器を用いたフィルタを比較して、提案フィルタが低電源電圧、低消費電力であり、数MHzののしや断周波数を実現できることを明らかにした。以上の結果から、3章で提案したFG-MOSFET電流モード積分器はMHz帯のフィルタのビルディングブロックとして有効であり、低電源電圧で動作し、低消費電力であることから電池駆動の携帯情報機器への応用も期待できる。

第5章 結論

本論文は、FG-MOSFETをアナログ回路への応用するための基礎的な研究として、SPICEシミュレーションで利用できるFG-MOSFETマクロモデルの構築と、FG-MOSFETを用いた完全差動電流モード積分器の設計を行った。また、提案した積分器のフィルタへの応用について検討し、低電圧で動作する数MHz帯のフィルタとして実現できることを示した。

本論文での第2章以降の各章で得られた結論は、具体的には以下の通りである。

第2章では、FG-MOSFETを用いた回路設計に先立って、FG-MOSFETの特性について理論的に解析しその諸特性を明らかにした。FG-MOSFETは2つ以上のゲート端子をもち、各ゲート電圧が静電結合した浮遊ゲートで荷重平均演算が行われること、あるゲート端子に適切なバイアス電圧を印加すると他のゲートからみたまかけのしきい電圧が線形に制御できることを示した。また、小信号解析を行った結果、同じ寸法で同様にバイアスしたMOSFETよりも伝達コンダクタンスは減少し、出力コンダクタンスは増加することを明らかにした。また、FG-MOSFETをSPICEシミュレーションで利用することを目的としてマクロモデルを構築し、直流解析、交流解析および過渡解析で利用できるようサブサーキットとしてSPICEシミュレーションに組み込んだ。これにより、これまで正確に特性をシミュレーションすることができなかったFG-MOSFETを用いた回路でも、通常のMOSFETと同様に解析可能となった。

第3章では、様々な回路への応用が期待できる積分器をFG-MOSFETを用いて構成した。この積分器は交差結合している3ゲート型FG-MOSFETと出力段に用いる2ゲート型FG-MOSFETからなる。交差結合しているFG-MOSFETは逆相入力端子の電圧と正相入力端子の電圧から、入力端子のコンダクタンスを打ち消すための負性コンダクタンスを発生させることで、積分器のQ向上が実現できる。しかし、提案した基本積分器はテイル電流源を省略しているために、同相成分除去比CMRRが低いという欠点を持つ。これは回路の同相利得が大きいことが原因である。そこ

で、同相利得を減少させるために同相成分フィードフォワード (CMFF) 回路と同相成分フィードバック (CMFB) 回路を導入し、CMRR の改善を行った。SPICE シミュレーションの結果、提案積分器は基本積分器のみでは積分器の外付け容量 $C=1\text{pF}$ とした場合には、 $4\text{MHz}\sim 290\text{MHz}$ の範囲で積分器として動作することを明らかにした。また、消費電力は基本積分器のみでは $120\mu\text{W}$ 、CMFF 回路を組み込んだ積分器では $200\mu\text{W}$ 、CMFB 回路を組み込んだ積分器では $125\mu\text{W}$ であり、全ての回路 (基本積分器、CMFF 回路、CMFB 回路) を組み込んだ状態でも $220\mu\text{W}$ と低消費電力を実現した。また、CMRR の改善に関しては、CMFF 回路のみを用いた場合に CMRR が最も向上し、低周波域での CMRR は 16dB 改善でき、 $\text{CMRR} = 0\text{dB}$ となる周波数は $f=54\text{MHz}$ となることを示した。積分器の構成素子数の削減と消費電力の低減という観点から、高い CMRR が必要な場合には CMFF 回路のみを積分器に採用すべきであることを明らかにした。

第4章では、第3章で構成した FG-MOSFET 電流モード完全差動型積分器を用いて3次低域通過チェビシェフフィルタおよび6次帯域通過チェビシェフフィルタを実現した。提案フィルタは両側終端はしご型フィルタを元に、シグナルフローグラフ手法で積分器のみで実現できるように回路を構成した。このとき、無損失・有損失積分器が必要であるが、この2種の積分器は積分器のQ補償法と負帰還を用いた有損失積分器を用いて構成した。提案フィルタのSPICEシミュレーション結果から、Q補償を行ったことで通過域端の振幅特性が改善できたことを確認した。また、フィルタ特性が設計とずれた場合には積分器の外付け容量Cで合わせ込みが可能であることを示した。それぞれのフィルタの消費電力は $370\mu\text{W}$ 、 $950\mu\text{W}$ であり、低電源電圧・低消費電力のフィルタとして集積化可能であることを明らかにした。さらに、これまでに提案されたフィルタ回路との比較から、提案フィルタ回路は、これらのフィルタと同程度のしゃ断周波数を実現し、低電源電圧動作と低消費電力であることを確認した。また、提案した基本積分器とフィルタはVDECを通じて試作を行っており、実験による特性の測定結果とシミュレーション結果との比較が今後の課題として残されている。

以上の結果から、FG-MOSFETを電流モードアナログ回路に応用すると、集積回路の低電源電圧化の要求を満たす回路が実現できる。これはFG-

MOSFETではゲート電圧の荷重平均が行えることから電圧の線形加算が可能であり、この特徴を生かしてFG-MOSFETをこれまでに実現できなかった低しきい電圧のMOSFETとして利用することができるためである。このように低電源電圧回路への応用に適したFG-MOSFETは、増幅器、抵抗素子およびトランスリニア原理に基づく乗除算乗回路等のアナログ基本回路への応用も考えられており、非常に有望な素子であるといえる。

最後に、FG-MOSFETを用いた回路の課題と今後の展望について述べる。FG-MOSFETはゲート電圧の荷重平均がとることができるため、様々な特性を持つことは既に述べた。しかし、浮遊ゲートが回路中で完全に浮いた構造をしており、そこに残留する初期電荷が回路のFG-MOSFETのバイアス点に大きく影響を与える。これは、初期電荷がみかけのしきい電圧を変動させるためであり、この初期電荷をどのように取り扱うかがFG-MOSFETを用いた回路での問題点である。この問題については、紫外線を用いて初期電荷を取り除く手法やパストランジスタを浮遊ゲートに接続し電荷を制御する手法が研究されており、実際にその効果が確かめられつつある。浮遊ゲートの初期電荷を完全に除去できれば、FG-MOSFETのみかけのしきい電圧は設計者が自由に設計できるため、今後ますますFG-MOSFETの応用研究が進展すると期待される。

謝 辞

本研究のきっかけとともに、研究の進展および論文執筆に関して、終始懇切丁寧なる御指導と御助言を頂いた井上高宏教授に深く感謝致します。また、研究指導委員会委員としての的確な御指導を頂いた三田長久教授、宮原邦幸教授、佐々木守助教授ならびに常田明夫助教授に感謝致します。

本研究を遂行する上で様々な便宜を図っていただきました伊元友明技官および、御討論ならびに御助言頂いた知能回路システム研究室の学生諸氏に感謝致します。

最後に、これまでの研究活動と生活を支えてくれた家族、特に大学に入学してから一人で私を支援してくれた母愛子に深く謝意を表します。

参考文献

- [1] C. Hu, "Future CMOS scaling and reliability," *Proc. IEEE* vol.81, pp.682-689, 1993.
- [2] E. Sánchez-Sinencio and A. G. Andreou ed.: *Low-Voltage/Low-Power Integrated Circuits and Systems:Low-Voltage Mixed-Signal Circuits*, IEEE Press, New York, 1999.
- [3] H. Tanimoto, M. Koyama, and Y. Yoshida, "Realization of a 1-V active filter using a linearization technique employing plurality of emitter-coupled pairs," *IEEE J.Solid-State Circuits* vol. 26, pp.937-945,1991.
- [4] B. Davari, R. H. Dennard, and G. G. Shaidi, "CMOS scaling for high performance and low power: The next ten years," *Proc.IEEE*, vol.83, pp.595-606, April 1995.
- [5] R. J. Widlar, "Low voltage techniques," *IEEE J.Solid-State Circuits*, vol.SC-13, pp.838-846, Dec. 1978.
- [6] S. -S. Lee, R. H. Zele, D .J. Allstot, and G. Liang, "A continuous time current-mode integrator," *IEEE Trans. Circuits and Syst. I*, vol.38, pp.1236-1238, Oct. 1991.
- [7] J. B. Hughes, N. C. Bird, and I. C. Macbeth, "Switched current - a new technique for analog sampled-data signal processing," in *Proc. Int. Symp. Circuits Syst.*, Portland, USA, pp.1584-1587, May 1989.
- [8] T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," *IEEE J.Solid-State Circuits*, vol.26, pp.192-202, Mar. 1991.
- [9] S. L. Smith and E. Sánchez-Sinencio, "Low voltage integrators for high-frequency CMOS filters using current mode techniques," *IEEE Trans. Circuits Syst. II*, vol.43, no.1, pp. 39-48, Jan. 1996.

- [10] Osama Shana'a and Rolf Schaumann, "Low-Voltage High-Speed Current-Mode Continuous-Time IC Filters With Orthogonal $\omega_0 - Q$ Tuning" *IEEE Trans. Circuits Syst. II*, vol.46, pp.390-400, April 1999.
- [11] T. Inoue, H. Nakane, Y. Fukuju, and E. Sánchez-Sinencio, "A design of a low-voltage current-mode fully-differential analog CMOS integrator using FG-MOSFETs and its implementation," *Proc. 1999 International Analog VLSI Workshop*, Taipei, Taiwan, pp.161-166, 1999.
- [12] T. Inoue, H. Nakane, Y. Fukuju and E. Sánchez-Sinencio, "A Low-Voltage Fully-Differential Current-Mode Analog CMOS Integrator Using Floating-Gate MOSFETs", *Proc. of 2000 IEEE ISCAS*, Stockholm, Sweden, pp.IV-145-IV-148, May 2000
- [13] 中根秀夫, 井上高宏, "バイアス電流制御によるFG-MOSFET電流モードCMOSフィルタのQチューニング法," 電気関連学会九州支部連合大会講演論文集, 佐賀大学, pp.419, Oct. 2001
- [14] 中根秀夫, 井上高宏, "FG-MOSFET完全差動型電流モード積分器を用いた連続時間CMOS低域通過フィルタの一設計とその解析," 電気学会論文誌C, 第121巻第12号, pp.1918-1925, Dec. 2001
- [15] 中根秀夫, 井上高宏, 松永崇, "CMFFによるFG-MOSFET電流モード積分器のCMRR改善に関する一考察," 電気学会電子回路研究会資料, pp.59-62, Jan. 2002
- [16] 中根秀夫, 井上高宏, 常田明夫, "FG-MOSFETを用いた低電圧電流モード帯域通過フィルタの一設計," 電気学会電子回路研究会資料, pp.13-16, Jun. 2001
- [17] T. Shibata and T. Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations," *IEEE Trans. Electron Devices*, vol.39, pp.1444-1455, June 1992.
- [18] T. Shibata and T. Ohmi, "Neuron MOS voltage-mode circuit technology for multi-valued logic," *IEICE Trans. Electronics*, vol. E76-C, pp.347-359, 1993.

- [19] K. Ogawa, T. Shibata and T. Ohmi, "Multiple-input neuron MOS operational amplifier for voltage-mode multiple valued full adders," *IEEE Trans. Circuits Syst. I*, vol.45, pp.1307-1311, 1998.
- [20] K. Yang and A. G. Andreou, S "The multiple input floating gate MOS differential amplifier: an analog computational building block," in *Proc. Int. Symp. Circuits Syst.*, London, UK, pp.37-40, May 1994.
- [21] J. Ramírez-Angulo, S. C. Choi, and G. González-Altamirano "Low-voltage circuits building blocks using multiple-input floating-gate transistors," *IEEE Trans. Circuits Syst. I* , vol.42, no.11, pp.971-974, Nov. 1995.
- [22] D. Foty, *MOSFET modeling with SPICE*. Prentice Hall PTR, Upper Saddle River, NJ, 1997.
- [23] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, "An explicit physical model for the long-channel MOS transistor including small-signal parameters," *Solid-State Electron.*, vol.38, no.11, pp.1945-1952, 1995.
- [24] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*. McGraw-Hill, New York, 1987.
- [25] J. Mulder, A. C. van der Woerd, W. A. Serdijn, and A. H. M. van Roermund, "Application of the back gate in MOS weak inversion translinear circuits," *IEEE Trans. Circuits Syst. I* vol.42, pp.958-962, 1995.

付録 A SPICE ソースリスト

A.1. FG-MOSFET サブサーキット

```

* 京大提供 MOTOROLA 1.2u hspice level 28 library      *
* Transistor Parameters for Motorola 1.5um CMOS process *
* Extracted by Masaki Kondo, Kyoto University          *
*
*サブサーキット内で利用する各種パラメータ
*MOT'onodera.libのnmos2モデル, およびVDEC提供デバイスデータより取得.
*単位系は
*A1,A2,Af [um^2]
*Cfox,Cpp,Cox [fF/um^2] (VDECのデータ表より)
*Cfb,Cg1,Cg2,Call,Coxe [fF]
*L,W [m]
*XL,XW,LD,WD,Leff,Weff [um]
*PHIt,PHI0,PHIf [V]
*EPox [fF/m]
*q [Coulomb]
*MUe [m^2/(V*s)]
*Na,Ni [1/m^3]
*****
*****FG-nMOSFET(2入力)*****
*****
.subckt fg2n28mot12 2 3 4 5 6 L=1.48u W=1.48u A1=1024 A2=1024 Af=2520
+ASv=11.4p ADV=11.4p PSv=13.62u PDv=13.62u Qo=0 Qfg=0
.param
+ Cfox='0.0575'                ${fF/(um)^2}
+ Cpp='0.515'                  ${fF/(um)^2}
+ Cox='1.396'                  ${fF/(um)^2}
+ XL='-0.28'                   ${um}
+ XW='-0.58'                   ${um}
+ LD='0.15'                   ${um}
+ WD='0'                       ${um}
+ Leff='L*1e6+XL-2*LD'        ${um}
+ Weff='W*1e6+XW-2*WD'       ${um}
+ MUe='560e-4'                ${m^2/(V*s)}
+ EPox='1.04e5'               ${fF/m}
+ q='1.6e-19'                 ${Coulomb}
+ Vto='317.74e-3'             ${V}
+ Cg1='A1*Cpp'                ${fF}
+ Cg2='A2*Cpp'                ${fF}
+ Cfb='A*Cfox'                ${fF}
+ Call='Cg1+Cg2+Cfb'         ${fF}
+ PHI0='0.6512'               ${V}
+ PHIf='PHI0/2'               ${V}
+ PHIt='0.0259'               ${V}
+ Ni='1.5e16'                  ${1/m^3}
+ Na='Ni*exp(PHIf/PHIt)'      ${1/m^3}
+ Gamma='sqrt(1e-9)*sqrt(2*q*EPox*Na)/Cox'  ${sqrt(V)}
+ Coxe='Cox*Weff*Leff'       ${fF}
+ PHIsa='-1*((sqrt(Vto-V(99,0))+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))-Gamma/2)*
+(sqrt(Vto-V(99,0))+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))-Gamma/2)'
+ n='Gamma/(2*sqrt(-PHIsa-PHIt))+1'
+ Is='MUe*n*Cox*1e-3*Weff*PHIt*PHIt/(Leff^2)*$[A]
+ Qc='-2/3*Coxe*PHIt*(Is/I(Vd)+1)*(sqrt(1+I(Vd)/Is)-1)-Coxe*Gamma*Gamma/(2*(n-1))-(3*n-4)/3*Coxe*PHIt'
*****FG-nMOSFET(2入力)サブサーキットのネットリスト*****
Cg1      3 99 'Cg1*1e-15'
Cg2      4 99 'Cg2*1e-15'

```

```

Cfb 99 6 'Cfb*1e-15'
Vd 2 97 0
Rg 99 98 1e12
M1 97 99 5 6 nmos2 L=L W=W AS=ASv AD=ADv PD=PDv PS=PSv
Efg 98 0 vol='(Cg1*V(3,0)+Cg2*V(4,0)+Cfb*V(6,0)+Qo+Qfg+Qc)/Call'
.ends
*****
*****2ゲート出力型FG-MOSFET*****
*****
.subckt fg2n28mot12'2out 2 12 3 4 5 15 6
+L1=1.48u W1=1.48u L2=1.48u W2=1.48u
+A1=1024 A2=1024 Af=2520 Qo1=0 Qo2=0 Qfg=0
+ASv1=11.4p ADv1=11.4p PSv1=13.62u PDv1=13.62u
+ASv2=11.4p ADv2=11.4p PSv2=13.62u PDv2=13.62u
.param
+ Cfox='0.0575' $[fF/(um)^2]
+ Cpp='0.515' $[fF/(um)^2]
+ Cox='1.396' $[fF/(um)^2]
+ XL='0.28' $[um]
+ XW='0.58' $[um]
+ LD='0.15' $[um]
+ WD='0' $[um]
+ Leff1='L1*1e6+XL-2*LD' $[um]
+ Weff1='W1*1e6+XW-2*WD' $[um]
+ Leff2='L2*1e6+XL-2*LD' $[um]
+ Weff2='W2*1e6+XW-2*WD' $[um]
+ MUE='560e-4' $[m^2/(V*s)]
+ EPox='1.04e5' $[fF/m]
+ q='1.6e-19' $[Coulomb]
+ Vto='317.74e-3' $$$764.2e-3 $[V]
+ Cg1='A1*Cpp' $[fF]
+ Cg2='A2*Cpp' $[fF]
+ Cfb='Af*Cfox' $[fF]
+ Call='Cg1+Cg2+Cfb' $[fF]
+ PHI0='0.6512' $[V]
+ PHIf='PHI0/2' $[V]
+ PHIt='0.0259' $[V]
+ Ni='1.5e16' $[1/m^3]
+ Na='Ni*exp(PHIf/PHIt)' $[1/m^3]
+ Gamma='sqrt(1e-9)*sqrt(2*q*EPox*Na)/Cox' $[sqrt(V)]
+ Coxel1='Cox*Weff1*Leff1' $[fF]
+ Coxel2='Cox*Weff2*Leff2' $[fF]
+ PHIsa1='-1*((sqrt(Vto-V(99,0)+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))
+ -Gamma/2)*(sqrt(Vto-V(99,0)+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))-Gamma/2))'
+ n1='Gamma/(2*sqrt(-PHIsa1-PHIt))+1'
+ Is1='MUE*n1*Cox*1e-3*Weff1*PHIt*PHIt/(Leff1*2)'$[A]
+ Qc1='-2/3*Coxel1*PHIt*(Is1/I(Vd1)+1)*(sqrt(1+I(Vd1)/Is1)-1)-Coxel1*Gamma*Gamma/(2*(n1-1))
+ -(3*n1-4)/3*Coxel1*PHIt'
+ PHIsa2='-1*((sqrt(Vto-V(99,0)+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))
+ -Gamma/2)*(sqrt(Vto-V(99,0)+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))-Gamma/2))'
+ n2='Gamma/(2*sqrt(-PHIsa2-PHIt))+1'
+ Is2='MUE*n2*Cox*1e-3*Weff2*PHIt*PHIt/(Leff2*2)'$[A]
+ Qc2='-2/3*Coxel2*PHIt*(Is2/I(Vd2)+1)*(sqrt(1+I(Vd2)/Is2)-1)-Coxel2*Gamma*Gamma/(2*(n2-1))
+ -(3*n2-4)/3*Coxel2*PHIt'

Cg1 3 99 'Cg1*1e-15'
Cg2 4 99 'Cg2*1e-15'
Cfb 99 6 'Cfb*1e-15'
Vd1 2 97 0
Rg 99 98 1e12
M1 97 99 5 6 nmos2 L=L1 W=W1 AS=ASv1 AD=ADv1 PD=PDv1 PS=PSv1
Efg 98 0 vol='(Cg1*V(3,0)+Cg2*V(4,0)+Cfb*V(6,0)+Qo1+Qo2+Qfg+Qc1+Qc2)/Call'
Vd2 12 87 0
M12 87 99 15 6 nmos2 L=L2 W=W2 AS=ASv2 AD=ADv2 PD=PDv2 PS=PSv2
.ends
*****

```

*****2ゲート出力型FG-MOSFET*****

```
.subckt fg2n28mot123out 2 12 22 3 4 5 15 25 6
+L1=1.48u W1=1.48u L2=1.48u W2=1.48u L3=1.48u W3=1.48u
+A1=1024 A2=1024 Af=2520 Qo1=0 Qo2=0 Qo3=0 Qfg=0
+ASv1=11.4p ADv1=11.4p PSv1=13.62u PDv1=13.62u
+ASv2=11.4p ADv2=11.4p PSv2=13.62u PDv2=13.62u
+ASv3=11.4p ADv3=11.4p PSv3=13.62u PDv3=13.62u
.param
+ Cfox='0.0575'          ${fF/(um)^2}
+ Cpp='0.515'           ${fF/(um)^2}
+ Cox='1.396'           ${fF/(um)^2}
+ XL='-0.28'            ${um}
+ XW='-0.58'            ${um}
+ LD='0.15'             ${um}
+ WD='0'                 ${um}
+ Leff1='L1*1e6+XL-2*LD'  ${um}
+ Weff1='W1*1e6+XW-2*WD'  ${um}
+ Leff2='L2*1e6+XL-2*LD'  ${um}
+ Weff2='W2*1e6+XW-2*WD'  ${um}
+ Leff3='L3*1e6+XL-2*LD'  ${um}
+ Weff3='W3*1e6+XW-2*WD'  ${um}
+ MUe='560e-4'          ${m^2/(V*s)}
+ EPox='1.04e5'         ${fF/m}
+ q='1.6e-19'           ${Coulomb}
+ Vto='317.74e-3' $$$764.2e-3  ${V}
+ Cg1='A1*Cpp'          ${fF}
+ Cg2='A2*Cpp'          ${fF}
+ Cfb='Af*Cfox'         ${fF}
+ Call='Cg1+Cg2+Cfb'   ${fF}
+ PHI0='0.6512'         ${V}
+ PHIf='PHI0/2'         ${V}
+ PHIt='0.0259'        ${V}
+ Ni='1.5e16'           ${1/m^3}
+ Na='Ni*exp(PHIf/PHIt)'  ${1/m^3}
+ Gamma='sqrt(1e-9)*sqrt(2*q*EPox*Na)/Cox'  ${sqrt(V)}
+ Coxe1='Cox*Weff1*Leff1'  ${fF}
+ Coxe2='Cox*Weff2*Leff2'  ${fF}
+ Coxe3='Cox*Weff3*Leff3'  ${fF}
+ PHIsa1='1*((sqrt(Vto-V(99,0)+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))-Gamma/2)*
+ (sqrt(Vto-V(99,0)+V(6,0)+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0)))-Gamma/2))'
+ n1='Gamma/(2*sqrt(-PHIsa1-PHIt))+1'
+ Is1='MUe*n1*Cox*1e-3*Weff1*PHIt*PHIt/(Leff1*2)${A}
+ Qc1='-2/3*Coxe1*PHIt*(Is1/I(Vd1)+1)*(sqrt(1+I(Vd1)/Is1)-1)-Coxe1*Gamma*Gamma/(2*(n1-1))
+ -(3*n1-4)/3*Coxe1*PHIt'
+ PHIsa2='PHIsa1'
+ n2='Gamma/(2*sqrt(-PHIsa2-PHIt))+1'
+ Is2='MUe*n2*Cox*1e-3*Weff2*PHIt*PHIt/(Leff2*2)${A}
+ Qc2='-2/3*Coxe2*PHIt*(Is2/I(Vd2)+1)*(sqrt(1+I(Vd2)/Is2)-1)-Coxe2*Gamma*Gamma/(2*(n2-1))
+ -(3*n2-4)/3*Coxe2*PHIt'
+ PHIsa3='PHIsa1'
+ n3='Gamma/(2*sqrt(-PHIsa3-PHIt))+1'
+ Is3='MUe*n3*Cox*1e-3*Weff3*PHIt*PHIt/(Leff3*2)${A}
+ Qc3='-2/3*Coxe3*PHIt*(Is3/I(Vd3)+1)*(sqrt(1+I(Vd3)/Is3)-1)-Coxe3*Gamma*Gamma/(2*(n3-1))
+ -(3*n3-4)/3*Coxe3*PHIt'

Cg1 3 99 'Cg1*1e-15'
Cg2 4 99 'Cg2*1e-15'
Cfb 99 6 'Cfb*1e-15'
Vd1 2 97 0
Rg 99 98 1e12
M1 97 99 5 6 nmos2 L=L1 W=W1 AS=ASv1 AD=ADv1 PD=PDv1 PS=PSv1
Efg 98 0 vol='(Cg1*V(3,0)+Cg2*V(4,0)+Cfb*V(6,0)+Qo1+Qo2+Qo3+Qfg+Qc1+Qc2+Qc3)/Call'
Vd2 12 87 0
M12 87 99 15 6 nmos2 L=L2 W=W2 AS=ASv2 AD=ADv2 PD=PDv2 PS=PSv2
Vd3 22 77 0
```

```

M13  77 99 25 6 nmos2 L=L3 W=W3 AS=ASv3 AD=ADv3 PD=PDv3 PS=PSv3
.ends

*****
*****FG-nMOSFET(3入力)*****
*****
.subckt fg3n28mot12 2 3 4 5 6 7 L=1.48u W=1.48u A1=1024 A2=1024 A3=1024 Af=3744
      +ASv=11.4p ADv=11.4p PSv=13.62u PDv=13.62u

.param
+ Cfox='0.0575'
+ Cpp='0.515'
+ Cox='1.396'
+ Qo='0'
+ Qfg='0'
+ XL='-0.28'
+ XW='-0.58'
+ LD='0.15'
+ WD='0'
+ Leff='L*1e6+XL*2*LD'
+ Weff='W*1e6+XW*2*WD'
+ MUE='560e-4'
+ EPox='1.04e-10'
+ q='1.6e-19'
+ Vto='317.74e-3' $東大版 764.2e-3
+ Cg1='A1*Cpp'
+ Cg2='A2*Cpp'
+ Cg3='A3*Cpp'
+ Cfb='Af*Cfox'
+ Call='Cg1+Cg2+Cg3+Cfb'
+ PHI0='0.6512'
+ PHIf='PHI0/2'
+ PHIt='0.0259'
+ Ni='1.5e16'
+ Na='Ni*exp(PHIf/PHIt)'
+ Gamma='sqrt(1e-9)*sqrt(2*q*EPox*Na)/Cox'
+ Coxe='Cox*Weff*Leff'

+ n='Gamma/(2*(sqrt((sqrt(-V(99,0)+V(6,0))+Vto+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0))))-Gamma/2)
+ ((sqrt(-V(99,0)+V(6,0))+Vto+(Gamma/2+sqrt(-PHI0))*(Gamma/2+sqrt(-PHI0))))-Gamma/2)-PHIt))+1'
+ Is='MUE*n*Cox*1e-3*Weff*PHIt*PHIt/(Leff*2)'
+ Qc='Cox*(-PHIt/3*(2*(Is/I(Vd)+1)*(sqrt(1+I(Vd)/Is)-1)+3*n-4)-Gamma*Gamma/(2*(n-1)))'
*****FG-nMOSFET(3入力)サブサーキットのネットリスト*****
Cg1  3 99 'Cg1*1e-15'
Cg2  4 99 'Cg2*1e-15'
Cg3  5 99 'Cg3*1e-15'
Cfb  99 7 'Cfb*1e-15'
Vd   2 97 0
Rg   99 98 1e12
Efg  98 0 vol='(Cg1*V(3,0)+Cg2*V(4,0)+Cg3*V(5,0)+Cfb*V(7,0)+Qo+Qfg+Qc)/Call'
M1   97 99 6 7 nmos2 L=L W=W PS=PSv PD=PDv AS=ASv AD=ADv
.ends

```

A.2. FG-MOSFET 完全差動型電流モード積分器

```

FG-MOSFET Integrator differential gain
.include fgmos011211.lib
.option post ingold=1 accurate
.op

*****
*****2出力FG-MOSFET積分器*****
*****

.subckt fgint2 3 6 7 4 77 44 2 5 Cint=0p deltaL=0

```

```
.param MOS`Unit=0.37u
*Input stage
.param Lfg1='8*MOS`Unit'
.param Wfg1='24*MOS`Unit'
.param Lmb1='8*MOS`Unit'
.param Wmb1='64*MOS`Unit'
*Output stage
.param Lfg2='8*MOS`Unit'
.param Wfg2='24*MOS`Unit'
.param Lmb2='8*MOS`Unit'
.param Wmb2='64*MOS`Unit'

*design unit
.param unit=0.37

.param Poly2size3`1=32
.param Poly2size3`2=32
.param Poly2size3`3=80
.param Poly2size3=48
.param Poly2size2`1=40
.param Poly2size2`2=64
.param Poly2size2=48
*Poly2 length
.param fg3p2l1='(Poly2size3`1-deltaL)*unit'
.param fg3p2l2='(Poly2size3`2+deltaL)*unit'
.param fg3p2l3='Poly2size3`3*unit'
.param fg2p2l1='Poly2size2`1*unit'
.param fg2p2l2='Poly2size2`2*unit'
*Poly2 width
.param fg3p2w='Poly2size3*unit'
*unit'
.param fg2p2w='Poly2size2*unit'
*Poly2 rule
.param p2sp='6*unit'
.param p1p2sp='6*unit'
*Poly area calculations
.param fg3`poly1=
+'(fg3p2l1+fg3p2l1+fg3p2l3+p2sp*2+p1p2sp*2)*(fg3p2w+p1p2sp*2)'
.param fg3`poly2`1='fg3p2l1*fg3p2w'
.param fg3`poly2`2='fg3p2l2*fg3p2w'
.param fg3`poly2`3='fg3p2l3*fg3p2w'

.param fg2`poly1=
+'(fg2p2l1+fg2p2l2+p2sp+p1p2sp*2)*(fg2p2w+p1p2sp*2)'
.param fg2`poly2`1='fg2p2l1*fg2p2w'
.param fg2`poly2`2='fg2p2l2*fg2p2w'

*As,Ad,Ps,Pd calculation
.param Amb1='(Wmb1-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pmb1='2*((Wmb1-5.8e-7)+(12e-6*0.37+1.5e-7))'
.param Afg1='(Wfg1-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pfg1='2*((Wfg1-5.8e-7)+(12e-6*0.37+1.5e-7))'
.param Amb2='(Wmb2-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pmb2='2*((Wmb2-5.8e-7)+(12e-6*0.37+1.5e-7))'
.param Afg2='(Wfg2-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pfg2='2*((Wfg2-5.8e-7)+(12e-6*0.37+1.5e-7))'

*** 左半分 ***
C1 3 0 Cint
Mb1 3 2 1 1 pmos2 L=Lmb1 W=Wmb1
+ AS=Amb1 AD=Amb1 PS=Pmb1 PD=Pmb1
Xfg1 3 3 6 1 0 0 fg3n28mot12
+ L=Lfg1 W=Wfg1 A1=fg3`poly2`1 A2=fg3`poly2`2 A3=fg3`poly2`3
+ Af=fg3`poly1 ASv=Afg1 ADv=Afg1 PSv=Pfg1 PDv=Pfg1
```



```
Mb21 4 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Mb22 44 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Xfg2 4 44 3 1 0 0 0 fg2n28mot12'2out
+ L1=Lfg2 W1=Wfg2 L2=Lfg2 W2=Wfg2
+ A1=fg2'poly2'1 A2=fg2'poly2'2 Af=fg2'poly1
+ ASv=Afg2 ADv=Afg2 PSv=Pfg2 PDv=Pfg2

*** 右半分 ***
C2 6 0 Cint
Mb3 6 2 1 1 pmos2 L=Lmb1 W=Wmb1
+ AS=Amb1 AD=Amb1 PS=Pmb1 PD=Pmb1
Xfg3 6 6 3 1 0 0 fg3n28mot12
+ L=Lfg1 W=Wfg1 A1=fg3'poly2'1 A2=fg3'poly2'2 A3=fg3'poly2'3
+ Af=fg3'poly1 ASv=Afg1 ADv=Afg1 PSv=Pfg1 PDv=Pfg1

Mb41 7 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Mb42 77 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Xfg4 7 77 6 1 0 0 0 fg2n28mot12'2out
+ L1=Lfg2 W1=Wfg2 L2=Lfg2 W2=Wfg2
+ A1=fg2'poly2'1 A2=fg2'poly2'2 Af=fg2'poly1
+ ASv=Afg2 ADv=Afg2 PSv=Pfg2 PDv=Pfg2

Vdd 1 0 1.5v
.ends

*****
*****3 出力FG-MOSFET 積分器*****
*****
.subckt fgint3 3 6 7 4 77 44 777 444 2 5 Cint=0p deltaL=0
.param MOS'Unit=0.37u
*Input stage
.param Lfg1='8*MOS'Unit'
.param Wfg1='24*MOS'Unit'
.param Lmb1='8*MOS'Unit'
.param Wmb1='64*MOS'Unit'
*Output stage
.param Lfg2='8*MOS'Unit'
.param Wfg2='24*MOS'Unit'
.param Lmb2='8*MOS'Unit'
.param Wmb2='64*MOS'Unit'

*design unit
.param unit=0.37
.param Poly2size3'1=32
.param Poly2size3'2=32
.param Poly2size3'3=80
.param Poly2size3=48
.param Poly2size2'1=40
.param Poly2size2'2=64
.param Poly2size2=48
*Poly2 length
.param fg3p2l1='(Poly2size3'1-deltaL)*unit'
.param fg3p2l2='(Poly2size3'2+deltaL)*unit'
.param fg3p2l3='Poly2size3'3*unit'
.param fg2p2l1='Poly2size2'1*unit'
.param fg2p2l2='Poly2size2'2*unit'
*Poly2 width
.param fg3p2w='Poly2size3*unit'
*unit'
.param fg2p2w='Poly2size2*unit'
*Poly2 rule
.param p2sp='6*unit'
.param p1p2sp='6*unit'
```

```

*Poly area calculations
.param fg3'poly1=
+'(fg3p2l1+fg3p2l1+fg3p2l3+p2sp*2+p1p2sp*2)*(fg3p2w+p1p2sp*2)'
.param fg3'poly2'1='fg3p2l1*fg3p2w'
.param fg3'poly2'2='fg3p2l2*fg3p2w'
.param fg3'poly2'3='fg3p2l3*fg3p2w'

.param fg2'poly1=
+'(fg2p2l1+fg2p2l2+p2sp+p1p2sp*2)*(fg2p2w+p1p2sp*2)'
.param fg2'poly2'1='fg2p2l1*fg2p2w'
.param fg2'poly2'2='fg2p2l2*fg2p2w'

*As,Ad,Ps,Pd calculation
.param Amb1='(Wmb1-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pmb1='2*((Wmb1-5.8e-7)+(12e-6*0.37+1.5e-7))'
.param Afg1='(Wfg1-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pfg1='2*((Wfg1-5.8e-7)+(12e-6*0.37+1.5e-7))'
.param Amb2='(Wmb2-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pmb2='2*((Wmb2-5.8e-7)+(12e-6*0.37+1.5e-7))'
.param Afg2='(Wfg2-5.8e-7)*(12e-6*0.37+1.5e-7)'
.param Pfg2='2*((Wfg2-5.8e-7)+(12e-6*0.37+1.5e-7))'

*** 左 半 分 ***
C1 3 0 Cint
Mb1 3 2 1 1 pmos2 L=Lmb1 W=Wmb1
+ AS=Amb1 AD=Amb1 PS=Pmb1 PD=Pmb1
Xfg1 3 3 6 1 0 0 fg3n28mot12
+ L=Lfg1 W=Wfg1 A1=fg3'poly2'1 A2=fg3'poly2'2 A3=fg3'poly2'3
+ Af=fg3'poly1 ASv=Afg1 ADv=Afg1 PSv=Pfg1 PDv=Pfg1

Mb21 4 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Mb22 44 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Mb23 444 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Xfg2 4 44 444 3 1 0 0 0 fg2n28mot12'3out
+ L1=Lfg2 W1=Wfg2 L2=Lfg2 W2=Wfg2 L3=Lfg2 W3=Wfg2
+ A1=fg2'poly2'1 A2=fg2'poly2'2 Af=fg2'poly1
+ ASv=Afg2 ADv=Afg2 PSv=Pfg2 PDv=Pfg2

*** 右 半 分 ***
C2 6 0 Cint
Mb3 6 2 1 1 pmos2 L=Lmb1 W=Wmb1
+ AS=Amb1 AD=Amb1 PS=Pmb1 PD=Pmb1
Xfg3 6 6 3 1 0 0 fg3n28mot12
+ L=Lfg1 W=Wfg1 A1=fg3'poly2'1 A2=fg3'poly2'2 A3=fg3'poly2'3
+ Af=fg3'poly1 ASv=Afg1 ADv=Afg1 PSv=Pfg1 PDv=Pfg1

Mb41 7 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Mb42 77 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Mb43 777 5 1 1 pmos2 L=Lmb2 W=Wmb2
+ AS=Amb2 AD=Amb2 PS=Pmb2 PD=Pmb2
Xfg4 7 77 777 6 1 0 0 0 fg2n28mot12'3out
+ L1=Lfg2 W1=Wfg2 L2=Lfg2 W2=Wfg2 L3=Lfg2 W3=Wfg2
+ A1=fg2'poly2'1 A2=fg2'poly2'2 Af=fg2'poly1
+ ASv=Afg2 ADv=Afg2 PSv=Pfg2 PDv=Pfg2

Vdd 1 0 1.5v
.ends

```

付録 B 試作チップのレイアウト

B.1. FG-MOSFET 電流モード 積分器

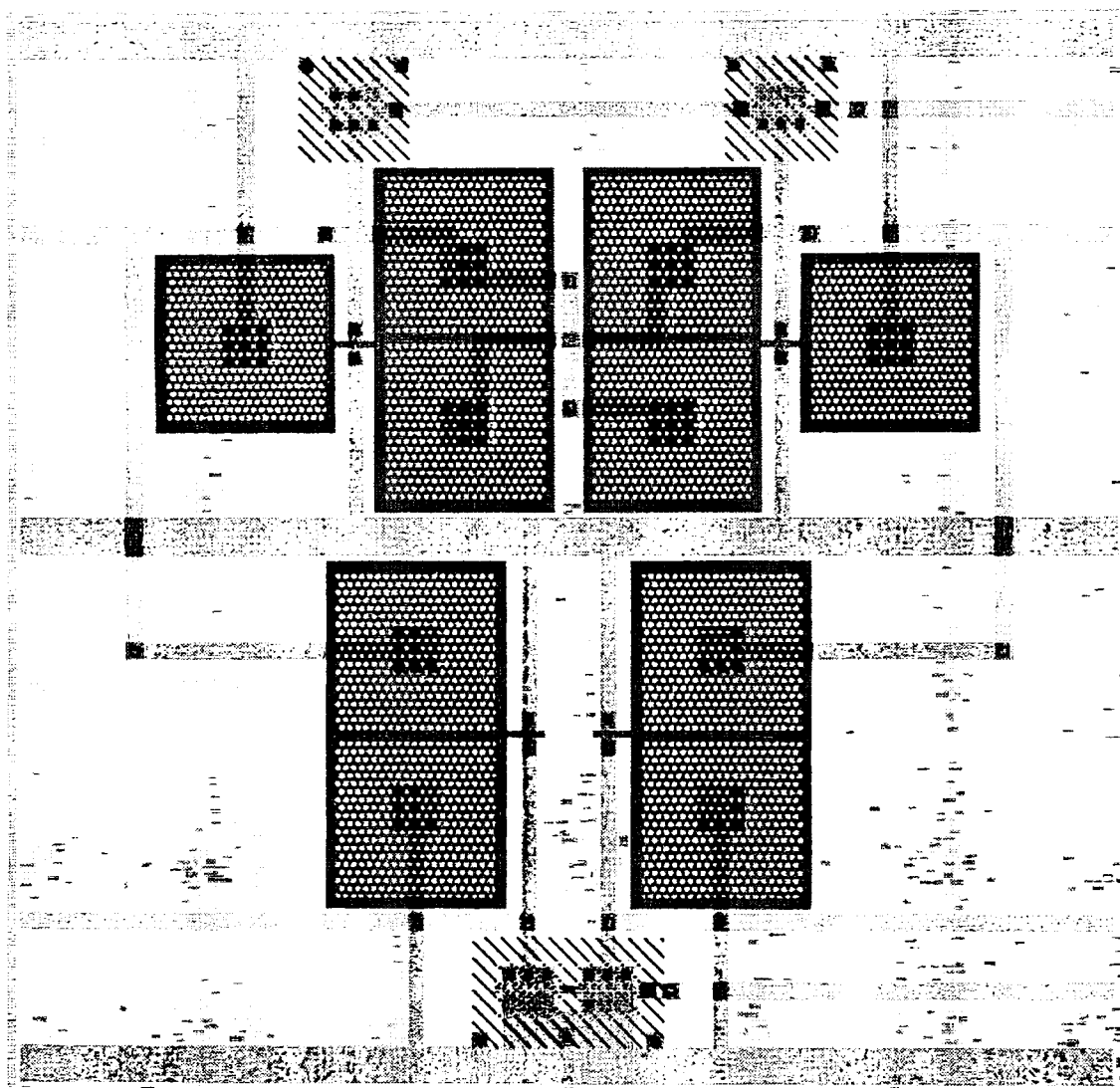


図 B.1 基本積分器のレイアウト図

図 B.1 は試作した基本積分器のレイアウト図である。上部には積分器の入力段が、下部には出力段がそれぞれ構成されている。

B.2. FG-MOSFET 積分器を用いた低域通過フィルタ

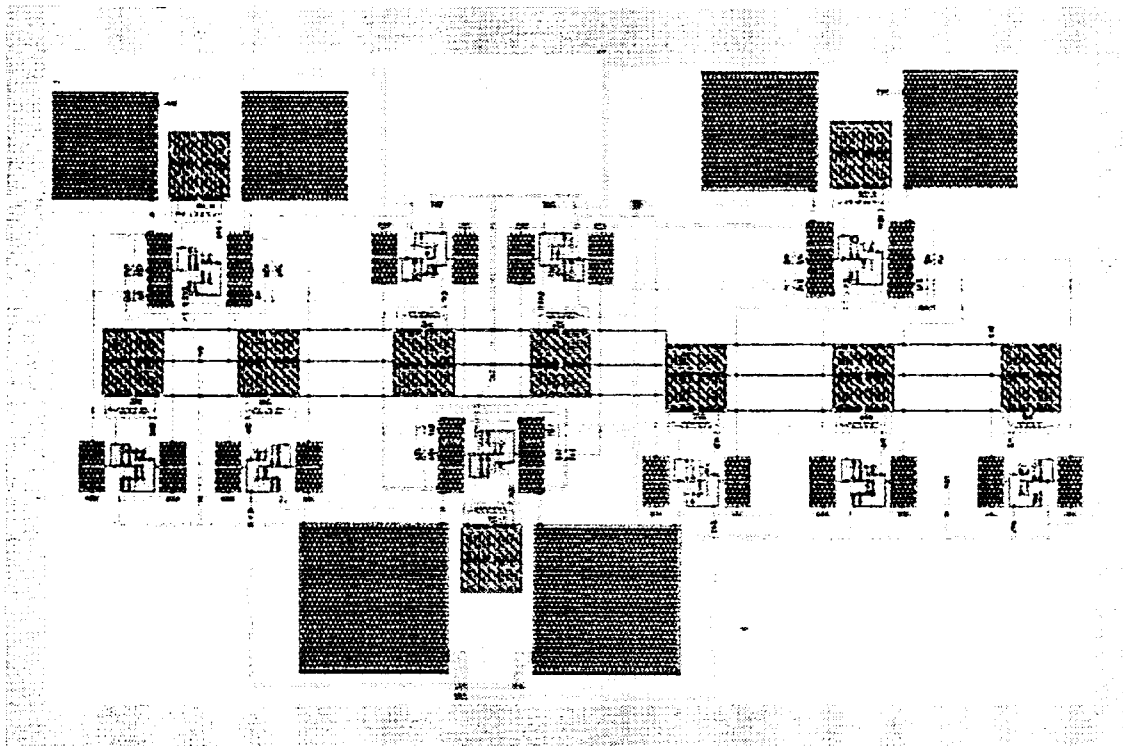


図 B.2 チェビシェフ3次低域通過フィルタのレイアウト図

図B.2はチェビシェフ3次低域通過フィルタのレイアウト図である。本フィルタは3つの積分器から構成されており、左からint1, int2, int3の順に配置されている。それぞれの積分器は出力段が複数個必要であり、本試作では、電流源としてはたらくp型MOSFETと2入力FG-MOSFETからなる出力段を複数設けることで、必要な数の出力段を構成している。このことから、積分器の入力キャパシタンスが増大しているが、その増大分を本来必要とする各積分器の積分キャパシタから差し引いて設計し、回路特性を劣化させないように工夫している。