

QTAT（短工期）オンライン  
電子回路パターンニング技術開発

2005年3月

熊本大学大学院自然科学研究科

若杉雄彦

## 目次

第1章 序論.....	1
1.1 半導体産業の転換期.....	1
1.2 多品種少量生産への移行.....	2
1.3 リソグラフィ技術.....	4
1.4 フォトマスクの発展と現状.....	6
1.4.1 半導体用フォトマスク.....	6
1.4.2 プリント配線基板用フォトマスク.....	8
1.5 電子機器開発の現状と問題点.....	9
1.6 マスクレスリソグラフィ技術の現状.....	12
1.6.1 電子ビームを用いたマスクレスリソグラフィ技術.....	12
1.6.2 ミラーデバイスを用いたマスクレスリソグラフィ技術.....	14
1.6.3 インクジェット方式を用いたマスクレスリソグラフィ技術.....	19
1.6.4 LCDを用いたマスクレスリソグラフィ技術.....	21
1.7 レチクルフリー露光技術.....	23
1.7.1 LCDを用いたレチクルフリー露光方式.....	23
1.7.2 露光に用いたLCD.....	23
1.7.3 設計データから露光データの生成.....	26
1.7.4 露光シーケンス.....	28
1.8 QTAT オンライン電子回路パターンニング技術の優位性と課題.....	32
1.8.1 製造TATにおける優位性.....	32
1.8.2 製造コストにおける優位性.....	35
1.8.3 本技術のレチクルフリー露光方式への応用とその課題.....	37
1.9 本研究の目的.....	39
1.10 本論文の構成.....	39
第2章 レチクルフリー露光技術を適用した半導体集積回路の設計と試作.....	41
2.1 はじめに.....	41
2.2 LCDレチクルの作製.....	41
2.2.1 LCDレチクルの作製方式の検討.....	41
2.2.2 フロトタイプの試作結果と露光実験による検証.....	46
2.3 半導体集積回路の設計.....	50
2.3.1 設計フロー.....	50
2.3.2 仕様検討.....	51
2.3.3 プロセス設計.....	51

2.3.4	論理設計 .....	54
2.3.5	回路設計 .....	55
2.3.6	レイアウト設計 .....	56
2.3.7	従来のデザインルールとの比較 .....	60
2.4	半導体集積回路の試作プロセスと評価 .....	62
2.4.1	マスクパターンの生成 .....	62
2.4.2	露光装置と露光シーケンス .....	64
2.4.3	素子分離層形成 .....	66
2.4.4	ゲート電極層形成 .....	69
2.4.5	コンタクト層形成 .....	72
2.4.6	金属配線層形成 .....	75
2.4.7	試作結果の評価 .....	77
2.5	まとめ .....	81
第3章	レチクルフリー露光方式における MOSFET の省面積化設計 .....	82
3.1	はじめに .....	82
3.2	MOSFET の分割設計法 .....	84
3.3	実際の設計による検証 .....	91
3.3.1	差動増幅回路 .....	91
3.3.2	レイアウト設計結果 .....	92
3.4	試作による検証 .....	95
3.4.1	MOSFET の設計 .....	95
3.4.2	MOSFET の試作と電流特性測定 .....	96
3.5	まとめ .....	100
第4章	プリント配線基板用オンライン等倍露光装置の開発 .....	101
4.1	はじめに .....	101
4.2	オンライン露光システム .....	102
4.3	露光装置 .....	103
4.4	実証実験 .....	105
4.4.1	露光実験に用いたプリント配線回路パターンの露光データ生成 .....	105
4.4.2	実験方法 .....	107
4.4.3	露光実験の結果と考察 .....	108
4.5	TAT の試算結果 .....	109
4.6	まとめ .....	111

第5章 レチクルフリー露光方式における露光時間の改善に関する検討 .....	112
5.1 はじめに.....	112
5.2 偏光フィルムの構造 .....	112
5.3 偏光フィルムの材質と表面処理技術.....	113
5.3.1 ヨウ素系偏光フィルム .....	113
5.3.2 染料系偏光フィルム .....	113
5.3.3 偏光フィルム表面の反射防止処理 .....	114
5.4 液晶プロジェクターの高輝度化技術.....	115
5.5 高精細液晶ディスプレイ .....	117
5.6 光学特性測定実験 .....	118
5.6.1 実験に用いた偏光フィルム .....	119
5.6.2 透過率測定結果 .....	119
5.7 露光時間の試算.....	122
5.7.1 偏光フィルムの改善による露光時間の試算.....	122
5.7.2 偏光変換光学系を適用した場合の露光時間の試算.....	123
5.8 画素構造に関する検討.....	125
5.9 まとめ .....	127
第6章 結論 .....	129
参考文献 .....	131
謝辞.....	137
付録A アライメント技術 .....	139
本研究に関する発表等.....	145
学術論文.....	145
国際会議.....	145
国内発表.....	145
解説・特集.....	147

図目次

図 1-1	今後の集積回路の応用分野 .....	1
図 1-2	設計ルールとマスクコストおよびマスク製造期間の関係 .....	3
図 1-3	DRAM の最小加工寸法とリソグラフィ手段 .....	5
図 1-4	液浸リソグラフィの原理 .....	5
図 1-5	マスク作製フローと概略所要時間の一例 .....	7
図 1-6	電子機器開発フロー .....	9
図 1-7	LEEBDW 方式によるマスクレスリソグラフィ技術 .....	13
図 1-8	GLV の概略図 .....	15
図 1-9	Zone Plate Array の概略図 .....	15
図 1-10	ZPAL 方式による露光結果 .....	15
図 1-11	SLM による位相変調の原理図 .....	16
図 1-12	SLM を用いたマスクレスレチクル露光装置 .....	17
図 1-13	DMD 動作説明図 .....	18
図 1-14	モノリシック・サーマル・インクジェット・プリントヘッドの概略図 .....	20
図 1-15	インクジェット方式で形成した Au パターン .....	20
図 1-16	レチクルフリー露光方式の概念図 .....	24
図 1-17	露光用 LCD パネル外観写真と画素形状の模式図 .....	25
図 1-18	CAD データから露光データへのフォーマット変換フローチャート .....	27
図 1-19	LCD パネルサイズより大きい場合の露光データ生成例 .....	27
図 1-20	LCD パネルの露光イメージと 4 回多重露光シーケンス .....	28
図 1-21	レジストパターンの光学顕微鏡写真 .....	29
図 1-22	開口部サイズを最小単位とした場合の露光データ生成方法 .....	31
図 1-23	開口部サイズを最小単位とした場合の露光シーケンス .....	31
図 1-24	製造 TAT の比較結果 .....	34
図 1-25	電子デバイスの製品化までのコスト内訳 .....	35
図 1-26	コスト試算結果（生産個数と製品単価の関係） .....	36
図 1-27	レチクルフリー露光方式の位置付けと適用可能な電子デバイス .....	38
図 2-1	LCD を搭載するガラスレチクル基板の概略図 .....	42
図 2-2	従来の露光装置光学系と LCD レチクルを用いた場合の光学系の概略図 .....	43
図 2-3	ガラスレチクル基板と LCD パネルの関係 .....	43
図 2-4	LCD パネル研磨方式による LCD レチクルの作製フロー .....	44
図 2-5	レチクル基板切削加工方式による LCD レチクル作製フロー .....	45
図 2-6	試作したプロトタイプ LCD レチクルの写真 .....	46
図 2-7	LCD レチクルを用いたステップ&リピート露光の結果 .....	47
図 2-8	ウェハアライメントマークの設計パターンとレジストパターン .....	47
図 2-9	重ね合わせ露光テスト用設計パターンと露光後の顕微鏡写真 .....	47

図2-10	重ね合わせ露光テスト結果（レチクル基板切削加工方式）	48
図2-11	2つの方式で転写した MOSFET パターンの光学顕微鏡観察結果	49
図2-12	TYPE2の LCD パネルで露光した L/S パターンの光学顕微鏡観察結果	49
図2-13	設計フロー	50
図2-14	ゲート酸化膜厚-閾値電圧特性(シミュレーション結果)	52
図2-15	酸化時間-ゲート酸化膜厚特性(シミュレーション結果)	52
図2-16	n-MOSFET 形成のプロセスフロー	53
図2-17	階層設計図	54
図2-18	n-MOSFET によるインバータ回路と 2 入力 NAND 回路	55
図2-19	デザインルール	57
図2-20	4 bit×4 bit 乗算器レイアウト設計結果	58
図2-21	リングオシレータレイアウト設計結果（11 段構成）	59
図2-22	試作チップレイアウト設計結果（チップサイズ：5.3 mm×4.0 mm）	59
図2-23	設計グリッドの比較	61
図2-24	ビットマップフォーマットで得られた露光データ（マスクパターン）	63
図2-25	各層のマスクパターンデータサイズと露光データ生成時間の関係	63
図2-26	露光装置の概略図	64
図2-27	ステッパ外観写真	65
図2-28	ステッパにおける 4 回多重露光シーケンス	65
図2-29	素子分離層レジストパターンの光学顕微鏡写真	67
図2-30	ゲート酸化の温度条件	71
図2-31	イオンビームスパッタ装置の概略図	71
図2-32	ゲート電極層レジストパターンの光学顕微鏡写真	72
図2-33	層間絶縁膜焼結とリン熱拡散の温度条件	74
図2-34	コンタクト層レジストパターンの光学顕微鏡写真	74
図2-35	金属配線層ウェットエッチング後の光学顕微鏡写真	76
図2-36	シンタリングの温度条件	76
図2-37	レイアウト設計結果と試作後の MOSFET の光学顕微鏡写真	78
図2-38	ナノプローブ計測システムの外観	79
図2-39	MOSFET 電気特性の測定系	79
図2-40	試作した MOSFET の計測 SEM 写真と $V_{DS}-I_{DS}$ 特性	80
図2-41	試作した MOSFET の光学顕微鏡写真と $V_{DS}-I_{DS}$ 特性	81
図3-1	MOSFET の動作と I-V 出力特性	82
図3-2	設計グリッドの違いによる MOSFET 設計パターン面積の比較	84
図3-3	MOSFET の分割設計法	85
図3-4	単体 MOSFET と並列 MOSFET の回路図	85
図3-5	レイアウト設計図	86
図3-6	省面積化設計における設計パラメータ決定フローチャート	90
図3-7	レイアウト設計した差動増幅回路	91

図3-8	レイアウト設計結果 .....	93
図3-9	試作 MOSFET のレイアウト設計結果 ( $\alpha = 3.3$ ) .....	95
図3-10	試作 MOSFET の光学顕微鏡写真 ( $\alpha = 3.3$ ) .....	96
図3-11	試作 MOSFET の $V_{DS}$ - $I_{DS}$ 特性 ( $\alpha = 3.3$ , $V_{GS} = 5V$ ) .....	97
図3-12	$I_{DS}$ の比較結果.....	97
図3-13	$W$ , $L$ 寸法と $I_{DS}$ の関係 .....	98
図3-14	$I_{DS}$ の比較結果 (加工寸法誤差補正後) .....	99
図4-1	オフライン露光方式とオンライン露光方式.....	101
図4-2	プリント配線基板用オンライン露光システムの概略図.....	102
図4-3	露光装置の概略図.....	104
図4-4	露光装置の外観写真と LCD パネルの仕様 .....	104
図4-5	露光データの生成結果.....	106
図4-6	実験に用いた露光パターン(1600×1200 画素×4 画像) .....	107
図4-7	1回露光時の開口パターンの SEM 観察写真.....	108
図4-8	プリント配線板回路パターンの SEM 観察写真 .....	108
図4-9	TAT の試算結果.....	110
図5-1	偏光フィルムの構造 .....	113
図5-2	偏光変換光学系の原理.....	116
図5-3	偏光分離膜と 1/2 波長板を用いた偏光変換光学系 .....	116
図5-4	HIPS の微細化開発トレンド.....	117
図5-5	透過率測定に用いた光学系の概略図.....	118
図5-6	偏光フィルム透過率測定方法.....	119
図5-7	偏光フィルムの分光透過特性 (単体透過率) と LCD パネルの透過特性.....	120
図5-8	偏光フィルム 2 枚の分光透過特性 (平行透過率) .....	121
図5-9	偏光変換光学系を適用した場合の LCD パネル構成図.....	123
図5-10	LCD の 1 画素形状.....	125
図5-11	ブラック・マトリクス解像不可の条件を満たす LCD パネルの例 .....	126

## 表目次

表 1-1	半導体およびプリント配線基板の技術ロードマップ (2003. ITRS)	3
表 1-2	設計ルールとステップ用マスク (レチクル) の要求仕様	6
表 1-3	Ball Semiconductor 社のマスクレス露光装置 (Lab-A1s) の仕様	18
表 1-4	露光用液晶ディスプレイの仕様	24
表 1-5	TAT 検討に用いた仮定	33
表 1-6	コスト検討に用いた仮定	36
表 2-1	設計する集積回路の基本仕様	51
表 2-2	デザインルール比較結果	60
表 2-3	Si ウェハの仕様	66
表 2-4	素子分離層形成の工程と条件	67
表 2-5	フォトリソグラフィ工程と条件	68
表 2-6	ゲート電極層形成の工程と条件	69
表 2-7	RCA 洗浄工程と条件	70
表 2-8	W イオンビームスパッタの成膜条件	71
表 2-9	コンタクト層形成の工程と条件	73
表 2-10	層間絶縁膜形成の工程と条件	73
表 2-11	金属配線層形成の工程と条件	75
表 2-12	AlSi イオンビームスパッタの成膜条件	76
表 3-1	レイアウト設計の制約条件	92
表 3-2	各 MOSFET の $W$ と $L$ の設計値	93
表 3-3	レイアウト面積の比較結果	94
表 3-4	試作 MOSFET の設計パラメータ	95
表 3-5	試作 MOSFET のレイアウト面積比較結果	96
表 4-1	プリント配線基板用オンライン露光システムの仕様	103
表 4-2	露光データ生成時間	105
表 4-3	露光と現像の条件	107
表 4-4	TAT の試算に用いた各パラメータの値	109
表 5-1	露光時間の比較	112
表 5-2	透過率の測定を行った偏光フィルム	119
表 5-3	出射側偏光フィルムの透過率算出結果	121
表 5-4	露光時間の試算結果 (偏光フィルムの最適化)	122
表 5-5	露光時間の試算結果 (偏光変換光学系の適用)	124
表 5-6	露光時間の試算結果 (新規 LCD パネル構造)	127



## 第1章 序論

### 1.1 半導体産業の転換期

「半導体の性能と集積化は18ヶ月ごと2倍になる」というムーアの法則[1]が1965年に提唱されて以来、情報通信などの電子機器産業の進歩は半導体や情報記憶装置の高集積化に負うところが極めて大きく、半導体集積回路、記憶装置とともに、10年間で100倍の速度で微細化・高集積化が進んできた。一方、この10年の間に半導体産業は劇的に変化してきている。図1-1に示すように、これまで半導体集積回路の応用分野においては、パソコンを中心としたメモリやMPUなど、いわゆる汎用品が主要品種であった。これらの汎用品種は、大量生産し、集積回路の単価をいかに安く抑えるかが重要とされていた。今後は、ゲーム機、携帯電話、PDAなどのモバイル通信機器、デジタルカメラ、DVD等のいわゆる情報家電と言われるものが電子機器産業の中心になってくると予想されている[2]。このように半導体の応用分野が変化してきている要因としては、人々のライフスタイルの変化、つまりインターネットや携帯電話の急速な普及やデジタル・コンテンツ(映像メディア、音楽メディア)の発展により、人々の日常生活の中で電子デバイスの種類や使用方法が大きく変化してきたことが考えられる。また、電子機器デバイスの技術革新や半導体の高性能化により、半導体を様々な目的の電子機器デバイスへ応用することができるようになったこともあげられる。例えば、半導体の信頼性が向上したことにより自動車のエンジンが正確にコントロールできるようになり、また、RF-ID(Radio Frequency Identification)技術が登場したことにより、電子マネーあるいはICカードのような新しい消費者ニーズも生まれてきている。



図1-1 今後の集積回路の応用分野[2]

## 1.2 多品種少量生産への移行

情報家電向けの半導体集積回路(LSI)は、これまでの汎用品とは生産形態に大きな違いが出てくる。汎用メモリは1台のパソコンで10個以上のメモリを使用するため、年間10億個以上の消費がある。これに対し、情報家電では、個性化を狙うため、多種多様なもとなり、そのシステムを実現するためのLSIも機器毎に機能や規模が異なった専用(カスタム)LSIが不可欠である。一つの開発機種ごとに専用LSIが必要であるが、その個数は高々数千から10万個である。このため、生産形態としては汎用品の大量生産型から多品種少量生産型へと移行する必要がある。また、これらの情報家電機器は、携帯電話を代表とするように製品寿命が数ヶ月で、汎用品の2~3年に比べると非常に短い[2]。このように高性能化と高品質化が求められるなかで、低コストで短期間にLSIを開発しなければならないという非常に厳しい要求が、これから主流となりつつある情報家電向けLSIに求められている。したがって、LSIの応用分野が多品種少量生産型へ移行するためには、従来の大量生産型デバイスの設計・製造それぞれの面からの大きな変革が必要不可欠となっており、設計や製造において、多品種少量生産を意識した技術革新が今後ますます求められていく。微細化を推進し高性能化と高品質化を維持しながら、短期間でLSI開発を完了させるためには、設計と製造を融合する新しい技術開発も求められている[3]。つまり、設計が完了したら直ちに製造に移行し、設計のやり直しの低減や製造の歩留まりの改善を目的とした、設計と製造間での「フィードフォワード」あるいは「フィードバック」を可能にする新しい技術が必要不可欠だと考えられている。

特に図1-2に示すように、設計と製造に最も密接な関係にある電子回路を半導体基板上に転写する露光技術(リソグラフィ技術)においては、微細化が進むにつれてマスクあるいはレチクルと呼ばれる回路原版の価格が高騰する傾向にあり、多品種少量生産型のLSIを生産する場合、マスクコストの回収が極めて難しいと予想されている。更に、マスクの製造期間(TAT: Turn-Around-Time)も長期化する傾向にあり、製品のライフサイクルが短い多品種少量生産型のLSIにとっては致命的である[4]。

このように、LSIの微細化・高機能化によるマスクコストの高騰やマスク製造期間の長期化が問題となっているが、現状のLSI開発においては、開発段階での試作の繰り返しや、動作不具合に対応するための設計修正などによる開発期間の長期化と開発コストの増大も大きな問題となっている。これは、試作や設計のやり直しをする毎に、新たにマスクやレチクルを作製しなければならないからである。

一方、電子機器を実現するために必要不可欠なプリント配線基板の露光技術においてもパターン寸法の微細化と共に大きな変遷があり、従来用いられていたフィルムマスクからガラスマスク材料への移行が起こっている。表1-1 [5]に示すように最新のプリント配線基板の線幅は、LSIに比べると2桁ほど大きい。線幅が50 $\mu\text{m}$ 以下になると、LSIの生産と同じ様にガラスマスクを用いるため[6]、開発コストの低コスト化(マスクコスト低減)と開発期間の短期化(QTAT: Quick-Turn-Around-Time)が望まれる。最終製品により近いプリント配線基板の実装技術においては、理論や原理に基づいたチップ設計から最終実装までのトータルでの設計・製造の改善が必要であるという認識が高く、生産個数の縮小化や最終製品のライフサイクルの短さに対応すべきだと考えられている[7]。

以上、現状のリソグラフィ技術をそのまま適用して電子機器を生産し続けることは困難であり、リソグラフィ技術を中心に、回路設計から製造までのあらゆる面からの技術革新が必要とされている。リソグラフィ技術においては、近年、ガラスマスクあるいはガラスレチクルを用いないマスクレスリソグラフィ技術が注目されており、低コストとQTAT化を目指した研究・開発が活発に行われている。

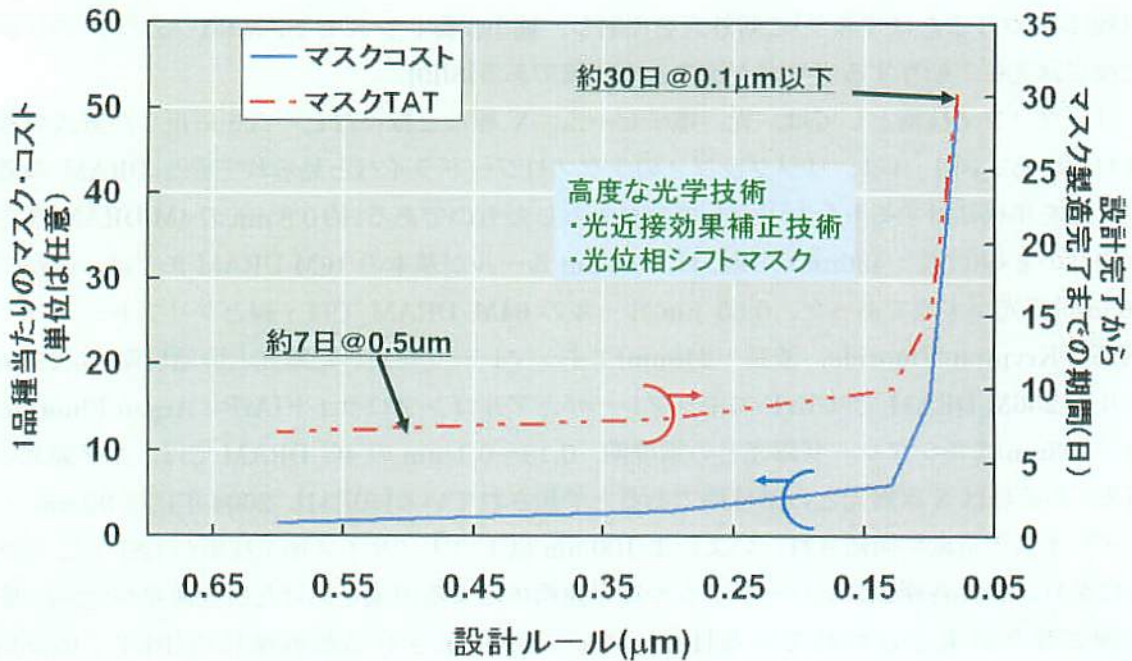


図1-2 設計ルールとマスクコストおよびマスク製造期間の関係[4][17]

表1-1 半導体およびプリント配線基板の技術ロードマップ(2003. ITRS)[5]

Year of Production	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
Technology Node		hp90			hp65					
DRAM1/2 Pitch (nm)	100	90	80	70	65	57	50	35	25	18
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	35	25	18
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	20	14	10
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	14	10	7
FBGA/CSP solder ball pitch (mm)	0.4	0.4	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.1
Pad size (μm)	160	160	120	120	80	80	80	60	60	40
Line width (μm)	48	48	36	36	24	24	24	18	18	12
Line spacing (μm)	48	48	36	36	24	24	24	18	18	12

### 1.3 リソグラフィ技術

リソグラフィ(Lithography)という言葉は、もともとギリシャ語の石版画("lithos = "stone" and "graphie" = "picture, drawing.")を意味しているが、エレクトロニクスの分野では光や放射光などの露光光に感光する高分子材料(レジスト)を利用して微細な素子や回路パターンを複製、量産する技術を意味する。現在のエレクトロニクスにおいては、リソグラフィ技術はスクリーン印刷技術とともに、平面基板の上にパターンニングする技術として広く用いられている。量産性を有しながら精密性・微細性に優れ、その重要性は増す一方である。LSIの製造は回路パターンを描画した原版(レチクルまたはマスク)に紫外光を照射し、縮小投影レンズでSi基板(ウェハ)上のレジストに投影露光して転写する光リソグラフィが主流である[8][9]。

リソグラフィ技術としては、光、電子ビーム、X線など様々なビームを応用した方式が考え出されている。図1-3は、リソグラフィのテクノロジードライバと見られてきたDRAMの最小加工寸法を年代に対するトレンドとしてプロットしたものである。約0.8 $\mu\text{m}$ の4M DRAMまでは、水銀灯のg線(波長:436nm)が使われ、0.5 $\mu\text{m}$ ルールが基本の16M DRAMまでは、i線(波長:365nm)露光が主流であった。0.35 $\mu\text{m}$ ルールの64M DRAMではi線とクリプトンフロライド(KrF: Krypton Fluoride, 波長:248nm)エキシマレーザを用いた露光との端境期、0.25 $\mu\text{m}$ ルールの256M DRAMではKrFエキシマレーザとアルゴンフロライド(ArF: Argon Fluoride, 波長:193nm)エキシマレーザ露光との端境期、0.13~0.1 $\mu\text{m}$ の4G DRAMでは、ArF露光とEB露光、あるいはX線露光との端境期であると予想されている[10][11]。2004年には90nmノードのデバイスの量産が開始され、いよいよ100nm以下のナノサイズ加工技術がLSI上に実現されるに至り、世界各極のコンソーシアムや産学連携体による国家をあげた研究開発が大いに開発を加速させた結果と言われている[12]。図1-3中に示される超解像技術(RET: Resolution Enhancement Technology)[13]は、波長の半分以下の加工精度を実現した、解像力を向上するための露光装置の照明方法や位相シフトマスク技術を示し多くの製造工程に導入されている。90nmノードの量産に対応したRET技術としては、特にモデルベースの光近接効果補正(OPC: Optical Proximity Correction)[14]などの技術を駆使して微細化の壁を幾多も乗り越えてきている。新しいリソグラフィ技術として「ArF液浸(Immersion)リソグラフィ技術」が急浮上しており、2007年に量産予定の45nmノードLSI向けに使用される方向である[11][12]。図1-4に液浸リソグラフィの原理図を示す[12]。縮小レンズとウェハの間の空間を屈折率が1以上の液体で満たす方式である。ArF液浸リソグラフィでは、純水を使用し、その屈折率は1.44である。レンズの開口数(NA)は屈折率を $n$ として $n\sin\theta$ で表され、ArF液浸リソグラフィではNAを1.44倍に増やすことができる。従って、実質的な波長が $\lambda/n$ と同等といえ、ArFの波長193nmが134nmに短波長化されたことと同等になる。課題としては、液体の保持、気泡発生の防止、レジストとの化学反応などがあげられている。更に、次世代リソグラフィ(NGL: Next Generation Lithography)技術の中でもっとも期待されている極端紫外光(EUV: Extreme Ultra Violet)リソグラフィでは、波長が13~14nmとArFやF<sub>2</sub>より1桁短いため、高い解像度が期待され、45nmから10nmまでの多世代にわたって適用が予想されている[12]。

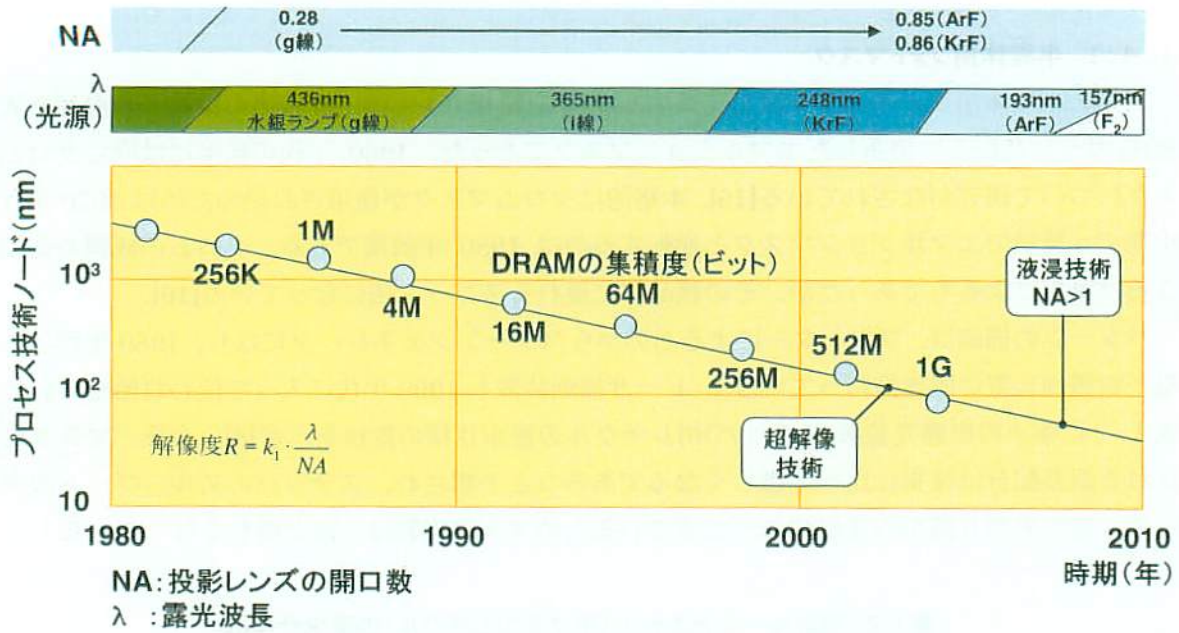


図1-3 DRAM の最小加工寸法とリソグラフィ手段[10][11]

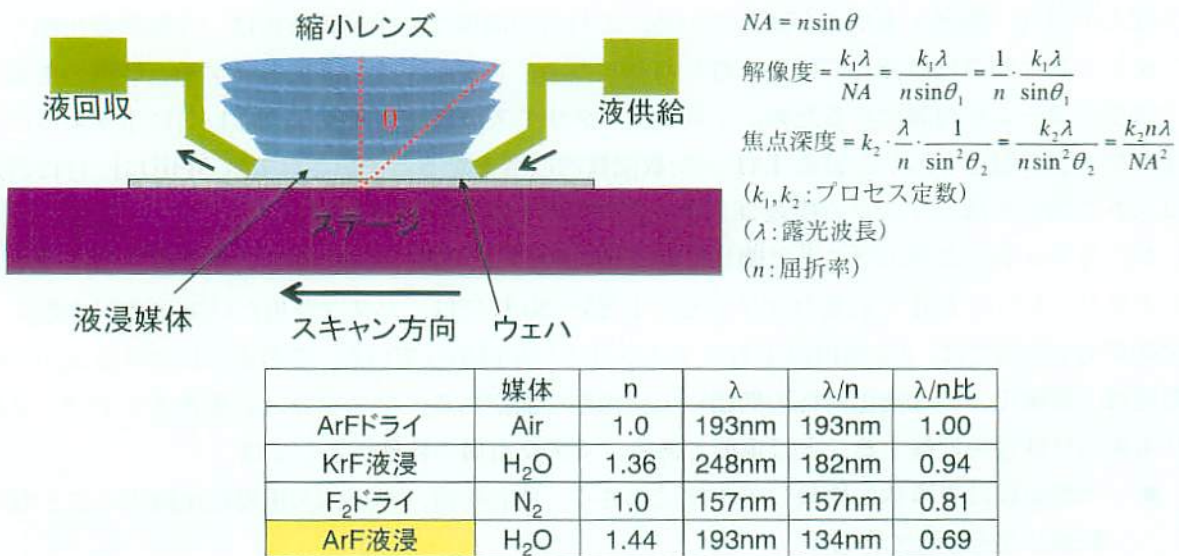


図1-4 液浸リソグラフィの原理[12]

## 1.4 フォトマスクの発展と現状

### 1.4.1 半導体用フォトマスク

初期の半導体用フォトマスクは全てエマルジョン(粒径 0.1~10  $\mu\text{m}$  程度の微粒子を混ぜた乳濁液)をガラス基板上に塗布したエマルジョンマスクであった。1960 年代の後半には既にクロムマスクについて研究がなされている[15]。本格的にクロムマスクが使用され始めたのは 1970 年代の中期で、数量でエマルジョンマスクと逆転するのは 1980 年前後である。クロムの成膜も初期のころは蒸着によるものであったが、その後品質に優れるスパッタ法になっている[16]。

パターンの描画は、プロッターによるものからパターンジェネレータになり、1980 年代に入り電子線描画装置に置き換わっていった。レーザ描画装置も 1990 年代に入って使われ始めている。表 1-2 に縮小投影露光装置(ステッパ)用レチクルの要求仕様の推移を示す[8]。今後、マスクに許される誤差配分は従来に比べて厳しくなるであろうと予想され、ステッパのスループット改善のため、縮小率が 5 倍から 4 倍になってきているためマスク作製は一段と厳しくなっている。

表 1-2 設計ルールとステッパ用マスク(レチクル)の要求仕様[8]

設計ルール ( $\mu\text{m}$ )	2.0	1.3	0.8	0.5	0.3	0.2	0.15
寸法精度 ( $\mu\text{m}$ )	$\pm 0.4$	$\pm 0.25$	$\pm 0.15$	$\pm 0.10$	$\pm 0.05$	$\pm 0.025$	$\pm 0.016$
位置精度 ( $\mu\text{m}$ )	$\pm 0.5$	$\pm 0.30$	$\pm 0.20$	$\pm 0.12$	$\pm 0.7$	$\pm 0.03$	$\pm 0.02$
欠陥サイズ ( $\mu\text{m}$ )	$< 0.3$	$< 2.0$	$< 1.2$	$< 0.8$	$< 0.5$	$< 0.20$	$< 0.12$

そのほか、位相シフトマスク(PSM : Phase Shifting Mask)、および OPC、ハーフトーンマスクなどの研究・開発・実用化が進んでいる。これらの高度な光学補正技術は、今後微細化が進むフォトマスク製造には無くてはならない技術となる。しかし、その高度な光学補正技術のためにマスクパターンが複雑化するため、マスクデータサイズが著しく増大し、図 1-2 に示すようにフォトマスクの製造コストと製造 TAT が指数関数的に増大すると予想されている[4][17]。特に製造コストに関しては、マスクの検査コストの割合が最も大きいと言われている。チップ製造コストにおけるフォトマスクのコストに関しては、100 nm 世代以降、1 枚 1000 万円を越えるようなものもあり、1 つの LSI に必要なマスクセット 25~30 枚では、マスク費用だけで 1 億円を越え、試作平均 2.5 回では、2.5 億円以上ものマスクコストが掛かっている。このようにマスクコストの問題は、微細化・高性能化対応の問題以上に深刻な面がある。マスクコストを考える上で、マスク市場の特殊性を理解することは重要である。マスク市場の特殊性としては、

- 市場規模は半導体に比較して非常に小さく、成長率は、半導体の市場に比例することなく数%と考えられている。
- 特に最先端マスクの必要数は極めて少なく、最先端製品を開発する半導体メーカーも限られており、その品種数も限定される。

の 2 点があげられる[8]。これは、ビジネスとしてのメリットが少ないことを意味していて、マスクメーカーおよびマスク設備・材料メーカーに共通して言える。

図1-5にマスク作製工程の例をフローチャートで示す。設計データ出力(テープアウト)からマスク完成までに数日を要し、マスク作製工程中に占める時間的な割合を考えると、データ変換や描画および検査と修正が殆どである。マスク作製に要する時間は短くて数日、マスクメーカーの生産状態によっては、数週間も費やされることがある。

以上のことから、生産チップ数が数100万個以下の多品種少量である情報家電用LSIでは、1チップ当たりのマスク費用が殆どを占めるようになり、マスクによる生産はもはや不可能とまで言われている。また、現状のマスク製造TATでは、最終製品のライフサイクルの短いLSI開発に対応することがますます厳しくなることが予想される。

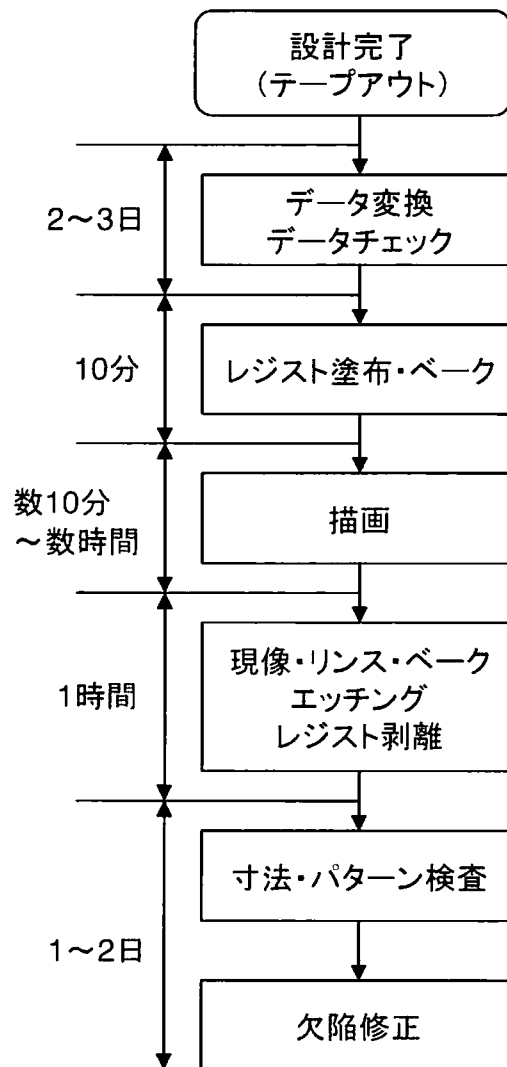


図1-5 マスク作製フローと概略所要時間の一例

#### 1.4.2 プリント配線基板用フォトマスク

現在、主要なプリント配線基板の種類は片面プリント配線基板、両面プリント配線基板、多層プリント配線基板、フレキシブルプリント配線基板、およびその他のプリント配線基板に分類される。プリント配線基板はIC、LSI他電子部品など各部品を電気的に接続する技術であり、電子機器をシステムとして実現するために欠かせない役割を果たしてきた。今後はさらに超高密度配線技術、超多層技術などへ発展していくと予想される。

プリント配線基板のフォトマスクは、マスクの大きさが半導体用に比べると非常に大きい。これは、基板のサイズが約700 mm～1 mと半導体用基板であるSiウェハ(最大300 mm)より大きいためである。プリント配線基板の市場においては、低価格の要求が強いため、一度に複数枚の製造が可能な多面取りが一般的となっている。当然、フォトマスク自体も低価格が強く要求される。その要求に応じて使われているのが前述したエマルジョンマスクである。プリント配線基板用のエマルジョンマスクにはエマルジョンがフィルムベースに塗布されたものと、ガラスベースに塗布されたものがある。現在、プリント配線基板用フォトマスクの主流はフィルムベースのエマルジョンマスクである。ガラスベースタイプのは、高精度用に使われている。

プリント配線基板でも最先端製品の配線幅の微細化は年々進んでおり、2000年においては、高密度配線板で50～20  $\mu\text{m}$  となっている[18]。さらに、表1-1に示したように、CSP(Chip Size Package)基板に関しても、2006年にはラインアンドスペースがそれぞれ36  $\mu\text{m}$ 、2007年には24  $\mu\text{m}$  で製造されると予想されている。また、高密度実装の観点からSystem-in-a-Package(SiP)という複数の機能を有するLSIを一つのパッケージに集積化するというものが注目されているが[19][20]、このSiPにおいては、Si基板上に再配線層を形成し、各LSIを接続するためのインターポーザとよばれるものが用いられており、このインターポーザの配線ルールは10～5  $\mu\text{m}$  あるいはそれ以下の微細なものが用いられると考えられている[18]。このように配線幅が数10  $\mu\text{m}$  以下になるとエマルジョンマスクの性能を超える仕様が要求され、半導体用のフォトマスクと同様に、ガラス基板上にクロムを成膜しパターンを形成したものが使用されるようになる。

以上のように、プリント配線基板用フォトマスクは、半導体用フォトマスクに近づきつつあり、近い将来、半導体と同様にフォトマスクの製造コストの高騰とマスク製造TATの長期化が問題となり、高密度配線基板製造の低コスト化・QTAT化への技術革新が必然的に求められてくると推測される。



## 1.5 電子機器開発の現状と問題点

電子機器開発の工程は、システムの仕様決定に始まり、システムを実現するためにはどのようなハードウェアの構成にするか、また、どの部分をソフトウェアにするかなどの構想設計が最初に行われる。ハードウェアの構想が決まるとそれを実現するために必要な回路構成の検討が行われ、電子部品や搭載部品の選定、あるいはシステムを実現するために必要なLSIの開発が行われる。それとほぼ平行して、ソフトウェアの仕様決定および設計が行われ、プリント配線基板上にLSIや電子部品を実装しハードウェアとして完成させ、ソフトウェアが組み込まれ、最後にシステム全体のデバッグ検証が行われる。図1-6に電子機器開発フローを示す。

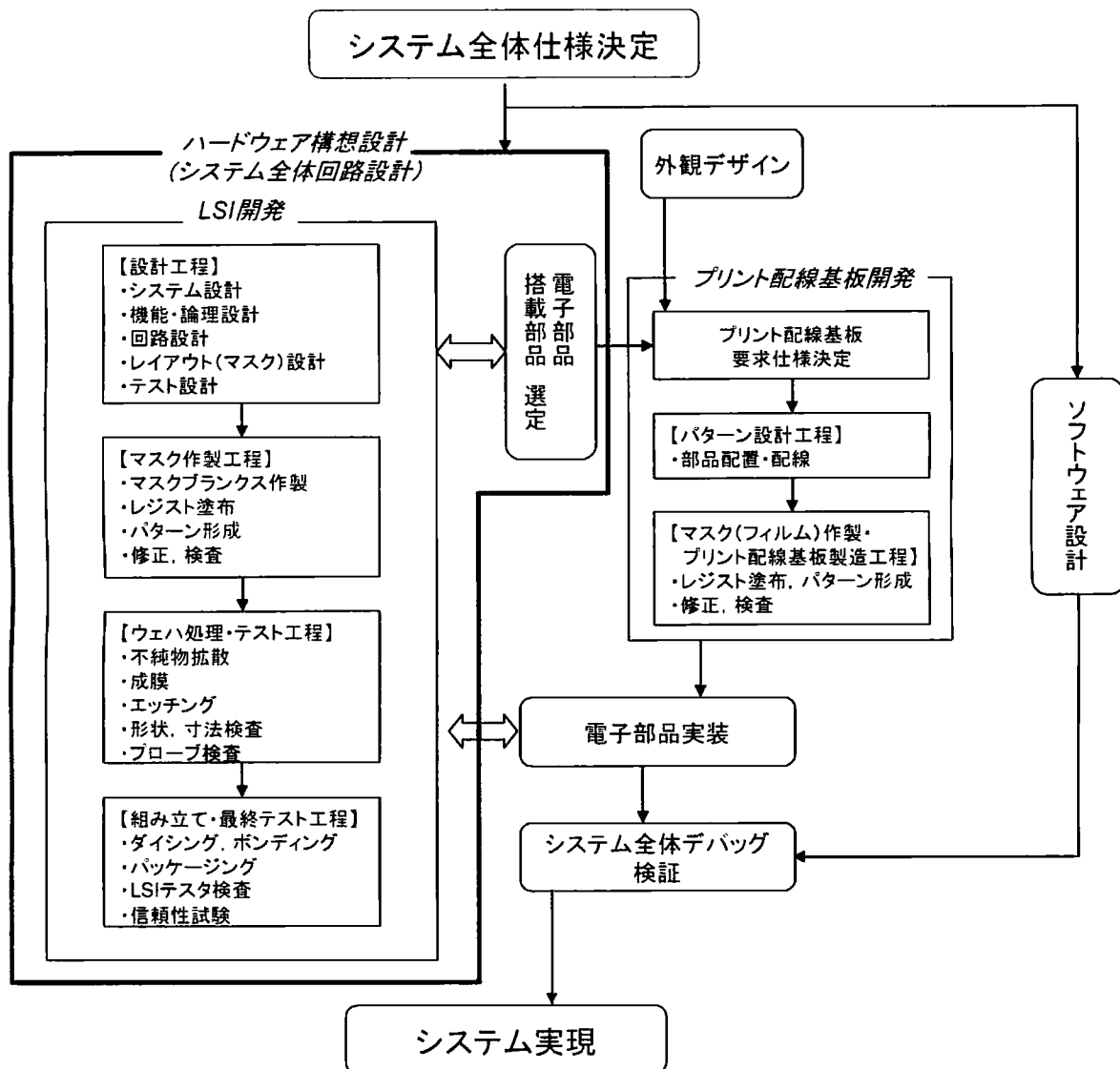


図1-6 電子機器開発フロー

LSI の開発は、電子機器システムを実現するために必要な部品として、メモリあるいはデジタル信号処理 LSI、アナログ LSI など、機能ごとに仕様が決定される。その後、設計工程、マスク作製工程、ウェハ処理・テスト工程、組み立て・最終テスト工程を経て行われる。LSI の設計工程では、機能・論理設計、マスクパターン設計であるレイアウト設計、テスト設計が行われる。テスト設計では、ウェハテスト工程および最終テスト工程でのテストを容易化するためのテスト容易化技術[21]や回路修正容易化設計[22]なども考慮されている。マスク作製工程やウェハ処理工程では、各段階で形状、寸法計測、接続検査、更に TEG(Test Element Group)とよばれるテスト回路を用いて、形状だけでなくトランジスタ特性のような基本デバイスのテストが行われる。このようなテスト工程で不具合が発生すると、再度、回路設計やマスク設計まで戻り、マスクを再作製する必要がある。特に、新規に開発する LSI や新規のプロセスを用いて LSI を開発する場合は、このフィードバックが数回行われる場合が多く、その度にマスクを再作製することとなり、開発コストが高騰する要因となっている。特にアナログ回路においては、微細化した新規プロセスに適用させる場合に問題となっている[23]。デジタル回路の場合、既存の設計回路(設計ライブラリ)を加工寸法を縮小した設計ライブラリに再構築するところが比較的単純に行うことができ、ほぼ自動化されているが、アナログ回路は非線形な回路特性を含んだものがあるため複数の設計パラメータを再調整する必要があり、現実的には熟練者の経験に頼っている部分が多く、再設計や回路の再利用が自動化できないといった問題がある。また、加工バラツキによる影響を受けやすいため[24]、新規プロセスにて数回試作を行う場合が多い。

一方、プリント配線基板の開発においては、ほとんどの場合、電子機器の外観デザインや搭載部品である LSI や電子回路が決定した後、プリント配線基板に対する要求仕様が決定する。そのため、プリント配線基板の設計作業がスタートする時期は、なにかと遅れがちである[25]。機器の「軽・薄・短・小」化が劇的に進んでいる中、回路特性を確保したまま指定サイズの基板内に必ず配置・配線できるとは限らず、これに対応することができない場合は、使用する部品サイズの小型化の検討、回路変更、基板サイズ変更などが一般的な対処法とされている。プリント配線基板の開発は、すでに設計が完了した回路を実装(物理的な実体)に変換する作業であるがゆえに、誤りが絶対に許されず、常に 100%の正確さを要求される。また、それぞれの機器の回路構成や筐体に合わせてフルカスタム仕様で設計するため、ほかの部品で代用することができず、意図したとおりにシステムが機能しない場合や寸法に誤りがあった場合は、他の用途への転用がきかず、廃棄し再開発することとなる[25]。

設計の段階で行うシミュレーションでは問題なかったが、実際に作ってみると不良が発生する場合が多いと言われており、例えば、特性インピーダンスの計算値と実測値があわないとか、等長配線を行ったのにクロックスキューがあわないなどといった問題も発生している[26]。このように設計シミュレーションと実測が異なり不良となるケースは、プリント配線基板に限らず LSI の開発においても同様におこる問題である。

以上のように、電子機器を構成する LSI やプリント配線基板の開発においては、各工程での形状検査およびデバイス特性検査や最終テスト・信頼性試験などが行われ、要求仕様を満足するかどうかの検証が行われ、各段階で不具合が発見されると回路修正・機能変更などが繰り返し行われている。また、設計の段階で不具合が発生しないように十分に考慮されても、実際に作ってみると設計段階でのシミュレーション結果と一致しないなどの不具合が比較的多く発生し、その度

に再設計やマスクの再作製、LSI やプリント配線基板の再作製が行われているのが現状であり、開発コストの高騰、開発期間の長期化を招いている原因となっている。

このような背景を考慮し、生産技術においては開発・試作期間が短縮化され、変動する生産量に対応できる生産形態が重要視されており[27]、ウェハ製作期間の短縮化として QTAT ラインコンセプトの提案[28][29]や、低コスト・QTAT 開発を目指した研究開発が盛んに行われている[30][31]。このような QTAT 生産方式が現実のものになってくると、現状のマスク作製期間の長期化がますます問題となってくる。今後主流となるデジタル情報家電機器は、生産期間や生産量の市場依存性が高いために、変動する生産量に対応できる生産形態が求められ、また、多種多様な電子機器を短期間で開発することも強く求められる。したがって、QTAT 生産技術とマスクレスリソグラフィ技術を組み合わせた新しい生産方式が必要不可欠だと考えられる。

## 1.6 マスクレスリソグラフィ技術の現状

マスクレスリソグラフィ技術は、フォトマスクのコスト上昇を考慮して、基本的に設計データのすべて、あるいは、一部を電子情報の形で保持するものであり、フォトマスクを用いずに基板上の回路パターン描画を完遂するものである。露光プロセスの低コスト化・QTAT化を実現するために、マスクレスリソグラフィ技術が各極において研究開発されている。マスクレスリソグラフィ技術には、電子ビーム(EB: Electron Beam)やレーザを用いて直接パターンを描画する、電子ビームリソグラフィ技術やレーザ描画リソグラフィ技術、液晶パネルやデジタルミラーデバイス(DMD: Digital Mirror Device)などの画像表示デバイスを用いた光投影によるリソグラフィ技術、マイクロマシンの加工技術を応用し、微細なインクジェット・プリントヘッドを形成し、基板上に直接パターン形成をおこなうインクジェット方式によるリソグラフィ技術などがある。

### 1.6.1 電子ビームを用いたマスクレスリソグラフィ技術

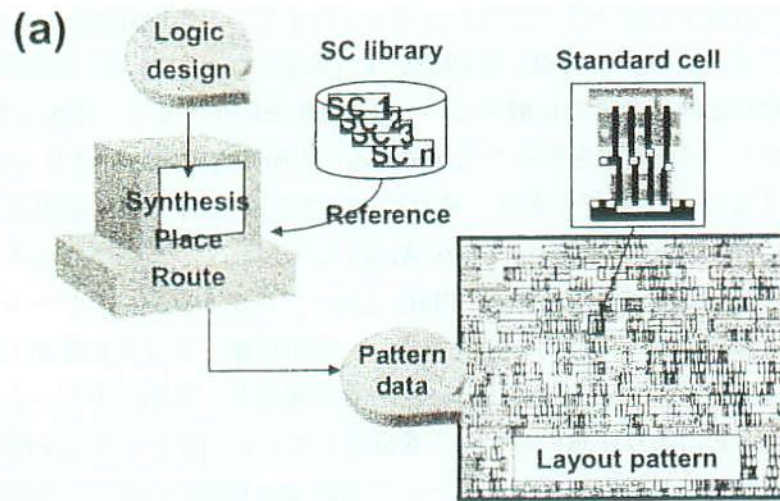
電子ビームリソグラフィ技術は、電子ビームを用いて回路パターンをウェハ上のレジストに直接描画(EBDW: Electron Beam Direct Writing)する方式である。電子ビームリソグラフィ自体は、高い解像度が得られる方式として古くから知られ、既に特定用途向け IC(ASIC: Application Specific IC)に代表される生産個数が少ない先端 LSI の製造や次世代 DRAM, MPU の研究開発用として実用化され、露光装置として市販されている。しかしながら、電子ビームを一筆書きのようにしてパターンを描画するために、処理能力(スループット)が低いという短所がある。

この低スループットを改善する目的として、基本論理素子である標準セルのパターンを一括露光する Character Projection 方式を採用し、近接効果の影響を少なくするために低エネルギー電子ビームを用いた直接描画方式(LEEBDW: Low-Energy Electron Beam Direct Writing)がある[4]。更に、これらの方式に加えて、検査装置として SEM(走査型電子顕微鏡)を組み込んだシステムが構築されており、露光実験による露光装置の検証と、露光から検証までのトータルの所要時間(RPT: Raw Process Time)が評価できるようになっている[4]。

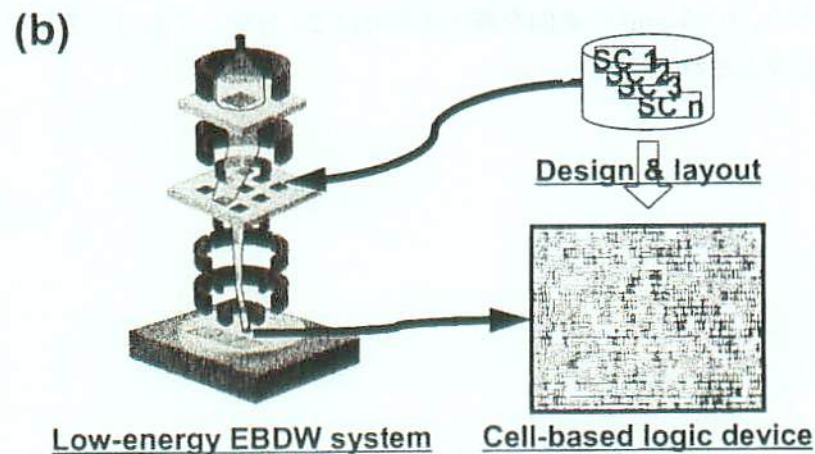
図 1-7 に Character Projection 方式を用いた LEEBDW 装置の概略図を示す。ロジック・デバイス設計において、頻繁に使用されるスタンダードセルを回路設計データライブラリーから抽出し、これを電子ビームのアパーチャにハードマスクとして形成する。このアパーチャを通過したパターン状の円形電子ビームがウェハ上に照射される。この方式の導入により、従来の可変成形方式に比べショット数を 1/10 に削減でき、スループットを向上させている。また、低エネルギーの電子ビームを用いていることで、デバイスへの損傷が少ない、低電圧で高速偏向が可能、電子ビームが基板で散乱することによって起こる近接効果を無くすることができるなどの特徴がある。しかしながら、アパーチャにハードマスクを用いているため、設計ライブラリーにない任意の回路パターンに対応することは不可能であり、設計ライブラリーに変更があった場合は、アパーチャを再設計および再作製する必要がある。その他に、スループットを改善するためにマルチビームを用いた一括露光方式を採用したものや[32]、部分一括露光方式を採用したものもある[33]。

デバイス生産への適用という観点から見た場合の電子ビーム直接描画の長所は、優れた解像性とマスクレスによるデバイス製造 TAT の短縮、およびマスクコストの削減である。ASIC の開発では、デバイス開発完了までの間に配線の修正(リワーク)が発生する場合がある。したがって、ASIC 開発への電子ビーム直接描画の適用は、マスクの製造期間が不要なため製造 TAT の短縮が

可能なこと、マスクコスト削減によるデバイス開発費の低減が可能なこと等メリットが大きい [34]。ただし、現状の電子ビーム直接描画のスループットでは、大規模な生産までをカバーすることは不可能であり、少量生産で需要が満たされるデバイス、あるいはエンジニアリングサンプルといった量産に先立つデバイス性能検証用の先行生産等の限定された用途に用いられているのが現状である。



(a) ロジック・デバイス設計概念図



(b) LEEBDW 装置の概略図

図1-7 LEEBDW 方式によるマスクレスリソグラフィ技術[4]

### 1.6.2 ミラーデバイスを用いたマスクレスリソグラフィ技術

ミラーデバイスを用いたマスクレス露光装置には、ミラーデバイスの種類によって GLV(Grating Light Valve)とフレネルレンズを用いた ZPAL(Zone-Plate-Array Lithography)、SLM(Spatial Light Modulator)を用いたもの、DMD(Digital Micromirror Device)を用いたものなどがある。

ZPAL では、ミラーデバイスとして GLV を用いている。GLV は光を反射する Al リボンの平行な列からなり、回折格子の面を作るためのミラーデバイスである[35][36]。図 1-8 (a)にその 1 ピクセルの構造を示す。Al リボンに電圧を印加しない状態では、Al リボンは変形せず、平らな面となり入射光を入射角と同じ角度で反射する。一方、電圧を印加すると、印加された Al リボンが静電気力で引き下がり、回折効果を得ることができる。印加する電圧の大きさに Al リボンの引き下げる深さを制御することが可能であり、それによってグレースケールを作ることができる。図 1-8 (b)にグレースケールの光を Zone-Plate-Array に入射している様子を示す。また、図 1-9 に Zone-Plate-Array の概略図を示す。Zone-Plate とは、フレネルゾーンプレートと呼ばれる回折レンズであり、白黒の縞模様で同心円の形を形成し、回折現象により光を集光し結像するレンズである。GLV から反射された光を Zone-Plate-Array で集光し、スポットビームとステージ移動によるスキャン露光方式により任意のパターンを露光していく。図 1-10 に ZPAL 方式での露光結果を示す。この結果から、最も小さなパターンで 360 nm 程度のパターンが滑らかに描画されていることが分かる。しかし、GLV の on-off 切り替え周波数が 7.5 kHz であることと、スキャン露光方式であるため、0.25 cm<sup>2</sup>の範囲を露光するのに 20 分要しており、スループットの観点から更なる改善が必要とされている。

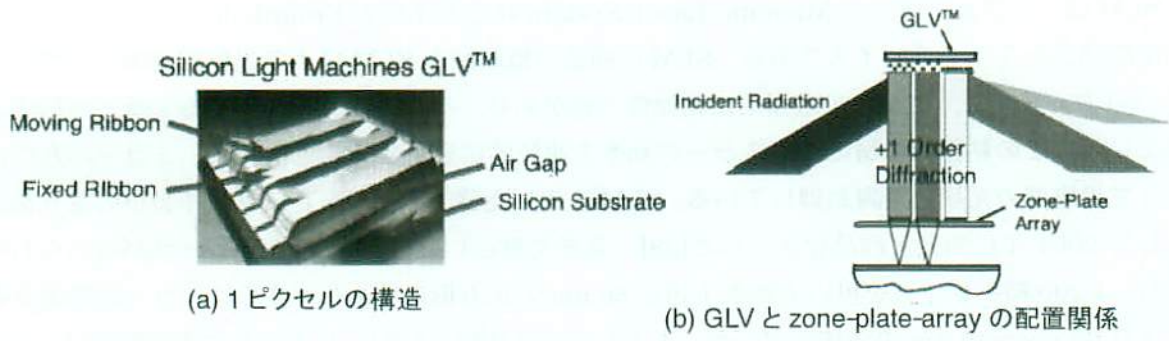


図1-8 GLVの概略図[35]

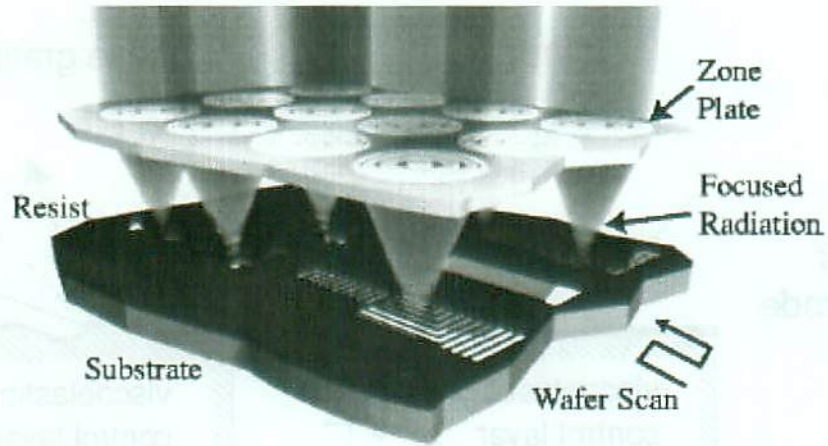


図1-9 Zone Plate Arrayの概略図[36]

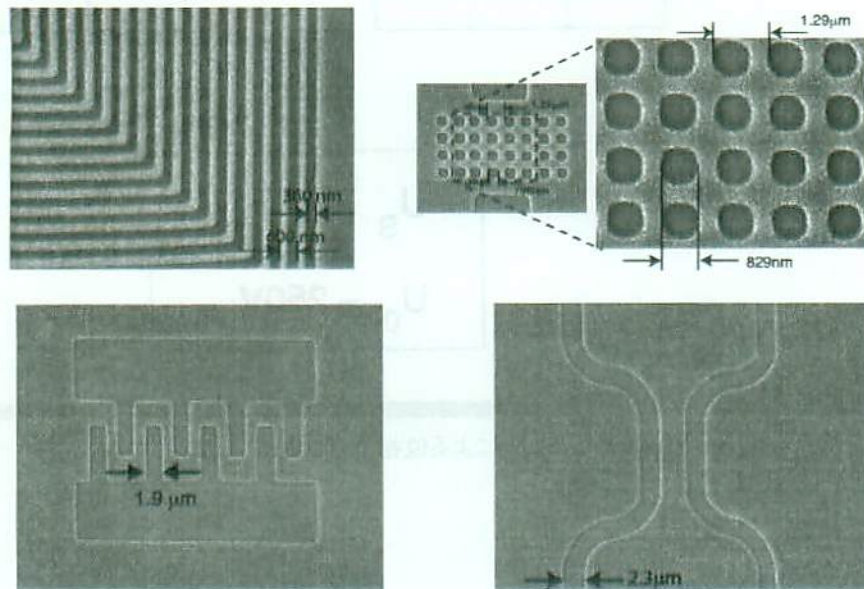


図1-10 ZPAL方式による露光結果[35]

SLMは、スウェーデンのMicronic Laser System社とドイツのFraunhofer Institute社が共同で開発したミラーデバイスである。SLMの構造の概略図とSLMによる光位相変調の原理を図1-1-1に示す[37]。ピクセル電極上に粘弾性の層があり、その上に光を反射するミラーが形成されている。この粘弾性の層によりミラーの角度を連続的に変更することができ、ミラーの角度によって投影部の光量を階調制御している。SLMを用いた露光装置は、レチクル作製の露光装置として2001年に開発・商品化されている[38]。露光光源としてKrFエキシマレーザが用いられており、1/200縮小レンズを用いて画素1辺を80nmの正方形に縮小し、さらにミラーの階調制御により65nm～45nmの寸法をターゲットとしている(図1-1-2)。レチクルの描画時間は、6インチサイズのレチクルで3時間と言われている。

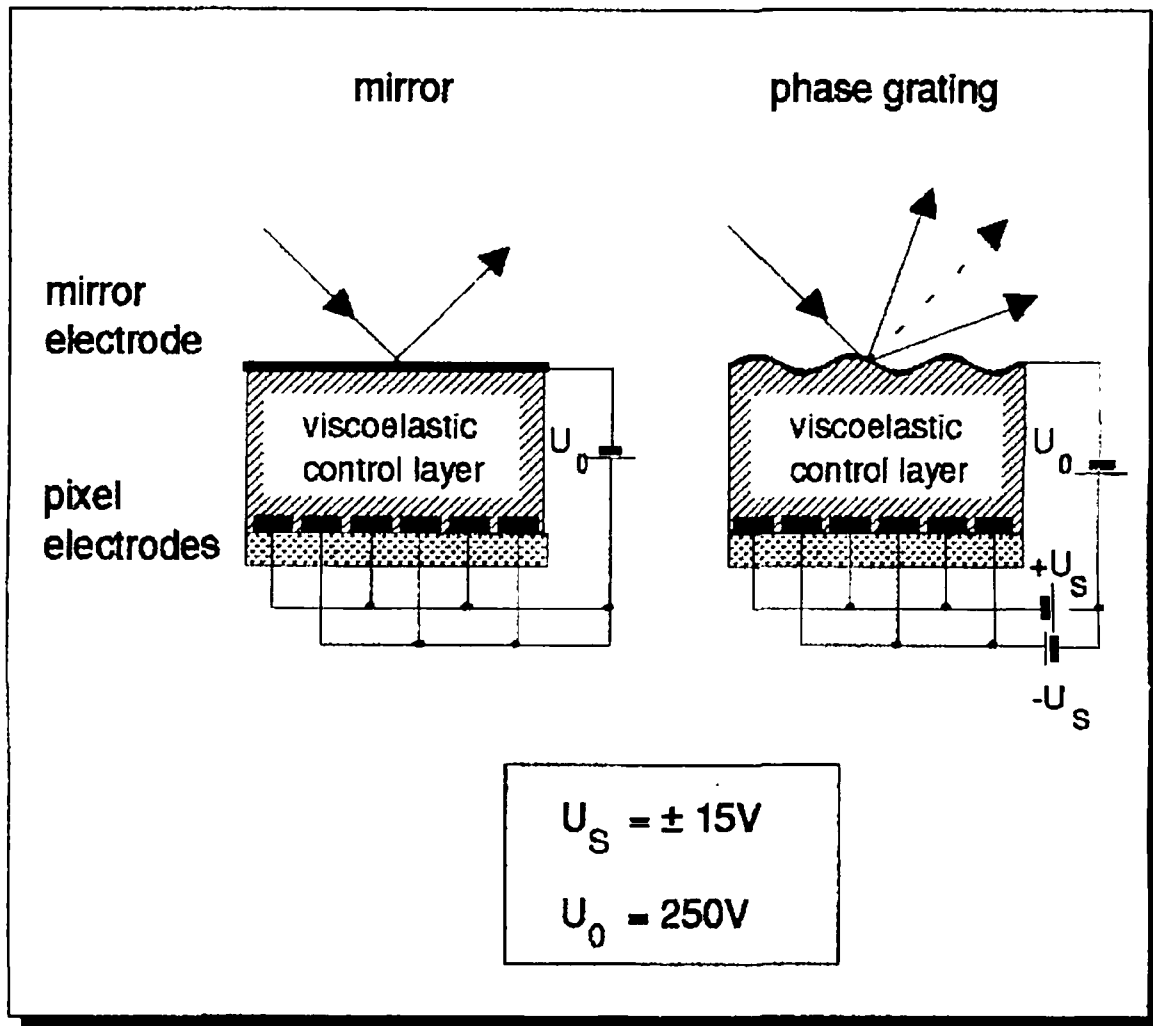


図1-1-1 SLMによる位相変調の原理図[37]



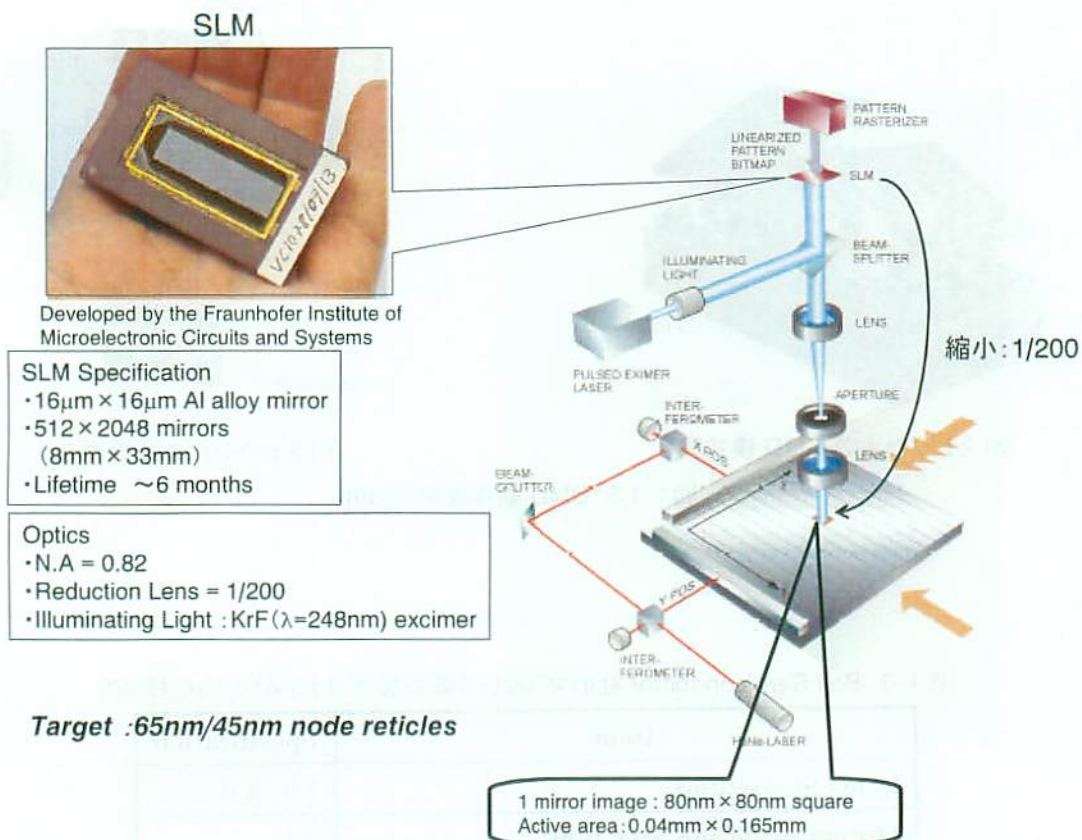


図1-12 SLMを用いたマスクレスレチクル露光装置[38]

DMDは、マイクロマシニング技術により作製された数十万個の $17\mu\text{m}$ 角程度の微小な2次元アレイ状の可動ミラーを1画素ごとに静電気により傾斜させ、入射した光線の光路を変えることにより、画像投影用光シャッターとしての動作が可能な素子である。1987年に米国Texas Instruments社のL. J. Hornbeckにより考案された。

図1-13に2ピクセルのDMDの模式図と3ピクセルの場合の映像表示例を示す[39]。可動ミラーは、CMOS SRAMセル上に配置され、SRAMセルとミラーの間にヒンジを支えるメタル3層、SRAMセルの電圧を受けてミラーを傾けるためのヒンジ・ヨーク層が配置されている。SRAMセルの状態('1'または'0')に応じて、ミラーの傾きが決まる。ミラーの傾きは $\pm 12^\circ$ で、 $-12^\circ$ に傾いているとき、光源からの光はOFF状態、つまり投影レンズとは別の方向に光が進み、 $+12^\circ$ に傾いた場合は、ミラーの反射光が投影レンズの方向を向き光源からの光はON状態となる。DMDを用いた露光装置としては、米国Ball Semiconductor社がプリント配線基板や液晶ディスプレイ(LCD)およびプラズマディスプレイパネルをターゲットとした露光装置を商品化している[40]~[42]。表1-3にその装置の仕様を示す。 $1.0\mu\text{m}$ のL/Sパターンが形成可能で、露光光としてh線( $\lambda = 405\text{nm}$ )を用いている。DMDによる画像切り替えとステージ移動によるスキャン露光方式で、 $0.1\mu\text{m}$ ステップでパターンを描画することができる。スループットが $100\text{mm} \times 100\text{mm}$ 基板で40分と、低スループットであることが懸念されるが、高解像度で簡易に露光できる点で注目されている。また、その他にDMDを用いた露光方式を光造形に応用した例もある[43]。

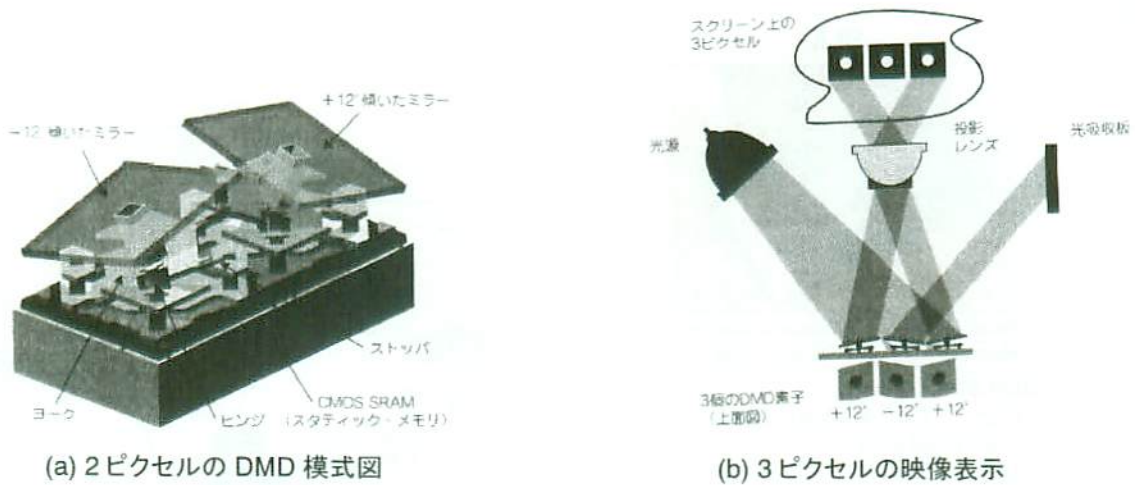


図1-13 DMD 動作説明図[39]

表1-3 Ball Semiconductor 社のマスクレス露光装置(Lab-A1s)の仕様[40]

Item	Specification
Line / Space (μm)	1.0 / 1.0
Minimum Design Step (μm)	0.1
Minimum Alignment Accuracy (μm)	±0.5
Exposure Time (min / 100×100sq.mm)	40
Maximum Substrate Size (mm)	100×100
Maximum Exposure Area (mm)	90×90
Laser Light Source 405 nm (mW)	300

### 1.6.3 インクジェット方式を用いたマスクレスリソグラフィ技術

インクジェットプリンタを用いて紙に印刷するように、様々な基板にインクジェット方式でパターン形成を行うものも開発されている。カリフォルニア大学バークレー校の Yan Wang らは、マイクロマシニング技術を用いて Si 基板上にモノリシック・サーマル・インクジェット・プリントヘッドをアレイ状に形成し、CAD で設計した回路パターンを直接基板上に印刷する方式を提案している[44]。このシステムの特徴としては、光学リソグラフィのように焦点深度に制限が無く、凹凸のある基板表面にもパターン形成が可能であることと、低温プロセスでパターン形成が可能であるため、紙やプラスチック基板などにもパターンを形成できる点である。また、様々な溶剤ベースの材料を用いることが可能であるため、例えば有機溶剤に金属のナノ粒子を含んだものを用いて、直接、配線パターンを形成することも可能である。図 1-14 (a) にサーマル・インクジェット・プリントヘッドの概略図を示す。マイクロマシン技術や半導体の微細加工技術を用いて、Si 基板上にアレイ状にインクジェット・デバイスが制御回路とともに集積化されている。図 1-14 (b) は、1 つのインクジェット・デバイスの断面構造を示す。それぞれのインクジェット・デバイスには小さな狭いチャンバがあり、基板裏面の液体リザーバータンクとフィードスルーを介して繋がっている。インクジェット・ノズルは、窒化膜メンブレンを開口して形成されており、ヒータの直上に配置されている。Pt の抵抗薄膜は、ヒータとして用いられ、断熱材と絶縁材料である酸化膜で挟まれている。X-Y ステージの移動とノズルからの吐出を連動させて、基板上にパターン形成を行うものである。図 1-15 にこの方式により形成した Au のドットパターンおよびラインパターンの形成結果を示す。金のナノ粒子を溶かした溶剤を用いて、10  $\mu\text{m}$  のドットパターンと 8  $\mu\text{m}$  のラインパターンが形成されている。スループットは、ピクセルサイズ 1  $\mu\text{m}$ (24,000dpi の解像度)で 13,000 個のインクジェット・プリントヘッドアレイを用いて、8 インチウエハを 4 分で処理可能であると言われている。

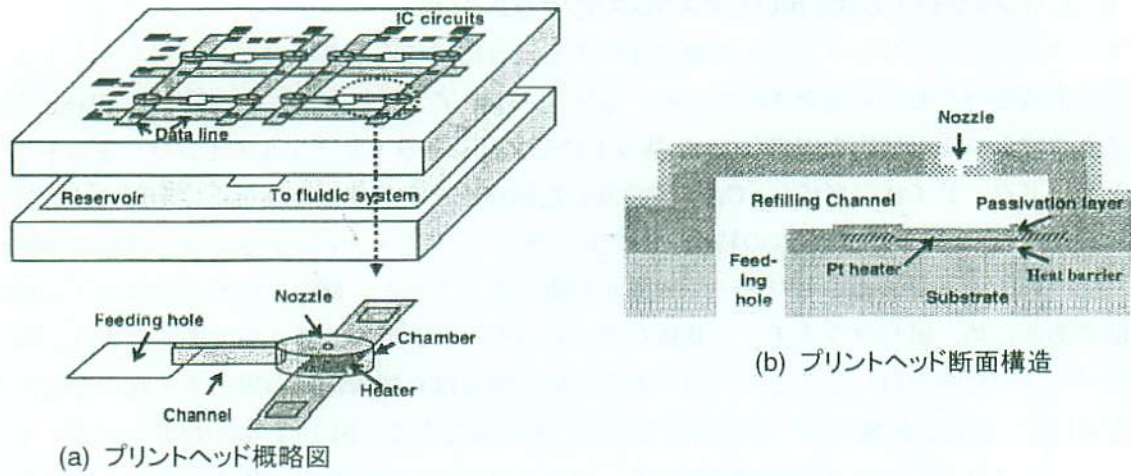


図1-14 モノリシック・サーマル・インクジェット・プリントヘッドの概略図[44]

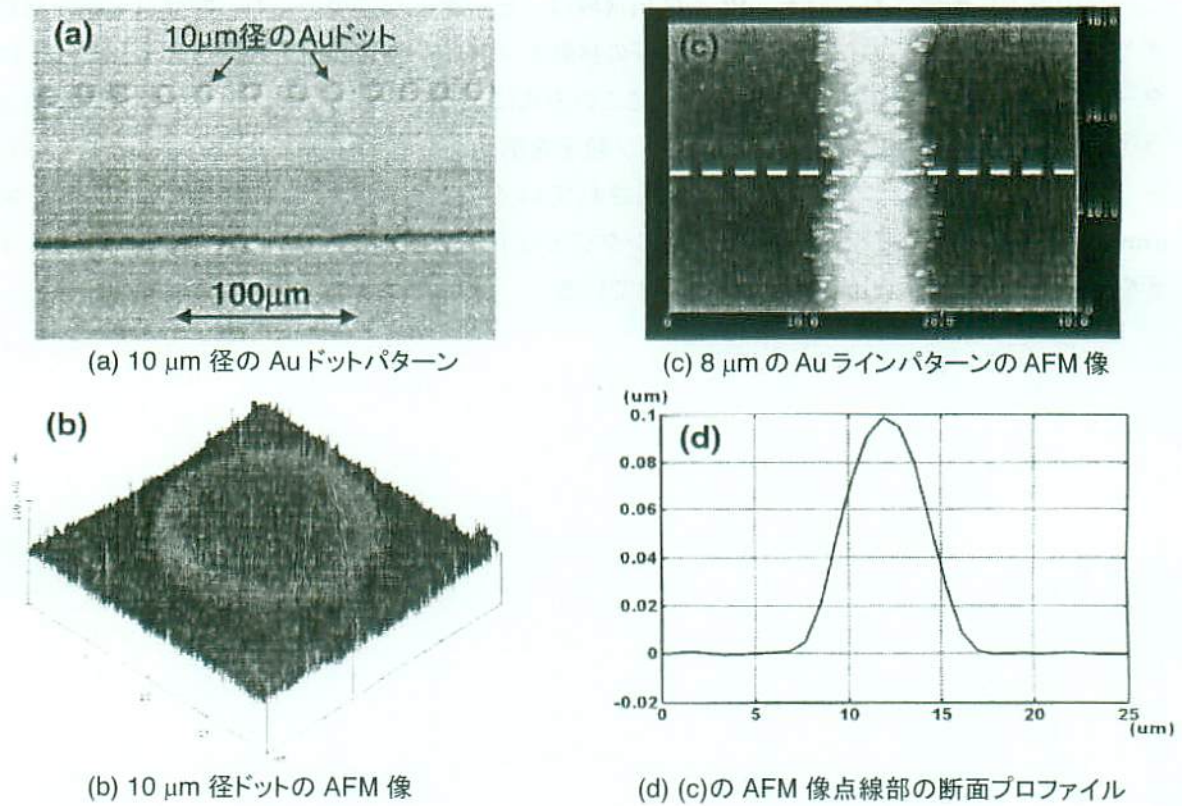


図1-15 インクジェット方式で形成した Au パターン[44]

#### 1.6.4 LCDを用いたマスクレスリソグラフィ技術

LCDを用いたマスクレス露光装置では、液晶パネルの種類によって透過型と反射型に大きく分類される。現在、主に開発が進められているのが、ツイスト・ネマティック(TN)タイプの透過型液晶パネルを用いた透過光学系のマスクレスリソグラフィ技術である。このタイプの液晶パネルで画素が最も小さな製品は、1辺が20  $\mu\text{m}$ 程度であり、対角3~5 cmの面積の中に100万~200万個程度作りこまれたデータプロジェクター用に開発されたパネルである。

TN透過型液晶パネルは、裏側から当てられた光源からの光が表側に出てくる量、すなわち光の透過率を液晶層で制御している。これを画素単位で行うことにより、パネル上にパターンが形成される。これをマスクとして露光する方式がLCDを用いたマスクレスリソグラフィ技術である。透過型LCDを用いる利点は、露光装置に適用する際に液晶パネルを従来のガラスレチクルのように扱える点である。そのため、ステッパやライナー等の従来の光学系がそのまま流用可能となる。このようなTN透過型液晶パネルをガラスレチクルの代わりに用いて露光を行うという考えは、1980年初頭にシチズン時計株式会社や日立製作所から特許が出願されている[45][46]。そして、2000年に入り東京電機大学から実証実験の報告がなされた[47]~[50]。さらに、液晶の代わりに光シャッターアレイと光ファイバーを用いた露光方式の検討もなされている[51]。また、2001年からは財団法人くまもとテクノ産業財団と熊本大学において、液晶パネルを使った露光方式の要素技術開発が行われている[52]~[56]。また、このような露光システムは、半導体やプリント基板への露光装置のみならず、光造形システム(PFS: Photo Fabrication System)においても研究・開発がなされている[57]。

TN透過型液晶パネルの欠点は、光の透過率が低いことである。これは液晶パネルに貼られた偏光フィルムがその特性上、光を50%以上遮ってしまうことが原因である。LCDパネル全体での透過率は、実質的には30%~20%程度となっており、露光時間が通常のガラスレチクルの場合と比べて4倍程度長くなってしまふ。このため、透過型液晶パネルの露光装置においては、偏光フィルムが不要な液晶パネルとして散乱型液晶[58][59]パネルが注目されている。散乱型液晶は、高分子中に液晶を分散させて小球状に相分離を起こした状態にしたものである。分散されたそれぞれの液晶はランダムな方向を向いており、それらの屈折率が高分子の屈折率と異なる場合には光が散乱される。電界を印加して各小球状の液晶を電解方向にそろえてやり、このとき液晶の短軸方向の屈折率と高分子の屈折率が一致するように調整してあれば、屈折率の不均一がなくなり光散乱が抑えられる。この散乱型液晶は偏光フィルムを必要としないため、露光光であるg線の場合、透過率は80%以上となり、露光時間をTN透過型液晶パネルに比べて短縮することができる。

一方、反射型液晶パネルでは、液晶パネルの表側から入射した光を、液晶層の下部に設けられた反射板で跳ね返して表側に戻している。この形式では、反射板の下側に駆動用のトランジスタや配線を置くことができるため、開口率を90%以上にできるメリットがある。反射板はアルミ製で、各画素の下部電極も兼ねている。反射型液晶パネルのメリットは液晶層を薄くできるために、液晶分子の角度変化が速く、応答速度を速くできることにある。光が液晶層を往復で通過するため、透過型液晶の半分程度の厚さの液晶層で、光を90°偏光させることができる。反射型液晶パネルの場合、露光装置は反射光学系となり、従来のステッパやライナーなどの光学系がそのま

ま流用できない。そのため、専用の装置開発が必要であり莫大な開発費用がかかるため、現時点で露光の実証実験は行われていない。

液晶パネルを用いた場合の露光装置の欠点は、解像度が低い点にある。原因は液晶パネル自体の設計限界が画素サイズで数十 $\mu\text{m}$ 程度であることもさることながら、液晶分子の光に対する耐久性にもある。一般に液晶分子のベンゼン環結合は i 線以下の短い波長の光によって分解されてしまう。そのため、露光に用いる光源として i 線よりも波長の長い h 線や g 線を使用せざるを得ない。そのため、液晶パネルを用いた露光装置では縮小光学系を用いても解像限界は 0.5  $\mu\text{m}$ 程度と予想される。

## 1.7 レチクルフリー露光技術

透過型 LCD を従来のガラスレチクルの代わりに用いた露光技術をレチクルフリー露光技術と称し、これまでに要素技術開発や原理検証がすでになされており[52]～[56]、露光用のフォトマスクとして LCD を用いることが可能であることがわかっている。本節においては、これまでの要素技術についてまとめる。

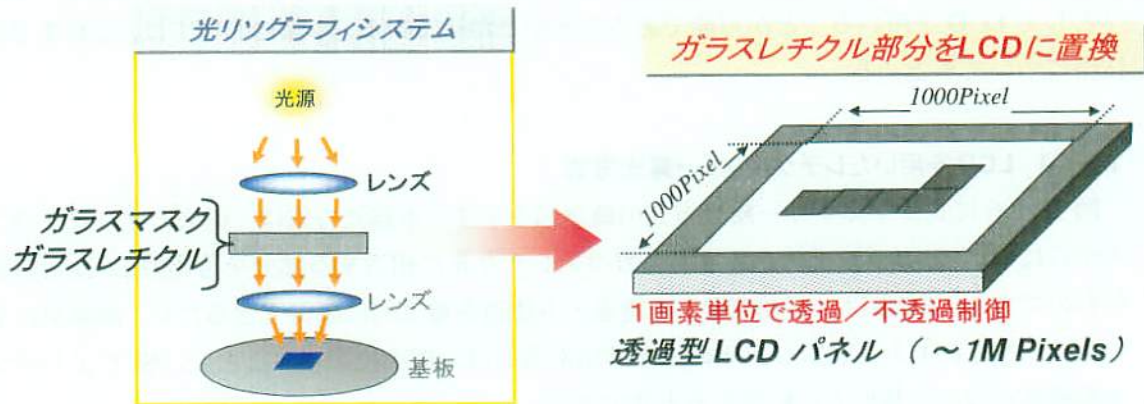
### 1.7.1 LCD を用いたレチクルフリー露光方式

図 1-16 にレチクルフリー露光方式の概念図を示す。本露光方式は、従来の光リソグラフィシステムにおいて、ガラスマスクあるいはガラスレチクルに相当する部分を透過型 LCD に置き換えたものである。LCD は、1 画素単位で透過・不透過を電氣的に制御できるため、画素単位で任意パターンを LCD 上に表示し、その像を等倍あるいは、縮小投影することで、Si ウェハやプリント配線基板などの基板上に転写する方式である。

大きな特徴としては、設計した回路パターンを電子データとして LCD に表示させることが可能であるため、設計完了後、設計データを瞬時に転送・表示が可能であり、電氣的にパターンを変更することが可能であるため、設計変更に対応できる点である。また、透過型 LCD を適用しているため、従来の光リソグラフィシステムをそのまま活用することが可能である。光リソグラフィシステムは、レンズ、基板ステージなどの高い精度を要求される構成要素が非常に高価であるため、本露光方式専用のリソグラフィシステムを新たに構築しようとするとは莫大な費用がかかってしまう。しかし、本露光方式では既存のリソグラフィシステムをそのまま活用でき、露光システムの新規開発やその周辺に必要な設備投資が不要となり、低コストでマスクレス露光方式を実現することが可能である。また、1 チップ生産、1 デバイス生産に対応することが可能である。一般に 1 チップあたりの単価を下げるために、Si ウェハやプリント配線基板上には同じ種類のデバイスを可能な限り敷き詰めて、同一工程で複数のチップを作製している。しかし、本露光方式を適用した場合、電氣的に回路パターンを瞬時に変更することが可能であるため、同一の製造工程で、1 チップごとに回路構成の異なるデバイスを作製することが可能である。この場合、1 チップ当たりの製造コストは、複数のチップを作製した場合と同じになり、結果として、1 品種あたりの単価は従来どおりで、多数の品種を同時に生産できることになる。

### 1.7.2 露光に用いた LCD

露光に用いた LCD は市販されているプロジェクター用の LCD である。パソコンや液晶テレビ用の LCD は、画素ピッチが数百  $\mu\text{m}$  程度であるが、プロジェクター用の LCD は、市販されている LCD の中で最も画素ピッチが小さく、約 20  $\mu\text{m}$  程度の画素ピッチのものが一般的である。このように、微細な回路パターンを転写するのに適していると考えられるため、プロジェクター用 LCD を露光用として選択した。本露光方式の開発に用いた LCD パネルの仕様を表 1-4 に示す。TYPE2 に関しては、露光回数と解像度の理論的な考察から最適な開口率に設計変更を加え、意図的に開口率を 25%としたものである[60]。これらの LCD パネルは、TN 液晶を用いた透過型の TFT(Thin Film Transistor)アクティブマトリクス駆動タイプの LCD パネルである。図 1-17 に各 LCD パネルの外観と 1 画素の形状を示す。



<特徴>

- LCDでレチクル画像形成。縮小・等倍露光
- 設計パターンを電子データで瞬時に転送・露光し、自在に変更可能
- 従来の光リソグラフィシステムをそのまま活用可能
- 1チップごとの究極の多品種少量生産を可能とする

図1-16 レチクルフリー露光方式の概念図[55]

表1-4 露光用液晶ディスプレイの仕様[62]

	TYPE1 (SONY 製)	TYPE2 (SONY 製)
画素ピッチ	26 $\mu\text{m}$	23 $\mu\text{m}$
開口率	67 %	25 %
画素数	1024×768 (XGA)	1600×1200 (UXGA)
パネルサイズ	対角 1.3 インチ	対角 1.8 インチ
有効画素領域	26.624 mm×19.968 mm	36.800 mm×27.600 mm
開口形状	ほぼ正方形	正方形



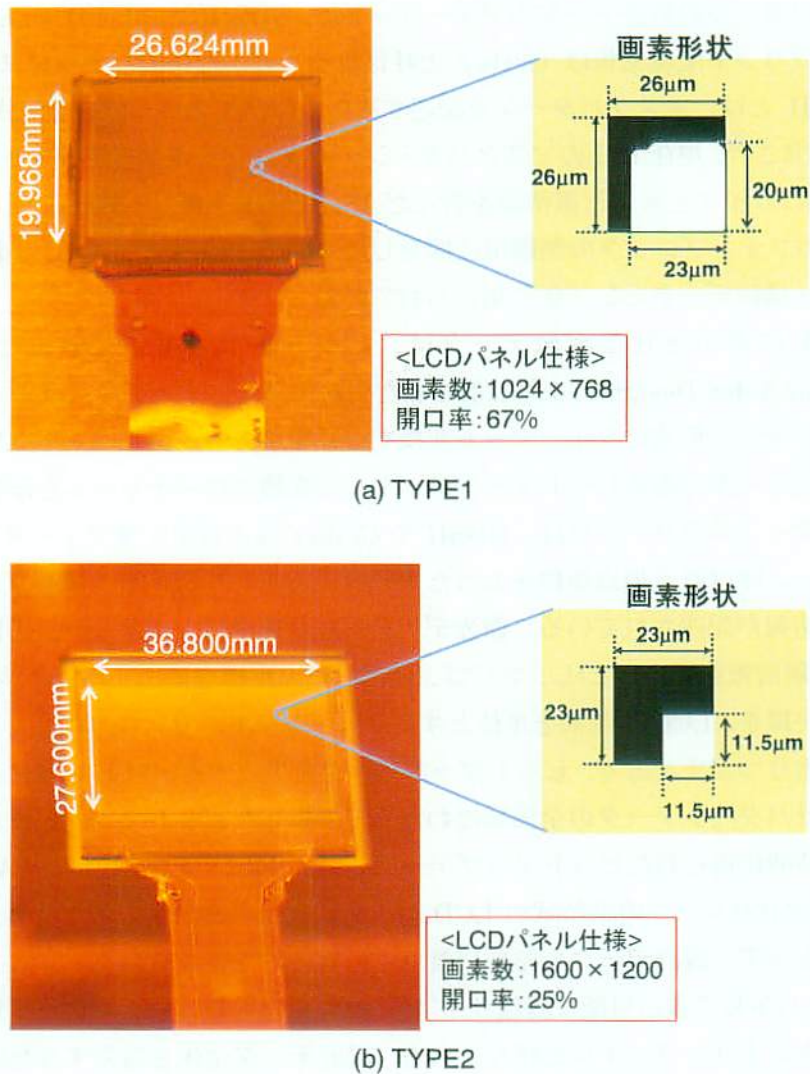


図1-17 露光用 LCD パネル外観写真と画素形状の模式図[62]

露光に用いた LCD パネルの透過特性については、露光光が  $g$  線(波長: 436nm)の場合、LCD パネルの透過率は 10~25%程度と低くなることが実験的に調査されている[61]。TN 型の液晶では、光の入射側と出射側に偏光フィルムを設ける必要があるが、この偏光フィルムにより入射光の半分以上が吸収されることがわかっており、LCD パネルの透過率を下げている主要因と考えられている。LCD パネルの透過率は、露光時間に直接影響するため、可能な限り透過率の高い LCD パネルが求められている。また、LCD パネルのコントラスト比についても検証が行われており[61]、 $g$  線に関しては、コントラスト比が 375 と、露光に対して十分に取れていることが実証されている。

### 1.7.3 設計データから露光データの生成

LSIの回路パターン設計データのフォーマットは、GDSII(Graphic Design System II)と呼ばれるもので、プリント配線基板はGerberと呼ばれるものが標準的なデータフォーマットとされている。GDSIIとは、マスクパターンを記述するためのバイナリーデータ形式で、1970年代にCalma社で開発され、現在LSIのマスクパターンデータとして業界標準のフォーマットとされている。Gerberは、サイズと形と位置情報を含んだASCIIテキストデータ形式で、Gerber Scientific, Inc.社が自社のフォトリソの制御用に開発したもので、現在は、プリント配線基板の回路パターンの設計・描画データとして広く用いられている。

一方、LCDに表示させる画像データは、ビットマップデータ形式となる。従って、CAD(Computer Aided Design)により設計された回路パターンデータを、LCDに表示させるためのビットマップデータ形式にフォーマット変換する必要がある。図1-18にCAD設計パターンデータから露光データであるビットマップデータへの変換フローチャートを示す。CADで設計した電子回路パターンの設計データは、GDSIIやGerberなどのデータフォーマットで記述されており、ポリゴンと呼ばれる頂点座標をもった点と線で囲まれた図形や、機能ブロック単位で階層化された図形情報が記述されている。露光データへの変換では、まずこれらの図形情報の階層をフラット化(階層情報を崩すこと)し、ポリゴン図形の頂点座標を抽出することから始める。次に抽出された頂点座標を、LCDの画素を単位とするグリッドマトリクスに写像し、頂点座標で囲まれたグリッドを塗りつぶすことで、ビットマップデータを生成する。図1-18に示すような手順を繰り返し、設計パターンデータの全領域にわたって変換したビットマップデータを生成する。ここで、この一時的に得られたビットマップデータをフィルムファイルと称している。

図1-19に設計パターンの全領域がLCDパネルに表示可能なサイズよりも大きい場合の露光データ生成例を示す。設計データ全領域に渡って一次的に生成されたフィルムファイルは、さらに実際にLCDパネルで表示可能な画像サイズに分割し、複数枚のビットマップ形式の画像を生成する。これらをレチクルファイルと呼んでいる。設計データ全体を露光するためには、各画面に対応したレチクルファイルをLCDに表示させ、画面を繋ぎ合わせ、設計データ全体を露光していく。このとき、各レチクルファイルに対応した設計データ全体に対する露光位置や露光の順序などの情報を記述したものが、図1-18中に示すレチクルケースファイルと呼ばれるもので、レチクルファイルとあわせて露光データとして出力する[60]~[63]。

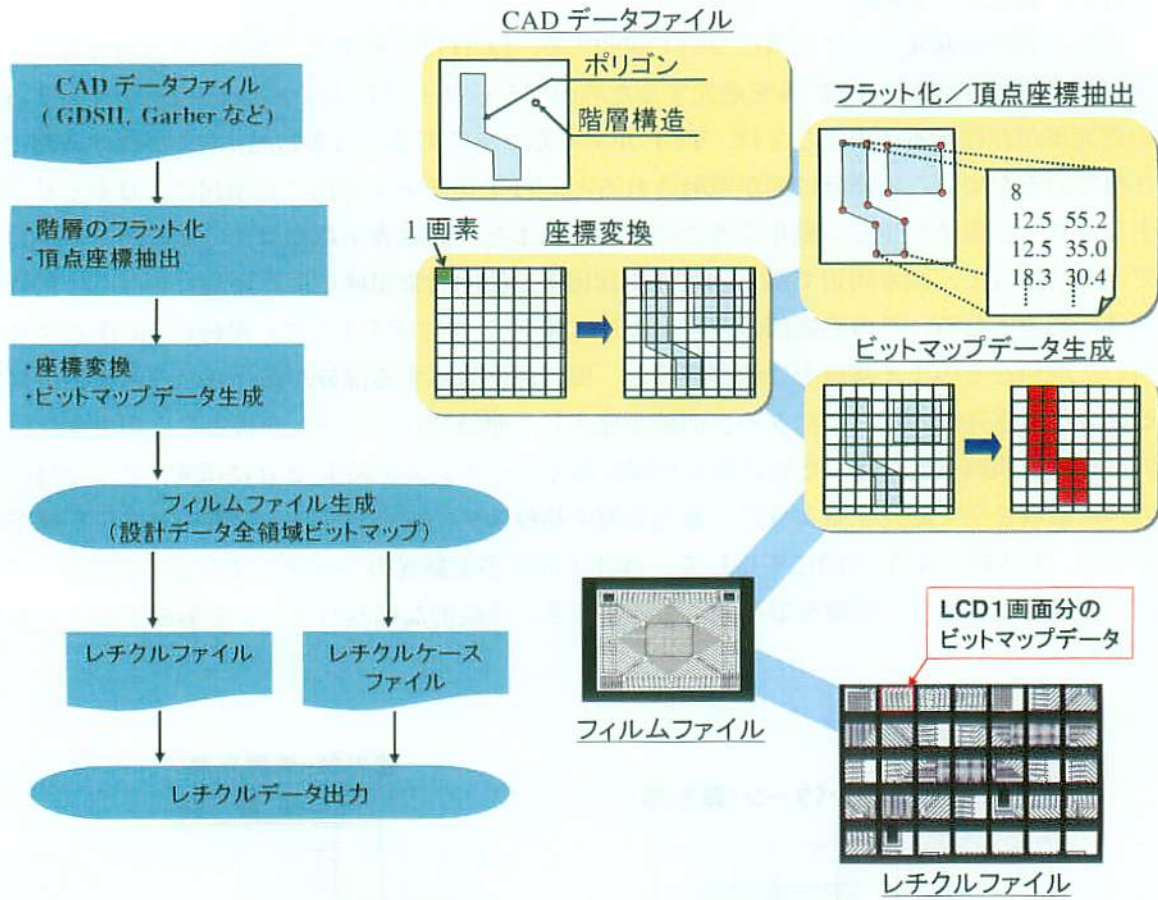


図1-18 CAD データから露光データへのフォーマット変換フローチャート[56]

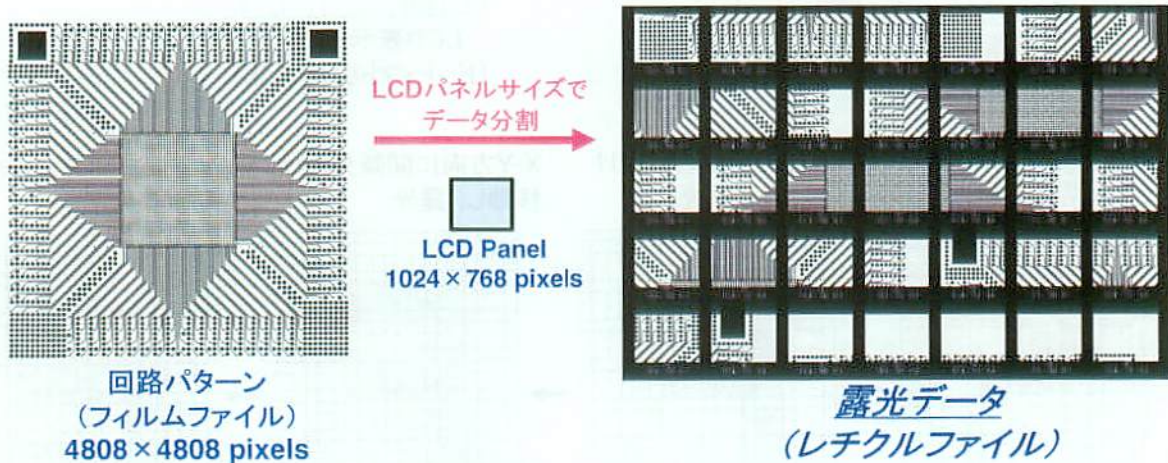


図1-19 LCD パネルサイズより大きい場合の露光データ生成例[63]

### 1.7.4 露光シーケンス

次に、実際の露光シーケンスについて説明する。LCDは、構造上、透過／不透過を行うアクティブエリア(開口部)と TFT 等を遮光するためのブラック・マトリックス(遮光部)が存在する。この遮光部が存在する理由としては、TFT がアモルファスあるいは多結晶 Si の半導体薄膜で形成されているため、この部分に光が照射されると、TFT のチャンネル内に光励起によりキャリアが発生し、リーク電流が生じ誤動作するためである。また、画素表示電極周辺の表示がコントロールできない部分と、画素周辺で横方向電界に起因する配向異常領域による光漏れをなくすために遮光部が必要となる。この遮光部の存在により、図1-20に示すように、単純に LCD パネルに表示した画像をそのまま基板上に転写すると、開口部に対応する部分が露光され、遮光部に対応する部分は未露光部となり、パターン間隙が発生し、連続的なパターンを得ることができない。このパターン間隙を取り除くための最も単純な露光シーケンスを図1-20に示す。ここでは、一つの画素領域を全て露光するように、露光装置の基板ステージをパターン間隙に対応した量だけ、X方向、Y方向、X-Y方向にずらして、合計4回の多重露光のシーケンスを示している。この4回の多重露光により、間隙を取り除くことができ、連続的な転写パターンを形成することが可能である。

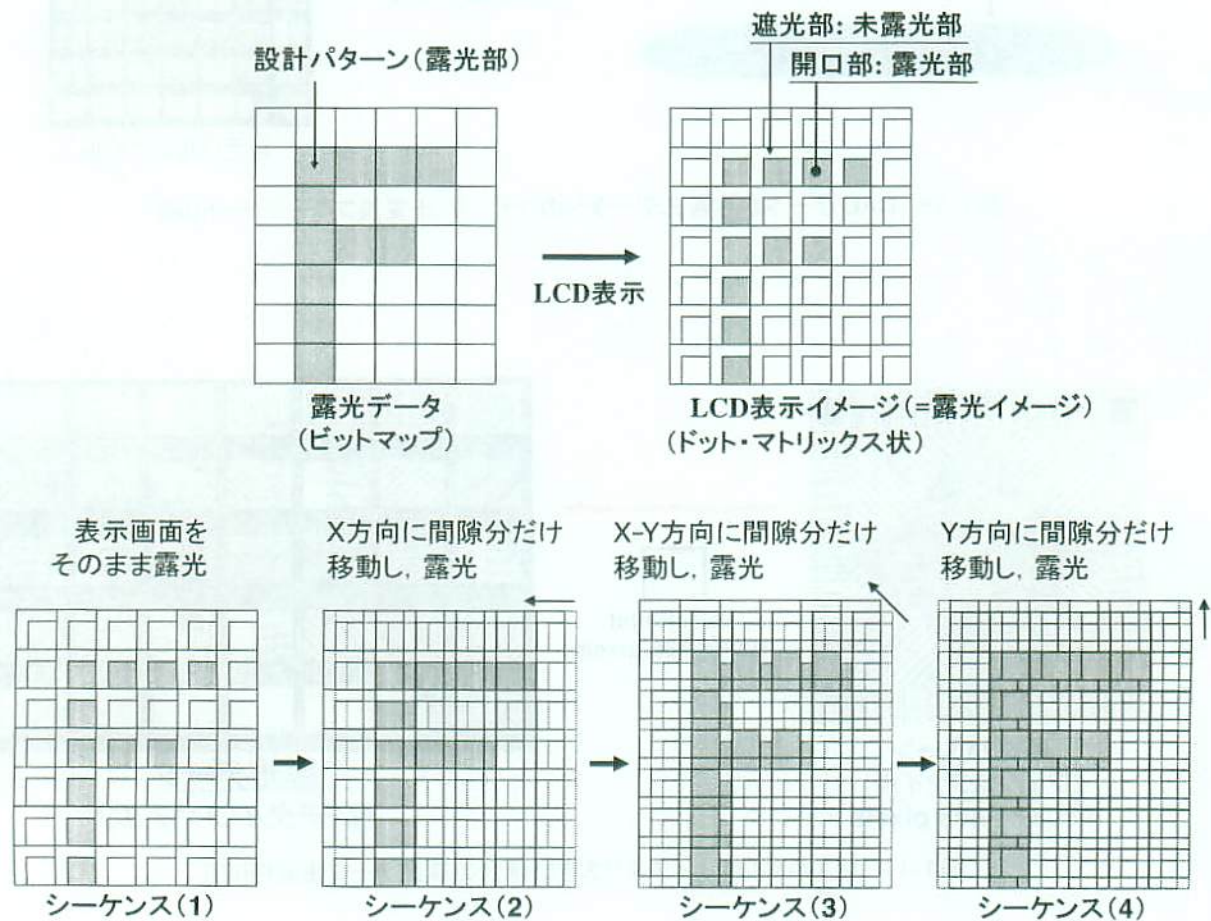
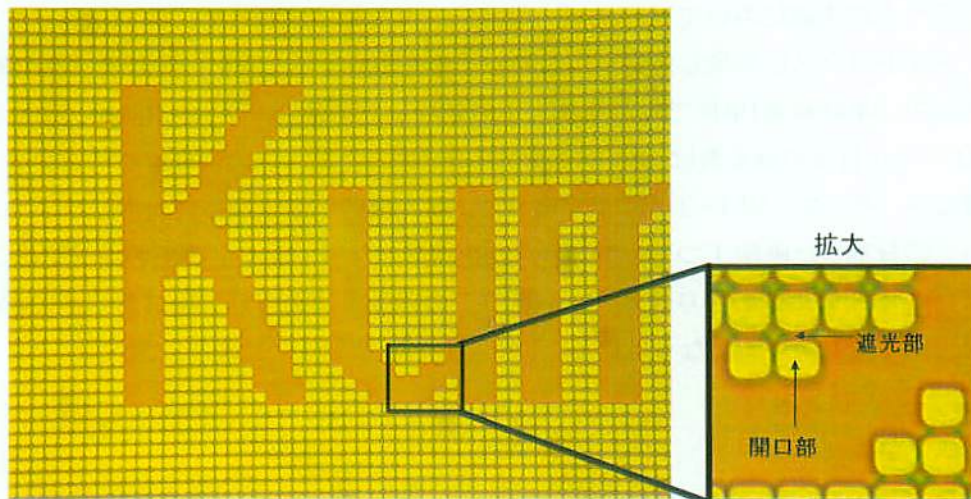
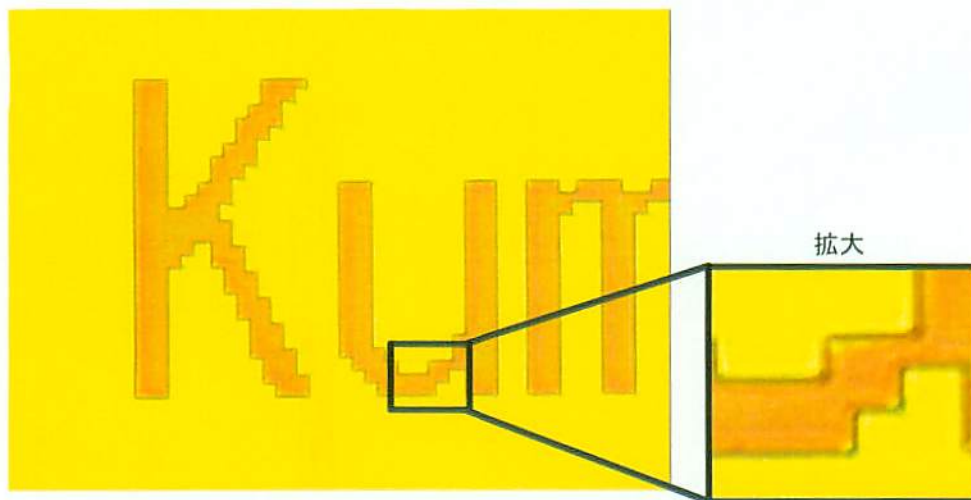


図1-20 LCD パネルの露光イメージと4回多重露光シーケンス[56]

4回多重露光シーケンスで実際に基板上のレジストに対して露光を行った結果を図1-21に示す。ここでは、開口率が67%のTYPE1(表1-4)のLCDパネルを用いて、縮小投影露光装置で露光した結果を示す。図1-21(a)はLCDに表示された画像を多重露光を行わず、そのまま1回だけ転写した場合のレジストパターンの光学顕微鏡写真であり、LCDの遮光部分がはっきりと転写されているのがわかる。これに対して、図1-21(b)は、図1-20のシーケンスにより4回多重露光を行った場合のレジストパターンの顕微鏡写真である。遮光部分が全て取り除かれ、画素単位でパターン形成が決定されていることがわかる。



(a) 1回露光結果



(b) 4回多重露光結果

図1-21 レジストパターンの光学顕微鏡写真[56]

ここでは、開口率が67%のTYPE1のLCDを用いているため、1画素の大きさを転写パターンの最小単位としているが、開口部の一辺の長さを画素サイズの1/2の大きさ、すなわち開口率が25%となるTYPE2(表1・4)のLCDを用いた場合には、開口部サイズを転写パターンの最小単位とすることができ、より微細なパターンの転写が可能となる。この場合の露光データの生成方法を図1・2・2に示し、4回多重露光シーケンスを図1・2・3に示す。

露光データの生成は、基本的には、前項で説明した方法で生成することが可能であるが、異なる点は、ビットマップデータを生成する際のグリッドが、開口部サイズを単位としたグリッドマトリクスとなることである。従って、TYPE2のLCDの1画面分を考えてみると、LCDの画素数は1600×1200画素であるが、開口部サイズを単位としたグリッドマトリクスは各辺2倍の3200×2400画素となる。これは、開口部の一辺の長さが画素ピッチの1/2となっているためである。露光データの生成においては、まず、設計データ全領域に渡って、開口部サイズを単位としたグリッドマトリクスに写像し、フィルムファイルを生成する。次に、設計データ全領域をLCD1画面(3200×2400画素)単位で分割する。この分割した画像データは、3200×2400画素であるが、LCDパネル自体の画素数は1600×1200画素であるため、この画像をそのまま表示させることはできない。そこで、図1・2・2に示すように、露光位置と露光順序に対応した4つの画像に分割する。この分割した画像1つは、1600×1200画素となっており、実際の露光では、図1・2・3に示すように4つの画像の切り替えと、ステージの移動を連動させ、開口部サイズを単位とした任意パターンの露光が可能となっている。

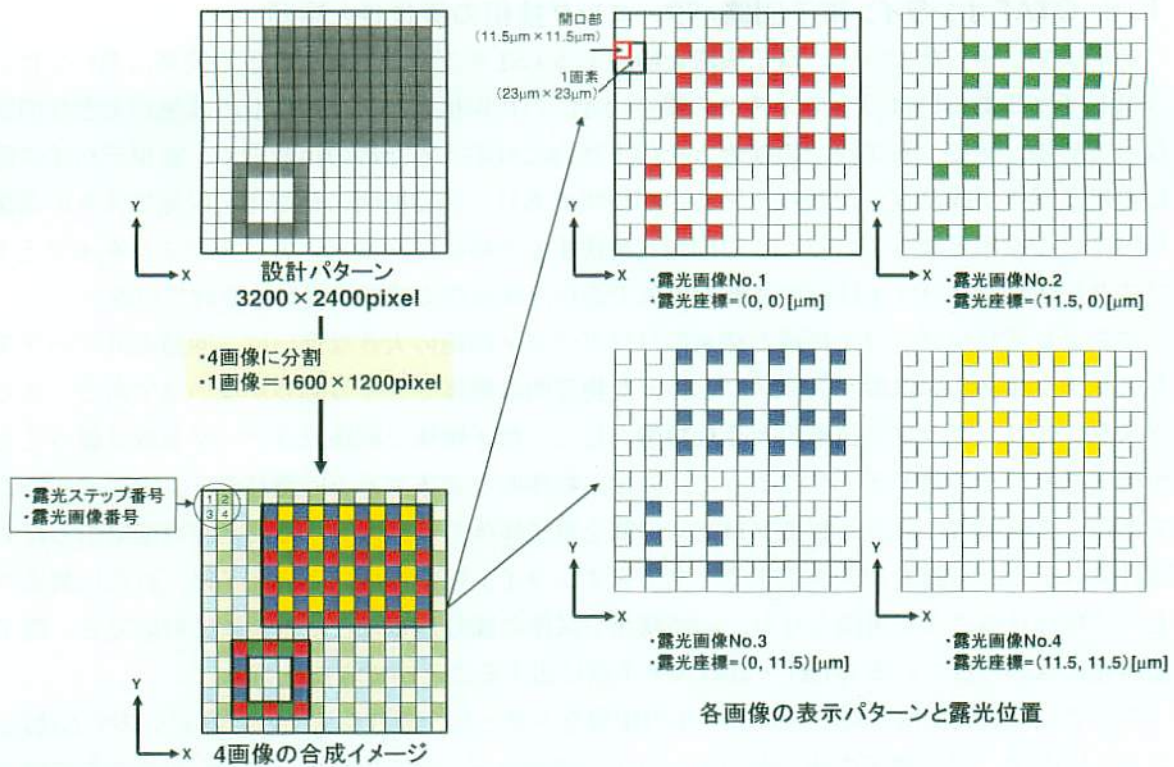


図1-22 開口部サイズを最小単位とした場合の露光データ生成方法[62]

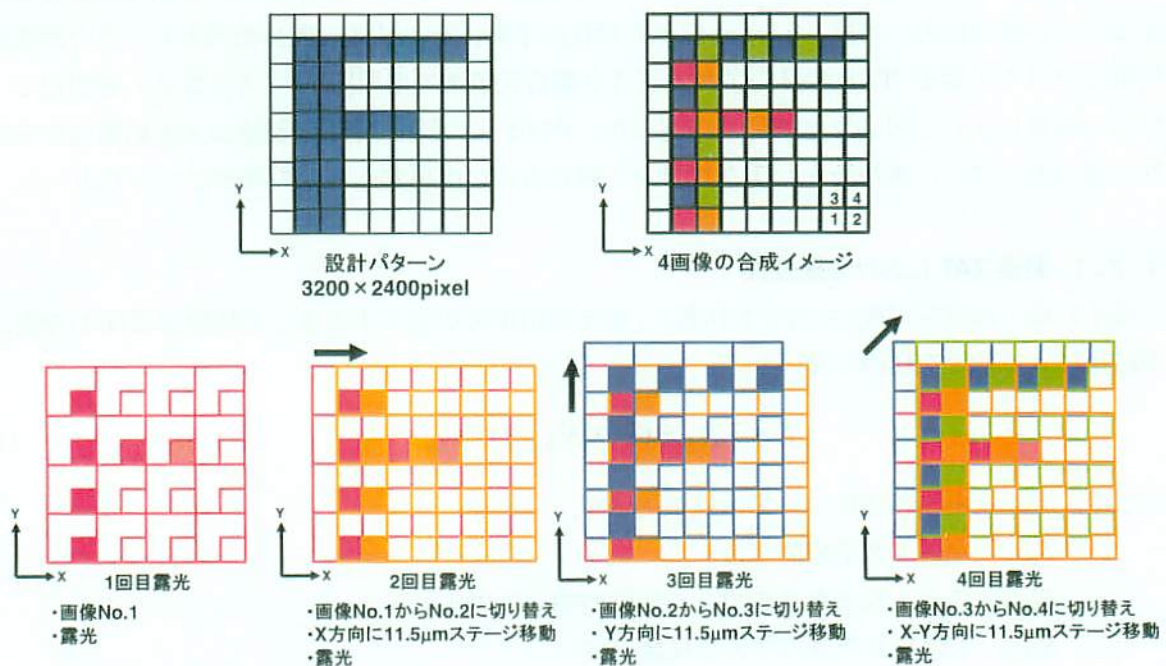


図1-23 開口部サイズを最小単位とした場合の露光シーケンス[62]

## 1.8 QTAT オンライン電子回路パターンニング技術の優位性と課題

前節までに示したように、電子機器を構成するLSIやプリント配線基板の開発においては、ガラスレチクルあるいはガラスマスクの製造TATの長期化とマスクコストの高騰が大きな問題となっている。更に、各工程での検査とその不具合に対応するための再設計や、新規デバイス開発における試作が繰り返し行われているのが現状であり、開発期間の長期化と開発コストの高騰を招いている原因となっている。この問題を解決するためには、従来のガラスマスクを不要とするマスクレスリソグラフィ技術が必要不可欠であり、様々な方式で検討がなされている。

マスクレスリソグラフィ技術と従来のリソグラフィ技術の大きな違いは、回路設計データをガラスレチクルあるいはガラスマスクといった物理的な媒体を介する必要がない点である。また、マスクレスリソグラフィ技術の大きな特徴として、電子媒体で回路設計データを取り扱うことが可能であり、その電子データによって、直接、物理的な実体である回路パターンを形成することである。このように設計と製造プロセスの間を電子媒体でやり取りすることが可能であるため、設計システムから露光システムまで、全てをオンライン化すれば、設計完了後、直ちに製造プロセスに移行することが可能となり、回路修正や試作の繰り返しなどにも柔軟に対応でき、電子機器開発に求められているQTAT・低コスト生産に応えることができる。

そこで、本研究では、ガラスレチクルの作製を不要とし、設計システムと露光システム(製造プロセス)の間を、全て電子媒体でかつオンラインで設計データを取り扱うことが可能である電子回路パターンニング技術を、QTAT オンライン電子回路パターンニング技術と称し、設計と製造を直接結びつける全く新規な生産方式として位置づける。

本節では、まず、製造TATや製造コストの観点から、本技術の従来技術に対する優位性を検討する。この検討においては、0.5 μm以上の世代の半導体デバイスの開発を例とし、その世代の平均的なマスクの製造TAT(設計完了からマスク製造完了までの期間)やマスクコストを想定し、本技術の適用によりどのような効果があるのか、デバイスの製造TATと製造コストの観点から優位性を述べる。次に、本技術をレチクルフリー露光方式に応用する場合の課題について述べる。

### 1.8.1 製造TATにおける優位性

電子回路の設計完了後、マスクを作製し、電子回路作製が完了するまでの時間を式(1-1)で表し、本技術による効果を検討した。

$$T = T_{Mask} + (T_C \times N_{Mask}) \times N_{fab} \quad (1-1)$$

ここで、上記式中の各項については以下に示す。

$T_{Mask}$  : マスク製造期間 (日)

$T_C$  : マスク1枚あたりのウェハ処理時間 (日/枚)

$N_{Mask}$  : 1製品あたりのマスク枚数 (枚)

$N_{fab}$  : 製造回数 (回)

また、検討に当たり、表1-5に示すような仮定を前提に比較検討を行った。

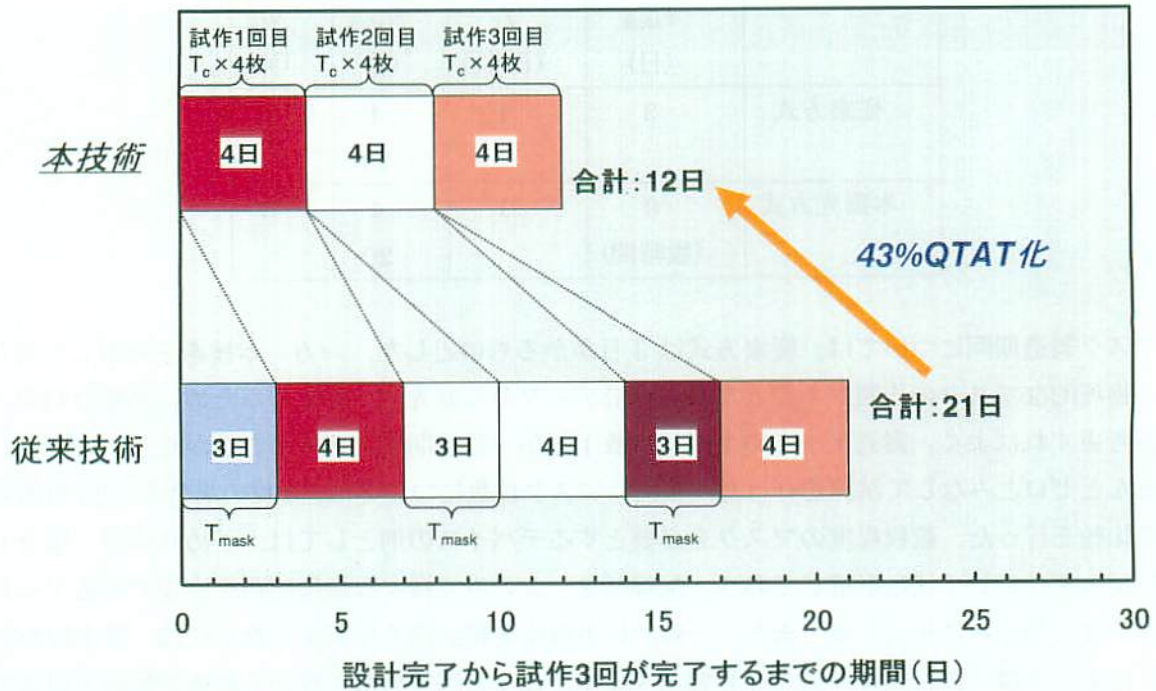


表1-5 TAT 検討に用いた仮定

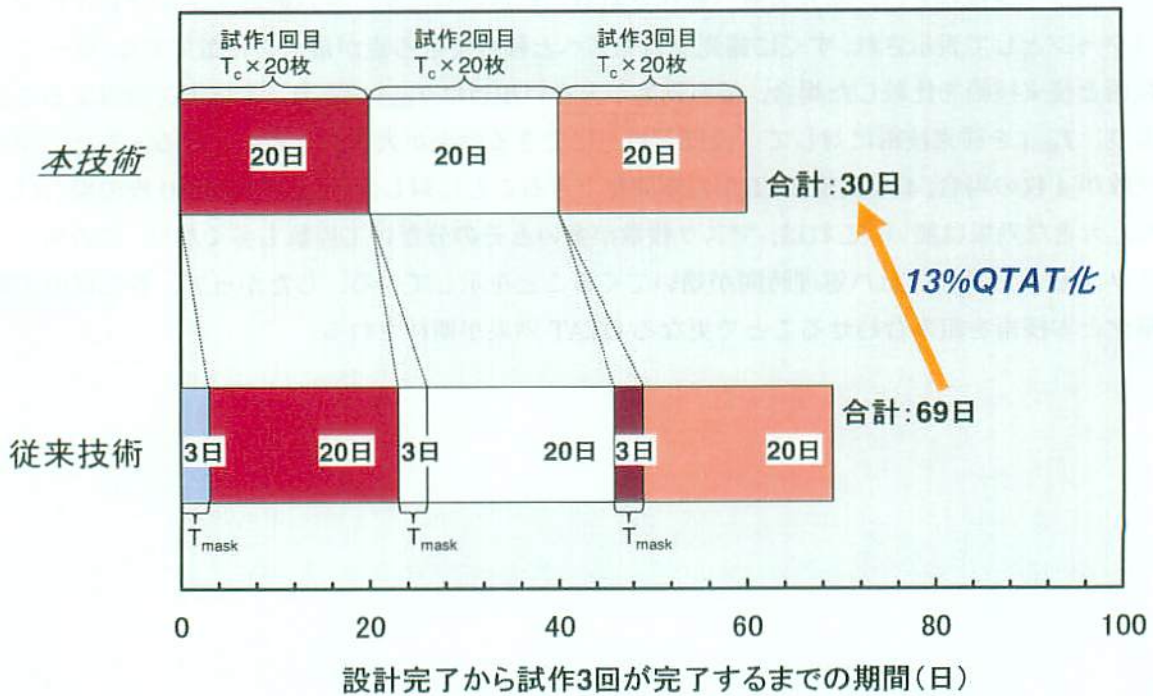
	$T_{Mask}$ (日)	$T_c$ (日/枚)	$N_{Mask}$ (枚)	$N_{fab}$ (回)
従来方式	3	1	4 20	3
本露光方式	0 (数時間)	1	4 20	3

マスク製造期間については、従来方式は3日かかるものとした。一方、本技術を適用した場合は、物理的なマスクの作製が不要となり、設計データから露光データを得るために必要な時間のみを考慮すればよく、露光データの生成には数十分から数時間程度要することから、ここでは、ほとんどゼロとみなして試算を行った。また、マスク枚数については、4枚の場合と、20枚の場合で比較を行った。数枚程度のマスクを必要とするデバイスの例としては、予め寸法が一樣なトランジスタをアレイ状に形成しておき、配線パターンのみで様々な論理回路を実現できるゲートアレイなどがそれに相当する。また、一般的に半導体集積回路を作製するためには、数十枚から場合によっては、数百枚のマスクを必要とするが、ここでは、拡散工程から最後の配線工程までに必要なマスク枚数を20枚と想定し、より高性能な集積回路を実現するために、トランジスタ法の最適化や面積の最小化を考慮して設計されるカスタムLSIがこれに相当するものとした。

図1-24に比較検討結果を示す。本技術においては、回路設計が完了すると同時に、設計データがオンライン接続された露光装置へ転送される。転送されたデータは液晶ディスプレイにマスクパターンとして表示され、すぐに露光プロセスへと移行できる点が最大の特徴である。従って、本技術と従来技術を比較した場合、最も効果が大きい項目は $T_{Mask}$ であり、本技術を適用することにより、 $T_{Mask}$ を従来技術に対して「ほぼゼロ」にできる効果が大きいと考えられる。また、マスク枚数が4枚の場合、43%製造TATが短期間化できることに対し、マスク枚数が20枚の場合は、13%と大きな効果は無い。これは、マスク枚数が多いとその分だけ工程数も多くなり、この場合、マスク1枚あたりのウェハ処理時間が効いてくることを示している。したがって、各工程の工期短縮化と本技術を組み合わせることで更なるQTAT効果が期待される。



(a) マスク枚数: 4枚の場合



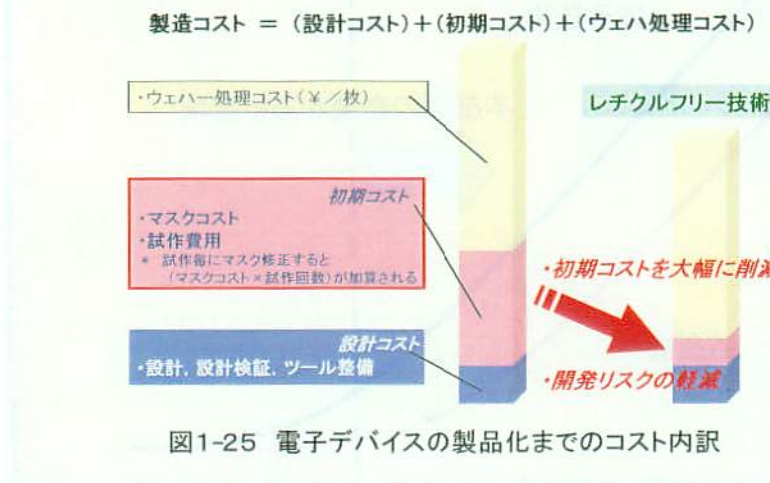
(b) マスク枚数: 20枚の場合

図1-24 製造 TAT の比較結果

### 1.8.2 製造コストにおける優位性

電子回路を製品化するまでに必要となるコストの内訳を図1-25に示す。設計コストは、設計や設計検証、設計に必要なツールなどの設計環境を整備するために必要なコストなどが含まれる。初期コストとしては、マスクコストと製品化前の試作費用などが主に含まれる。これらの設計コストと初期コストの合計が半導体集積回路を開発するための開発コストとなる。先にも述べたように、顧客からの要求仕様を満足するために、試作とテストを繰り返す行いが、通常、平均すると2回から3回行うと言われている。試作を行った結果、要求仕様を満足できない、あるいは設計ミス、プロセス起因の不良発生、開発途中での設計仕様変更などのマスク修正要因が発生すると、マスクを再び作製することになる。特に複雑化・高機能化する傾向にある電子回路の製品においては、製造コストに占める開発コストの割合が高くなってきているのが現状である。本技術は、従来のガラスマスクを必要とせず、回路修正が瞬時にかつ容易にできるということが特徴であるため、初期コストの大幅な低減が予想され、開発コストの削減効果が期待できる。

ここでは、設計コストとウェハ処理コストに関しては従来技術と同じであるという仮定で検討を行った。



まず、製品化までの製造コストを式(1-2)で表わすこととした。

$$C_{Total} = C_{fixed} + (C_w \times N_w) \quad (1-2)$$

ここで、固定費、すなわち製品単価のうち生産個数によらない一定のコストを  $C_{fixed}$  とし、式(1-3)に示す。

$$C_{fixed} = C_{design} + C_{Mask} + N_{trial} \{ (2C_w \times N_w) + C_{Mask} \} \quad (1-3)$$

$C_{design}$  は設計コスト、 $C_{Mask}$  はマスクコスト、 $N_{trial}$  は試作回数、 $C_w$  はウェハ処理コスト、 $N_w$  は基板 (Si ウェハ) の枚数である。試作時には通常の約2倍のウェハ処理コストがかかる場合が多いため、ここでは  $2C_w$  とした。ここで、基板1枚当たり良品が  $K$  個取得できるとすると、製品の単価  $C_{chip}$  は式(1-4)で表すことができる。

$$C_{chip} = \frac{C_{Total}}{(K \times N_w)} \quad (\text{コスト/個}) \quad (1-4)$$

コスト試算にあたって、表 1-6 に示す値を従来技術の値と仮定して試算を行い、マスク枚数は 20 枚と仮定した。一方、本技術では、マスク作製が不要となるため  $C_{Mask}$  をゼロとして試算を行った。

表 1-6 コスト検討に用いた仮定

項目	数値	項目	数値
$C_{design}$ (コスト)	600	$C_{Mask}$ (コスト/枚)	210
$N_{trial}$ (回)	2	$C_w$ (コスト/枚)	8
$N_w$ (枚)	試作 : 25 製品 : N	$K$ (個/枚)	100

生産個数に対する製品単価を試算した結果を図 1-26 に示す。

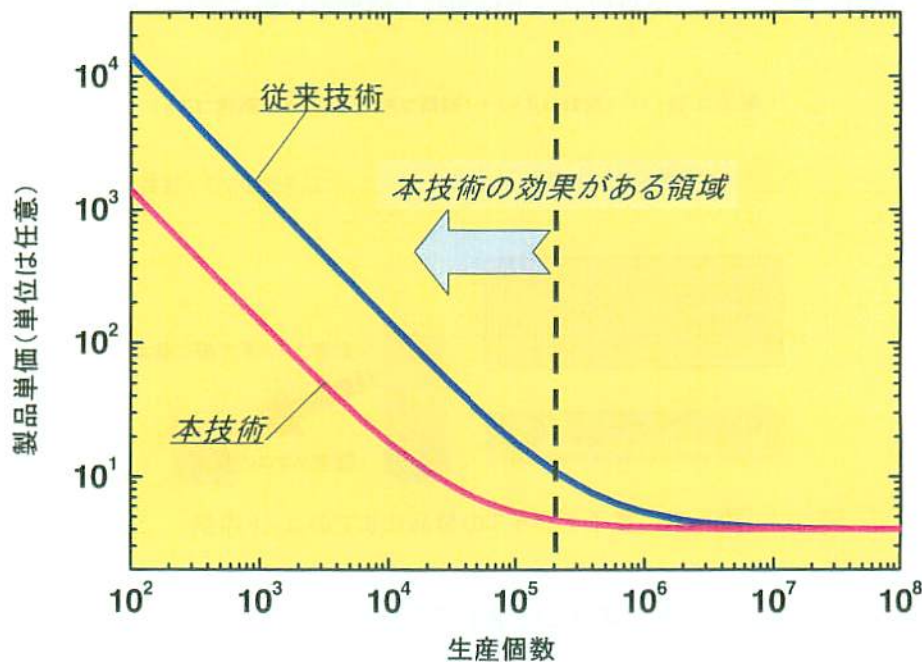


図1-26 コスト試算結果(生産個数と製品単価の関係)

この結果より、生産個数が 100 万個以下のいわゆる多品種少量生産型デバイスの生産個数の領域においては、本技術を適用することにより約 1 桁製品単価を抑えることができる。製品単価を抑えることができる最大の要因は、マスクコスト  $C_{Mask}$  と試作回数に依存する試作コストを大幅に削減でき、その結果、生産個数によらない固定費(開発コスト)  $C_{fixed}$  を従来技術より削減できる点である。一方、生産個数が 100 万個以上になると、従来技術との差が無くなっている。これは、生産個数が大きくなることによって単価が下がる効果が現れており、従来の大量生産方式の効果を示している。

以上の結果から、QTAT オンライン電子回路パターンニング技術を適用することにより、製造の QTAT 化と低コスト化が期待される。

### 1.8.3 本技術のレチクルフリー露光方式への応用とその課題

前節までに示したように、マスクレスリソグラフィ技術として、様々な方式の検討がなされている。その中でレチクルフリー露光方式は、透過型 LCD パネルを回路パターン用のマスクとしているため、従来の光リソグラフィシステムをそのまま活用することが可能である。一般に、リソグラフィシステムは、レンズ、基板ステージなど高い精度を要求される構成要素が非常に高価であるため、マスクレスリソグラフィ専用の露光システムを新たに構築しようとする、莫大な費用がかかってしまう。しかしながら、レチクルフリー露光方式では、従来のガラスレチクルと透過型 LCD パネルを置き換えるだけで、マスクレスリソグラフィが実現できることから、最も低コストな方法で QTAT オンライン電子回路パターンニング技術を実現できると考えられる。

これまでに、マスクレスリソグラフィ技術を実際に半導体集積回路やプリント配線基板などの電子機器産業へ応用し、実証した例は報告されていない。そこで、本研究では、最も低コストな方法で QTAT オンライン電子回路パターンニング技術を実現できるレチクルフリー露光方式を応用し、電子機器産業への実用性を検証する。しかし、実用性の検証にあたっては解決すべき課題がいくつかある。まず、レチクルフリー露光方式をどのようにして既存の露光装置に導入するかという課題であり、特に LCD に表示させたパターンと基板上に形成されたパターンの位置合わせを行う重ね合わせ露光への対応が重要な課題である。次に、パターン設計の観点から、LCD を用いたパターン形成では、レイアウト設計のグリッドサイズが従来のガラスレチクルを用いた場合よりも大きいため、回路のレイアウト面積が肥大化し、集積化の観点から問題が生じると考えられる。したがって、レイアウト面積を可能な限り小さくできる設計方法を検討する必要がある。また、実際にオンライン化するためのシステムの構成をどうするかを検討しなければならない。更に、LCD パネルを用いた露光方式では LCD パネルの透過率が低いために、従来技術に対して露光時間が長くなるという問題がある。したがって、QTAT 化の観点から露光時間をより短縮化することは解決すべき重要な課題である。

本技術をレチクルフリー露光方式で実現し、どのような電子機器に應用することができるのか、実用性の検証を行うにあたっては、重要な検討事項である。レチクルフリー露光方式では、透過型 LCD パネルを用いているため、縮小投影光学系を用いても解像限界が  $0.5\ \mu\text{m}$  程度であり、デバイスの加工寸法が  $0.5\ \mu\text{m}$  程度までは対応可能であると考えられる。図 1-27 にレチクルフリー露光方式の位置付けと適用可能なターゲットデバイスの例を示す。加工寸法が  $0.5\ \mu\text{m}$  以下の現在量産されているデバイスや、加工寸法が  $0.1\ \mu\text{m}$  あるいはそれ以下の最先端デバイスへの適用は難しいが、電子機器産業を支える主要なデバイスへの適用は十分に可能であると考えられる。

電子機器を実現するために必要不可欠なプリント配線基板は、加工寸法が  $100\ \mu\text{m}$  ~  $10\ \mu\text{m}$  程度であり、LCD の画素ピッチが  $20\ \mu\text{m}$  程度であることを考慮すると、等倍の露光システムで対応することが可能である。また、縮小投影の露光システムに組み込むことで、加工寸法が数  $\mu\text{m}$  のアナログデバイス、ディスクリート(個別半導体)や自動車用として用いられているパワーデバイスなどへの適用も可能となる。また、移動体通信、無線 LAN 等、情報化社会の急激な発展により、より高性能な通信システムを実現するデバイスの開発が期待されており、小型化、低コスト化、低消費電力化を実現できる高周波アナログ回路が求められているが、この構成要素であるアンテナ、フィルタ、整合回路といった受動素子の加工寸法も数  $\mu\text{m}$  程度で実現できることから [64][65]、この分野への適用も可能となり、高周波デバイス開発に貢献できると考えられる。更に、近年、

センサ、光デバイスをはじめとして多くの分野で応用され、急激な進展・展開が進んでいるMEMS(Micro ElectroMechanical System)技術[66][67]に適用することも可能である。

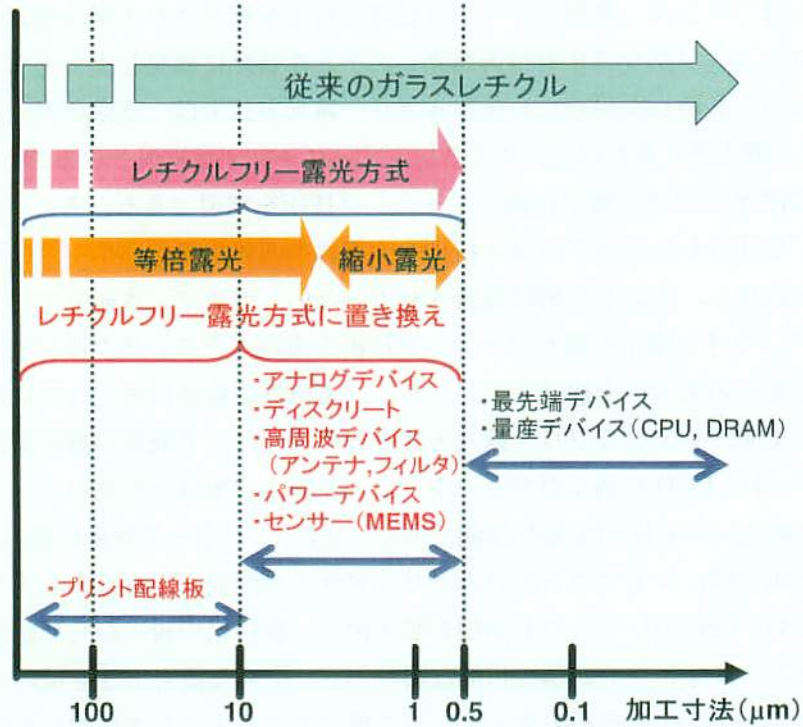


図1-27 レチクルフリー露光方式の位置付けと適用可能な電子デバイス

## 1.9 本研究の目的

本研究の目的は、1.8節に述べた課題を解決し、半導体集積回路やプリント配線基板等の電子機器産業の製造工程における QTAT 化と開発コストの低減を目指し、従来のガラスマスクやガラスレチクルの作製を必要とせず、すべて電子媒体でかつオンラインで設計データをやり取りし、基板上に任意の設計パターンを瞬時に転写するための露光技術の開発と実用化を目的に行われた。

### 1.10 本論文の構成

第1章「序論」では、半導体集積回路が転換期にあり、多品種少量生産に移行しつつある現状を述べ、リソグラフィ技術とフォトマスクの現状、マスクレスリソグラフィの現状、電子機器開発の現状について述べ、フォトリソグラフィの観点から現在の電子機器開発の抱える問題点を指摘した。また、透過型 LCD を従来のガラスレチクルの代わりに用いたレチクルフリー露光方式の要素技術についてまとめ、QTAT オンライン電子回路パターンニング技術を実現するために最も適したマスクレスリソグラフィ技術とし、電子機器産業へ応用するために解決すべき課題を述べ、本研究の目的を明確にした。

第2章「レチクルフリー露光技術を適用した半導体集積回路の設計と試作」は、レチクルフリー露光方式を既存の縮小投影露光装置(ステッパ)に適用し、半導体集積回路の設計と試作により本技術の実用性を検証する。レチクルフリー露光方式を既存のステッパに導入するために課題となっていた各層の重ね合わせ露光に対応するために、アライメントマークが搭載された LCD レチクルを新規に開発および試作し、その実用性の検証を行う。また、実際に4層構造の MOSFET(Metal Oxide Semiconductor Field Effect Transistor)集積回路の設計と試作を行い、従来技術との比較検討も行う。

第3章「レチクルフリー露光方式における MOSFET の省面積化設計」は、レチクルフリー露光方式を実際の半導体集積回路設計に応用する際に用いる省面積化設計法について検討する。LCD パネルを用いたパターン形成においては、回路パターンの寸法調整は画素単位で変更することとなり、従来のガラスレチクルのように細かいグリッドサイズでの寸法の微調整ができない。このため、所望の駆動能力を得ようとする MOSFET のレイアウト面積が肥大化するという課題があった。これを解決するための省面積化設計法の検討を行う。

第4章「プリント配線基板用オンライン等倍露光装置の開発」は、レチクルフリー露光方式を QTAT オンライン電子回路パターンニング技術として応用した結果について述べる。具体的にはレチクルフリー露光方式をプリント配線基板の作製に適用し、設計システムから露光装置まで、全てをオンライン化した露光システムを構築した結果について述べる。また、実際にプリント配線基板のテストパターンの露光実験を行い、設計完了後、直ちに露光が可能であることを実証する。本システムは、設計と製造を直接結び付ける全く新規な生産方式を提案するものであり、今後のプリント配線基板の技術革新に大きな影響を与えるものと期待される。特に、新しいデバイスの試作段階に適用することが最も有効であると考えられ、開発コストの大幅な削減と、開発期間の QTAT 化が期待される。

第5章「レチクルフリー露光方式における露光時間の改善に関する検討」では、LCD パネルを用いた露光方式が従来の露光方式に対して露光時間が長いという問題があり、いかにして従来技

術の露光時間に近づけるかについて検討を行う。まず、露光時間が長くなっている原因を解明するために、現行のパネル構造に着目し、偏光フィルムや LCD パネルの透過率の測定を行った結果について述べる。続いて、液晶プロジェクターの高輝度化技術のために開発されている偏光変換光学系の応用や、高精細・高開口率透過型 LCD パネルの応用を検討し、従来技術の露光時間に近づけるための方針を示す。

第 6 章「結論」は、本論文で得られた結果をまとめ、本論文を総括する。

本研究により、QTAT オンライン電子回路パターンニング技術が、半導体集積回路やプリント配線基板等の電子機器産業へ応用可能であることを初めて実証する。



## 第2章 レチクルフリー露光技術を適用した半導体集積回路の設計と試作

### 2.1 はじめに

半導体集積回路用の露光装置として最も活用されているのが縮小投影露光装置(ステッパ)である。ステッパは、ガラスレチクル上に形成されている回路パターンを縮小レンズにより縮小し、半導体基板上に回路パターンを転写するものである。半導体集積回路は、数十から数百の工程を経て形成されるため、従来方式ではその分だけのガラスレチクルが必要となる。

一方、ガラスレチクルの代わりにLCDを用いたレチクルフリー露光方式をステッパに適用すれば、電子データで表示パターンを自由に変えることが可能となるため、1枚のLCDパネルでレチクルを交換することなく、複数枚の回路パターンを半導体基板上に転写することが可能となる。

そこで、本章では、レチクルフリー露光方式をステッパに適用し、半導体集積回路の設計と試作を行うことにより、本技術の実用性を検証するのが大きな目的である。

レチクルフリー露光方式をステッパに導入するためには、LCDパネル上のパターンと半導体基板上のパターンを如何にして重ね合わせるかが重要な課題であった。これを解決するために、LCDパネルを従来のガラスレチクルに高精度に搭載したLCDレチクルの開発を行い、実際にプロトタイプを試作し、露光実験により重ね合わせ露光の検証を行う。更に、レチクルフリー露光方式を適用した半導体集積回路の設計を実際に行い、従来の一般的な設計ルールとの比較を行う。最後に、集積回路の試作を行い、レチクルフリー露光方式の半導体集積回路作製への適用性を検証する。

### 2.2 LCDレチクルの作製

1.8節ではQTATオンライン電子回路パターンニング技術をレチクルフリー露光方式で実現し、半導体集積回路やプリント配線基板に適用することにより、QTAT化、低コスト化が期待できることを示した。低コスト化をさらに目指すと、既存の露光装置をそのまま流用したほうが有利であり、流用する装置(ステッパやアライナー)を改造することなくレチクルフリー露光方式を適用することが出来ると、さらにコスト的に有利となる。この条件を満たすためには、

- 従来のガラスレチクルとの形状互換性
- 従来のガラスレチクルのように透過光で露光が可能
- 露光装置のアライメント光学系(付録A参照)に対応していること

といった特徴を持つものが必要となる。本節では、透過型LCDパネルを用いたこのような特徴を持つ機器をLCDレチクルと呼ぶ。以下にNikon社製g線ステッパ(NSR-1505 G3A)を想定し、LCDレチクルの設計と試作を行い、重ね合わせ露光の実証検証を行った結果について述べる。

#### 2.2.1 LCDレチクルの作製方式の検討

まず、LCDレチクル作製にあたってのポイントを示す。このLCDレチクルはg線ステッパ(Nikon社製: NSR-1505 G3A)に適したLCDレチクルである。先に示した条件に対応するためには、以下の3点が重要なポイントとなる。

- 1) レチクルアライメントが可能である。

- 2) LCD とガラスレチクルの座標系が一致している。
- 3) LCD のパターン面であるブラック・マトリクス面が、露光装置光学系のレチクルステージ焦点面(ガラスレチクルのクロムパターン面)に一致している。

1)を可能とするためには、ステッパのレチクルアライメント仕様にあったアライメントマークを予めガラスレチクル上にパターン形成することとした。2)については、液晶パネルの有効画素領域に相当する部分を光が透過するように、予めガラスレチクル中心に開口パターン形成を形成した。この開口部に対して、LCD パネルを貼りあわせることにより LCD とガラスレチクルの座標系を一致させることができる。このように 1)と 2)に関しては、ガラスレチクル基板上に予め所望のパターンを形成することで対応できる。図 2・1 に LCD を搭載するためのガラスレチクル基板の概略図を示す。3)については、ガラスレチクル上のクロム面と液晶のブラック・マトリクス面を合わせる必要がある(図 2・2)。LCD パネルは構造上、ブラック・マトリクス面の上下に約 1 mm 程度のガラス基板がある(図 2・3)。従って、LCD ブラック・マトリクス面に露光光学系の焦点をあわせるためには、入射光側ガラス基板の約 1 mm の厚さをステッパのガラスレチクル上における焦点のオフセット量である  $\pm 50 \mu\text{m}$  以内に吸収させる必要がある。この高さ方向のずれを液晶パネル側で吸収させるか、ガラスレチクル基板側で吸収させるかで焦点合わせが実現できると考え、液晶パネルの入射光側ガラス基板を焦点オフセット量  $\pm 50 \mu\text{m}$  以内まで研磨する LCD パネル研磨方式と、液晶パネルの入射光側ガラスの厚さに相当する分だけ石英ガラスレチクル基板を削るレチクル基板切削加工方式の 2 つの方式を検討した。

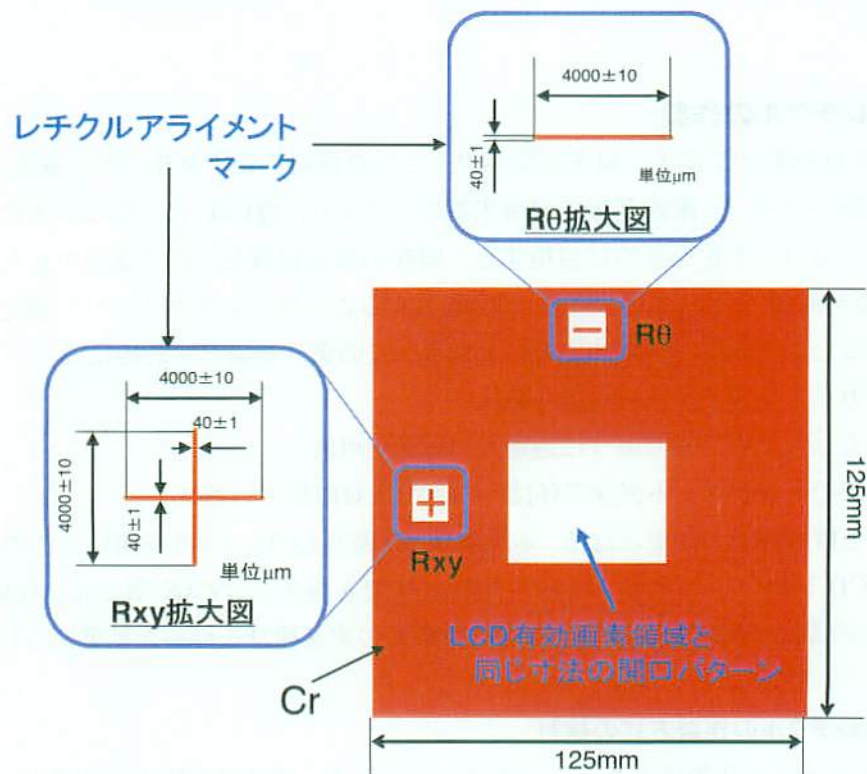


図2-1 LCD を搭載するガラスレチクル基板の概略図

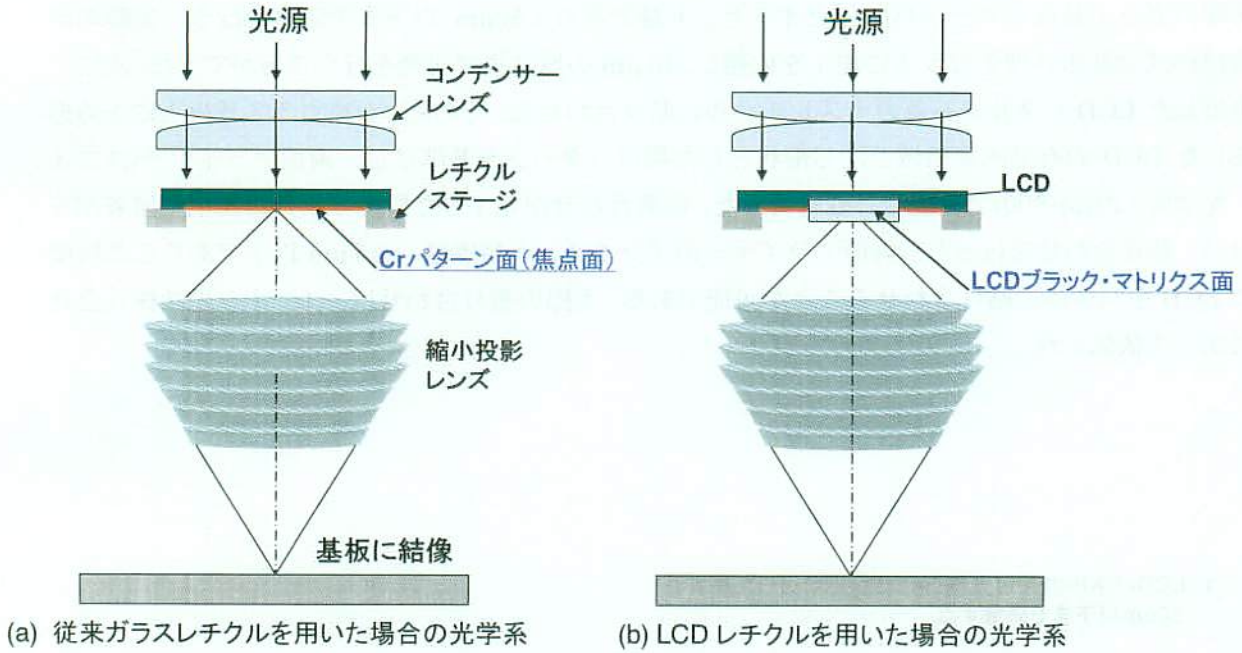


図2-2 従来の露光装置光学系とLCDレチクルを用いた場合の光学系の概略図

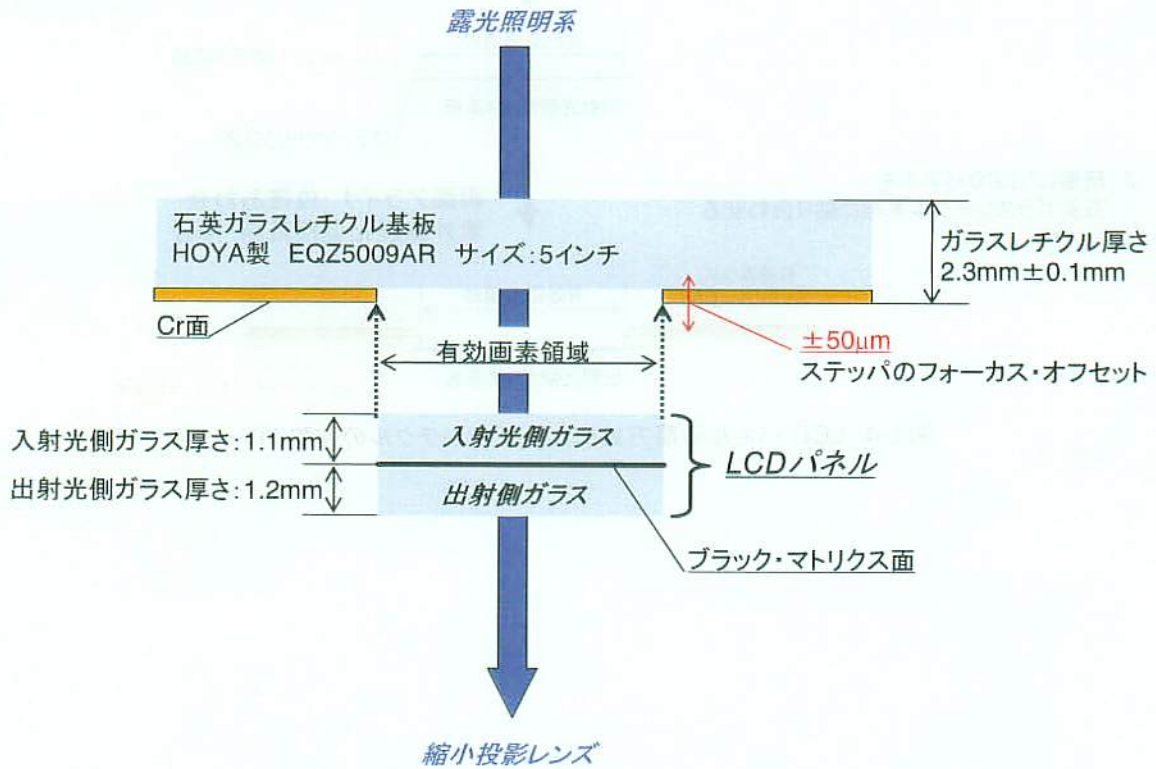
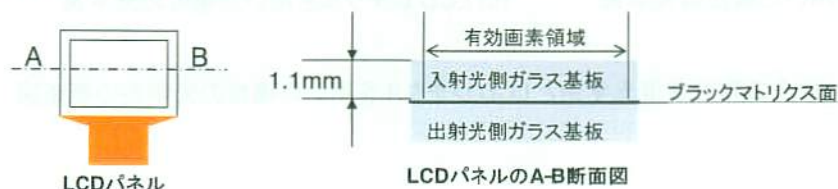


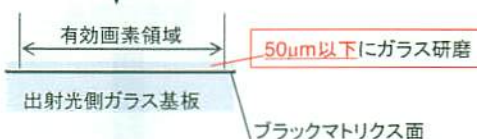
図2-3 ガラスレチクル基板とLCDパネルの関係

図2-4にLCDパネル研磨方式によるLCDレチクルの作製フローを示す。まず、LCDの入射光側のガラス基板をステッパの焦点オフセット量である $\pm 50\mu\text{m}$ 以下まで研磨を行う。実際の研磨は株式会社水戸理化ガラスに加工を依頼し、 $46\mu\text{m}$ の厚さまで研磨を行うことができた。次に、研磨したLCDパネルを石英ガラスレチクルに貼り合わせる。その際、石英ガラス基板に予め形成したLCDの有効画素領域と同じ形状をした開口パターンを基準にし、両面アライナー(ユニオン光学製、PEM-800)で位置合わせを行った。位置合わせが完了した段階で紫外線硬化型接着剤を用い、貼り合わせを行った。両面アライナーのアライメント精度は、 $\pm 5\mu\text{m}$ 以下でありこの精度でLCDをパネルに貼り合わせることが可能である。実際の張り合わせは、ユニオン光学株式会社に加工を依頼した。

1. LCDパネルの入射光側(対向電極側)ガラス基板を  
 $50\mu\text{m}$ 以下まで研磨する



入射光側(対向電極側)ガラスを $50\mu\text{m}$ 以下まで研磨



2. 研磨したLCDパネルを  
石英ガラスレチクル基板に貼り合わせる

両面アライナー:位置あわせ  
紫外線硬化型接着剤:接合

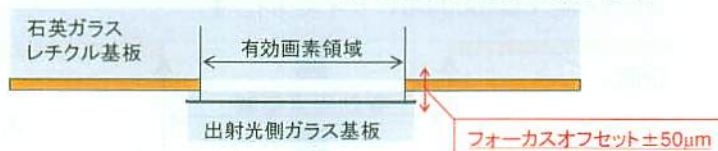


図2-4 LCDパネル研磨方式によるLCDレチクルの作製フロー

図2-5にレチクル基板切削加工方式の作製フローを示す。まず、石英ガラスレチクル基板をLCDパネルの入射光側ガラスの厚さだけ切削加工を行う。実際の切削加工は、FHP エンジニアリング株式会社に依頼し、加工物の表面に粒材を打ち付けて削り出すブラスト加工を行った。LCDパネルの張り合わせは、LCDパネル研磨方式と同様に両面アライナーと紫外線硬化型接着剤を用いたが、ブラスト加工をすると切削した下面がすりガラス状となり、露光光が透過しなくなるため、硬化後の屈折率が石英と同じになるような紫外線硬化型接着剤を加工部に流し込み貼り合わせを行った。この方式により、すりガラス状を透明に仕上げることが可能である。

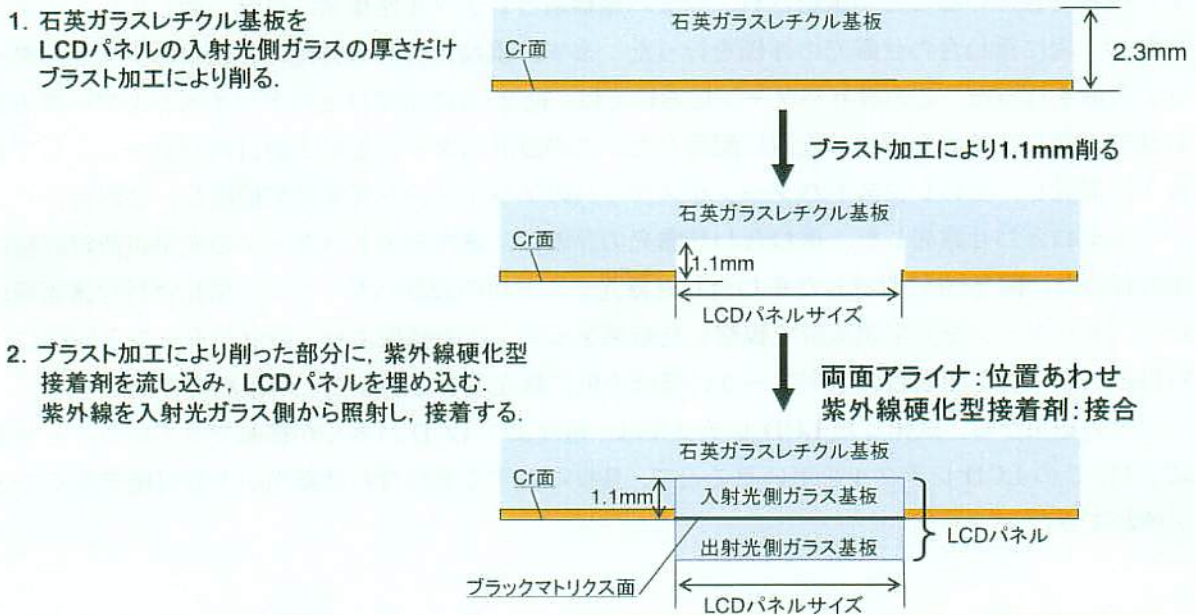


図2-5 レチクル基板切削加工方式によるLCDレチクル作製フロー

### 2.2.2 プロトタイプを試作結果と露光実験による検証

図2-6に試作したプロトタイプ LCD レチクルの写真を示す。これは出射光側からみた写真で、LCD パネルがレチクル基板の中央に搭載されている。図2-6(a)は、LCD パネル研磨方式で試作した LCD レチクルで、搭載している LCD パネルは、表1-4に示した TYPE1 の LCD パネルである。図2-6(b)は、レチクル基板切削加工方式で試作した LCD レチクルで、搭載している LCD パネルは、表1-4に示した TYPE2 の LCD パネルである。

LCD パネルの張り合わせ精度を確認するために、実際にステップ&リピート露光のテストを行った。まず、図2-6(a)の LCD レチクルを用いて評価を行った。その結果を光学顕微鏡で観察した結果を図2-7に示す。また、図2-7には従来のレチクルアライメントマークが無いタイプのもので露光した結果も比較対象として示す。露光には6インチの Si ウェハ上に g 線レジスト(東京応化製：OFPR-800 20cp)を膜厚 1  $\mu\text{m}$  で形成したものをを用いた。

露光結果から、レチクルアライメントマークが無いものでは、LCD の 1 画面に相当する部分の境界において、約 110  $\mu\text{m}$  のずれが発生している。それに対し、試作した LCD レチクルでは、画面の境界部分でのずれは観察されなかった。この結果より、LCD パネルが精度よくレチクル基板上に搭載できていることが確認され、ウェハ座標系とレチクル座標系がほぼ一致していると考えられる。次に重ね合わせ露光の評価を行った。まず、重ね合わせの露光の評価用のテストパターンを設計を行った。この設計パターンにおいては、図2-8に示すウェハアライメントマークも合わせて設計し、それを所望の位置に配置した。この設計パターンを第1層目のパターンとして基板上に形成し、そのレジストパターンをステッパのアライメント光学系で検出し、2層目のパターンを重ね合わせ露光した。重ね合わせ露光の評価は、露光テストパターンの光学顕微鏡観察により行った。図2-9に設計した重ね合わせ露光テスト用の設計パターンと、重ね合わせ露光後のレジストパターンを光学顕微鏡で観察した結果を示す。この結果より、設計パターンと同様に 2 層目のパターンが 1 層目の十字マークのほぼ中央に露光できていることが確認できた。

以上の結果から、試作した LCD レチクルは、精度よく LCD パネルが搭載できていることが確認され、この LCD レチクルを用いることで、基板に対する重ね合わせ露光が十分可能であることが確認できた。

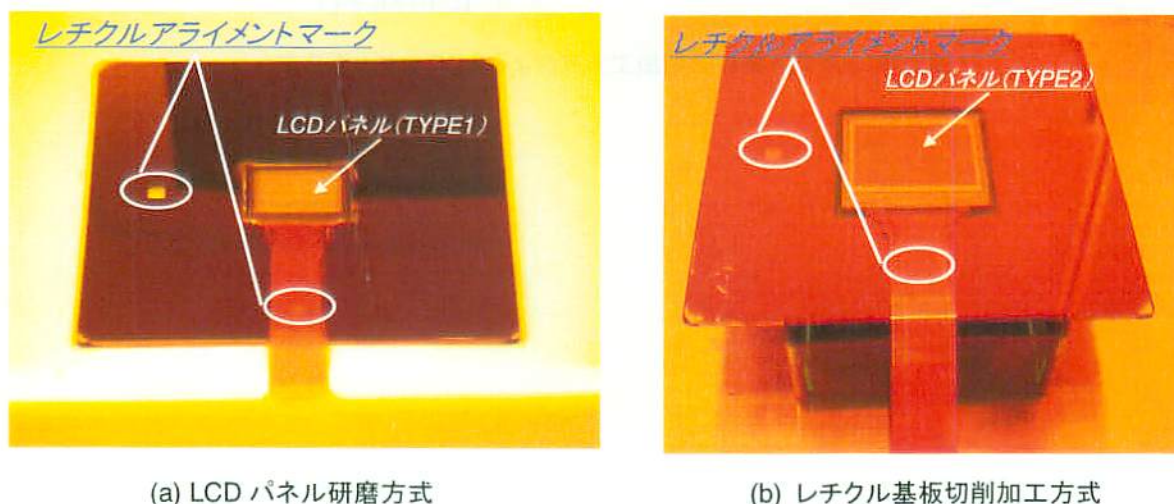


図2-6 試作したプロトタイプ LCD レチクルの写真

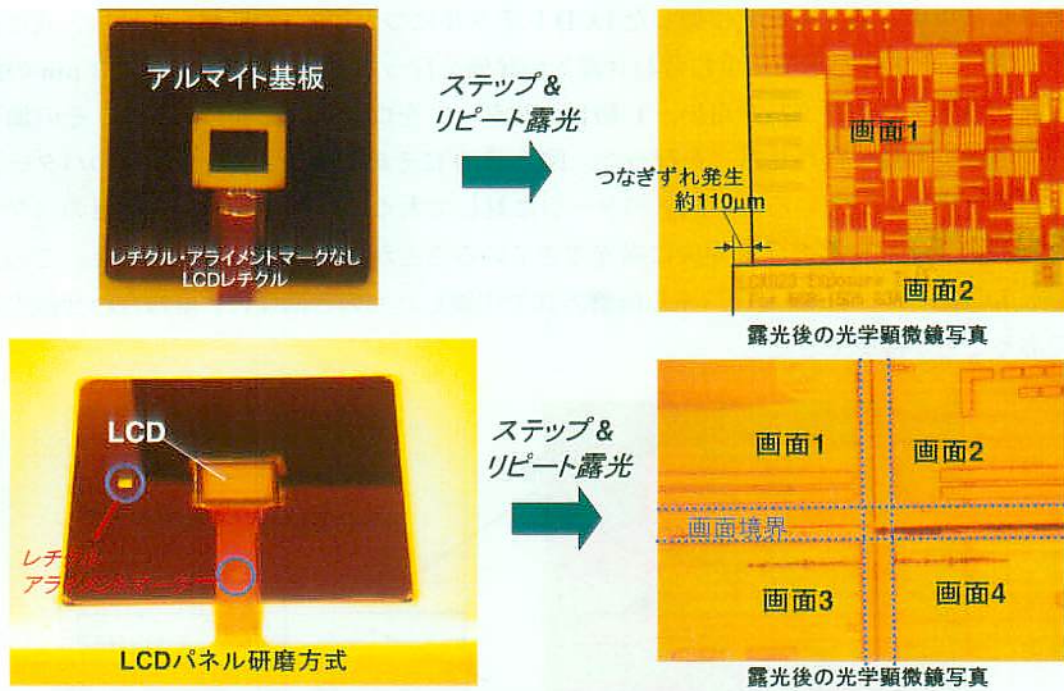


図2-7 LCDレチクルを用いたステップ&リピート露光の結果

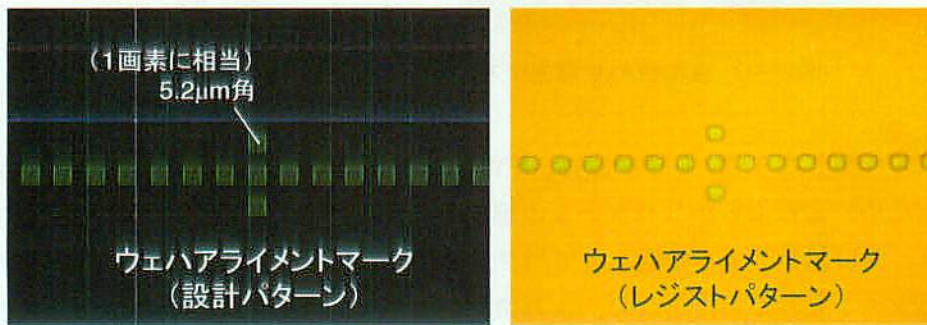


図2-8 ウェハアライメントマークの設計パターンとレジストパターン

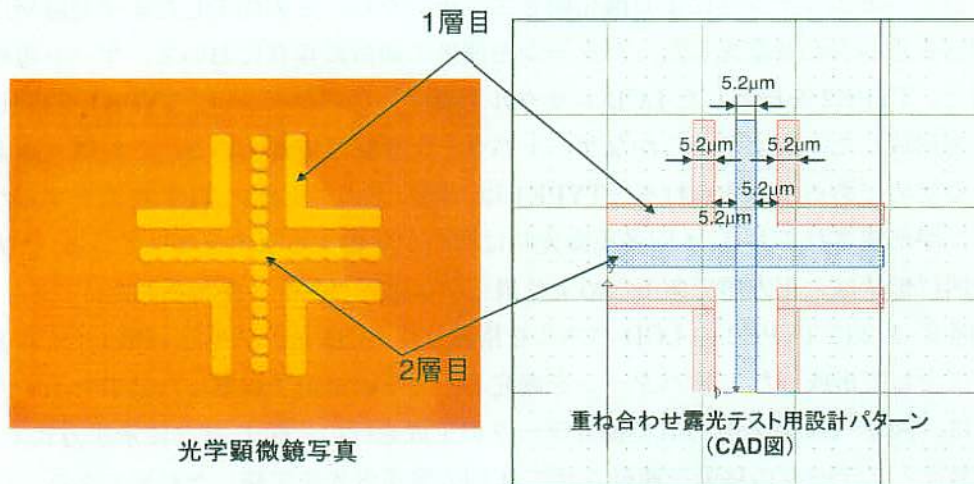


図2-9 重ね合わせ露光テスト用設計パターンと露光後の顕微鏡写真

レチクル基板切削加工方式で作製した LCD レチクルについても LCD パネル研磨方式により作製した LCD レチクルと同様に重ね合わせ露光の評価を行った。この評価では、 $0.3\ \mu\text{m}$  の熱酸化膜が表面に形成されたウェハを用い、1 層目のパターンをウェットエッチングし、その加工後のパターンに対して重ね合わせ露光を行った。図 2・10 にその結果を示す。1 層目のパターンは、ウェットエッチングしているため設計パターンに対して太くなっているが、2 層目のパターンはこの 1 層目の十字マークのほぼ中央に露光できていることが確認できた。以上より、この方式で作製した LCD レチクルも LCD パネル研磨方式で作製したものと同様に、重ね合わせ露光が十分可能であることが確認できた。

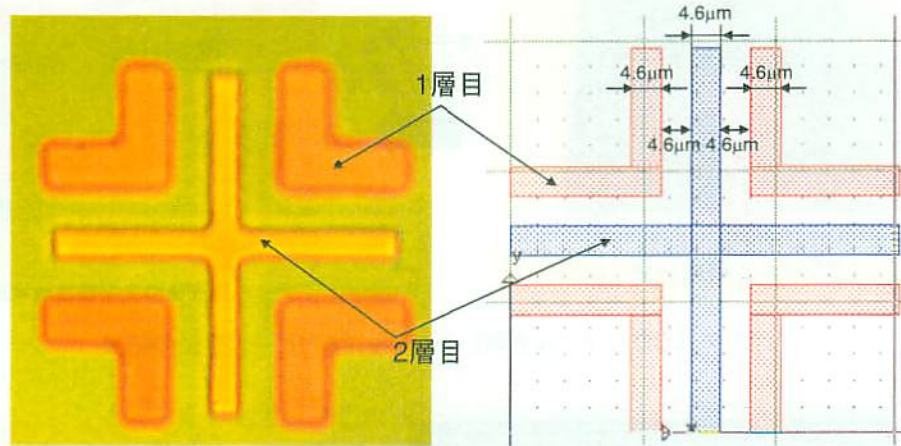


図2-10 重ね合わせ露光テスト結果(レチクル基板切削加工方式)

この方式で作製した LCD レチクルは、TYPE2 の LCD パネルを搭載しており、開口形状が正方形であるため、より滑らかなパターンの形成が可能であることが予想される。また、開口率が 25% であり、開口部サイズを単位としてパターンを設計し、露光することで画素サイズの  $1/2$  のサイズのパターン転写が可能となり、より微細なパターンの形成が期待される。そこで、それぞれの方式で露光パターン形状の比較および解像度の評価を行った。図 2・11 にそれぞれの方式で露光した MOSFET パターンを光学顕微鏡で観察した結果を示す。この実験では、素子分離層を露光後、ウェットエッチングにより酸化膜をエッチングし、この加工した素子分離層に対してゲート電極層を重ね合わせ露光した。パターン形成後の顕微鏡写真において、ゲート電極層に注目してみると、TYPE2 を搭載した LCD レチクルで形成したパターンは、TYPE1 を搭載した LCD レチクルで形成したものより滑らかなゲートパターンが転写できている。これは、画素の開口形状が異なるためであると考えられる。TYPE1 は、開口部の左上部に TFT を遮光するための特殊なパターンが形成されており、4 回多重露光時に凹凸が発生する原因となっている。一方、TYPE2 の画素の開口形状は、正方形であるためより滑らかな露光パターンが得られた。

また、図 2・12 に TYPE2 の LCD パネルを搭載した LCD レチクルで、開口サイズを最小パターンサイズとして形成した L/S パターンを露光し、光学顕微鏡で観察した結果を示す。この露光パターンは、図 1・22 に示す方式で露光データの生成を行い、図 1・23 に示す方式で 4 つの画像の切り替えとステージの移動を連動させて 4 回の多重露光を実施した結果である。この結果から、開口サイズを最小単位とした露光パターンの転写が可能であり、より微細なパターンが基板上に転写可能であることが確認できた。



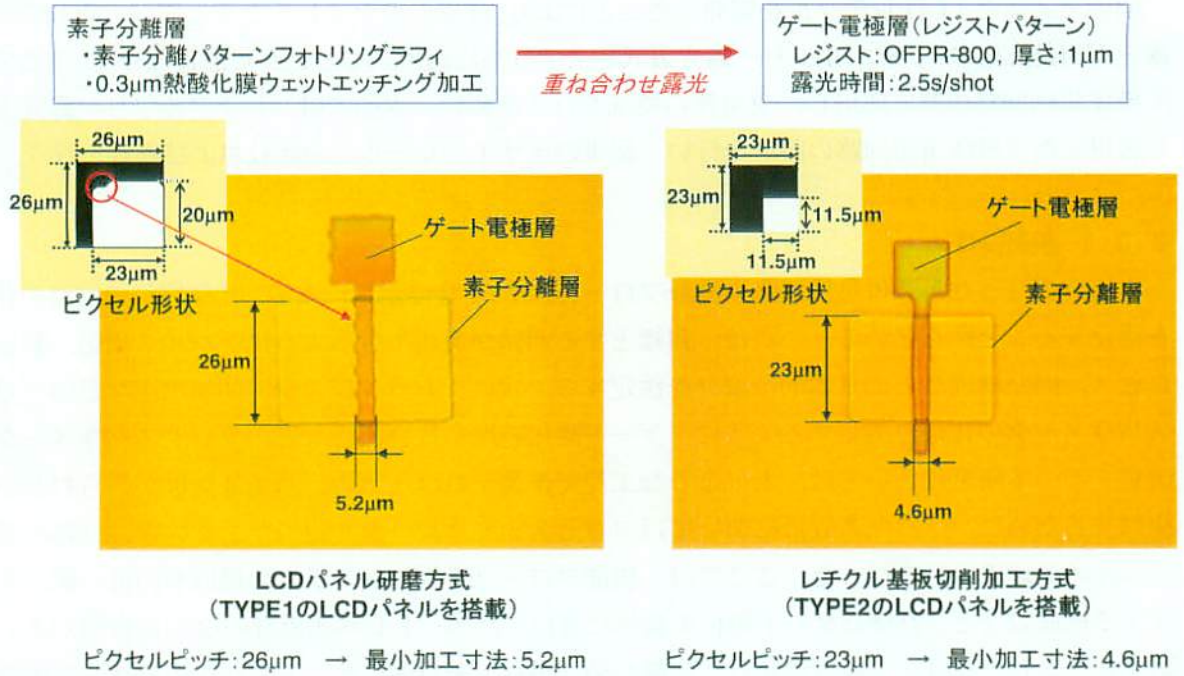


図2-11 2つの方式で転写した MOSFET パターンの光学顕微鏡観察結果

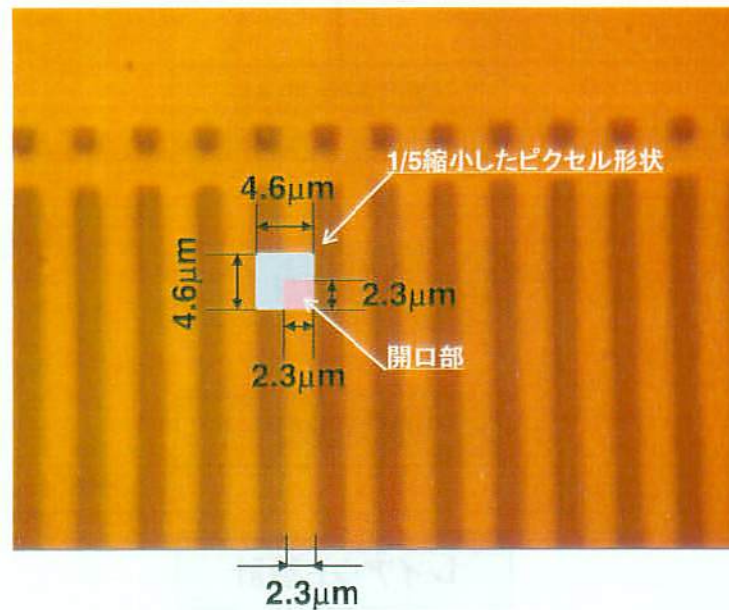


図2-12 TYPE2 の LCD パネルで露光した L/S パターンの光学顕微鏡観察結果

## 2.3 半導体集積回路の設計

前節で述べたLCDレチクルを開発したことにより、従来のガラスレチクルと同様に重ね合わせ露光が可能となり、レチクルフリー露光方式をステッパに適用することが可能となった。そこで、半導体集積回路作製に応用し、実用性の検証を行うために、本節では、レチクルフリー露光方式を適用した半導体集積回路の設計を行い、従来のデザインルールとの比較および考察を行う。

### 2.3.1 設計フロー

本研究で行った半導体集積回路の設計フローを図2-13に示す。まず、仕様検討で回路の仕様を決定することから始める。これは、目標とする回路が実現できるようにデバイス構造、製造プロセス、回路構成などの基本的な部分を決定する。次に、トランジスタの閾値電圧などのデバイスパラメータの仕様を満足するように、ゲート酸化膜厚や接合深さなどのプロセスパラメータを決定する。本研究においては、どのような工程で作製すれば所望のデバイス特性が得られるかを検討するために、プロセス設計においてはプロセスシミュレータを用いた。その後、回路を実現するための論理設計を行った。ここでは、機能ブロック単位でシステムの構成や内部の動作を決定する機能設計と、詳細なゲート単位の動作に着目したゲートレベル設計の2つの段階があり、論理シミュレーションで設計の正しさを確かめながら、最終的にゲートレベルの論理回路図を得た。論理回路図は、回路設計によってトランジスタレベルの回路図に変換し、最後に、マスクパターンを作るためのレイアウト設計を行った。

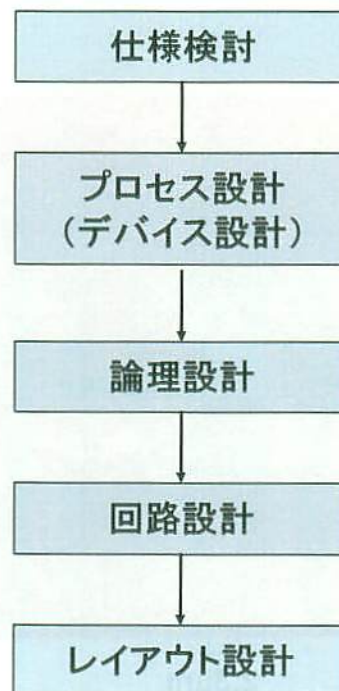


図2-13 設計フロー

### 2.3.2 仕様検討

LCD レチクルを用いたレチクルフリー露光方式の実用性の検証を行うにあたり、2層以上の重ね合わせ露光を行う半導体集積回路を試作することにした。この試作の製造プロセスとしては、素子分離層、ゲート電極層、コンタクト層、金属配線層の4層で構成されるn型MOS(n-MOS)FET作製プロセスを想定し、デジタル回路の基本的な要素である乗算器やリングオシレータ、単体のMOSFETを設計・作製することにした。試作する集積回路の基本仕様を表2-1に示す。ここでは、TYPE1のLCDパネルを搭載したLCDレチクルを用いて半導体集積回路を作製することを想定したため、最小加工寸法は $5.2\ \mu\text{m}$ とした。

表2-1 設計する集積回路の基本仕様

項目	仕様
電源電圧	5.0 V
閾値電圧	1.5 V
最小加工寸法	$5.2\ \mu\text{m}$ (1画素サイズの1/5)
チップサイズ	5.3 mm×4.0 mm (1024画素×768画素)
マスク構成	1層目：素子分離層 (Active 層) 2層目：ゲート電極層 (Gate 層) 3層目：コンタクト層 (Contact 層) 4層目：金属配線層 (Metal 層)
トランジスタ数	1000 ゲート
チップ構成	<ul style="list-style-type: none"> <li>・4 bit×4 bit 乗算器</li> <li>・リングオシレータ</li> <li>・トランジスタ特性測定用単体 MOSFET</li> <li>・拡散抵抗、コンタクト抵抗、配線抵抗測定パターン</li> </ul>

### 2.3.3 プロセス設計

プロセス設計によって、n-MOSFETの構造を実現するために、ウェハプロセスにおける条件を定めた。まず、n-MOSFETを形成することを想定し、その作製プロセスフロー検討し、閾値電圧などのデバイスパラメータが所望の値になるように、ゲート酸化膜厚や接合深さなどのプロセスパラメータの最適条件を求めた。ここでは、プロセスシミュレータ(Silvaco International 社製：ATHENA)とデバイスシミュレータ(Silvaco International 社製：ATLAS)を用い、どのような工程で作製するかを検討を行った。

まず、閾値電圧を1.5Vにするための基板不純物濃度とゲート酸化膜厚を求めるシミュレーションを行った。ここでは、ドライ酸化によるゲート酸化膜形成を想定した。図2-14にゲート酸化膜厚に対する閾値電圧の変化のシミュレーション結果を示す。この結果から、閾値電圧を1.5Vとするためには、不純物濃度が $3 \times 10^{16}\ \text{cm}^{-3}$ の場合は酸化膜厚63 nm、 $3 \times 10^{17}\ \text{cm}^{-3}$ の場合は酸化

膜厚 18 nm というパラメータを得た。次に、この酸化膜厚を得るためには、どのような条件で熱酸化膜を形成するかを調査する必要がある。そこで、酸化時間と温度に対する酸化膜厚の変化についてシミュレーションを行った。その結果を図2-15に示す。この結果から、基板不純物濃度が  $3 \times 10^{16} \text{ cm}^{-3}$  で、酸化温度が  $1000^\circ\text{C}$  の場合、酸化時間が約 60 min で 68 nm の酸化膜厚が得られ、基板不純物濃度が  $3 \times 10^{17} \text{ cm}^{-3}$  で、酸化温度が  $900^\circ\text{C}$  の場合は、酸化時間が約 40 min で 18 nm の酸化膜厚が得られることが分かった。本研究においては、基板不純物濃度が  $10^{16} \text{ cm}^{-3}$  程度の基板を用いるため、ゲート酸化膜厚を 68 nm とし、その酸化膜厚を得るために  $1000^\circ\text{C}$  で 60 min の熱処理条件で作製することとした。図2-16にシミュレーション結果を反映しプロセス設計を行った n-MOSFET 形成のプロセスフローを示す。

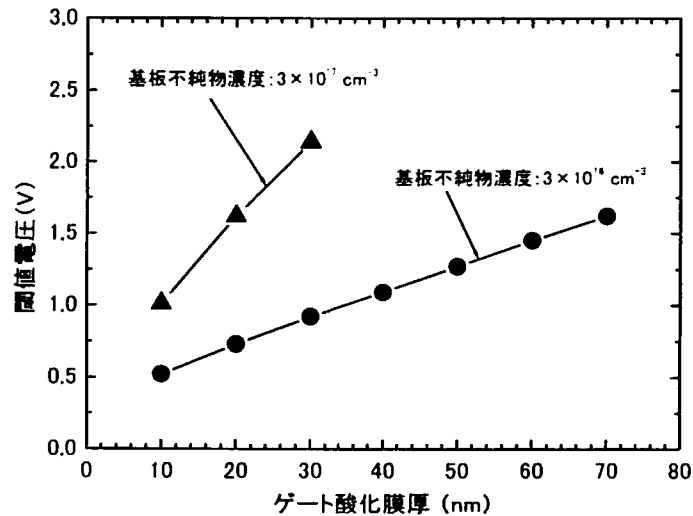


図2-14 ゲート酸化膜厚－閾値電圧特性(シミュレーション結果)

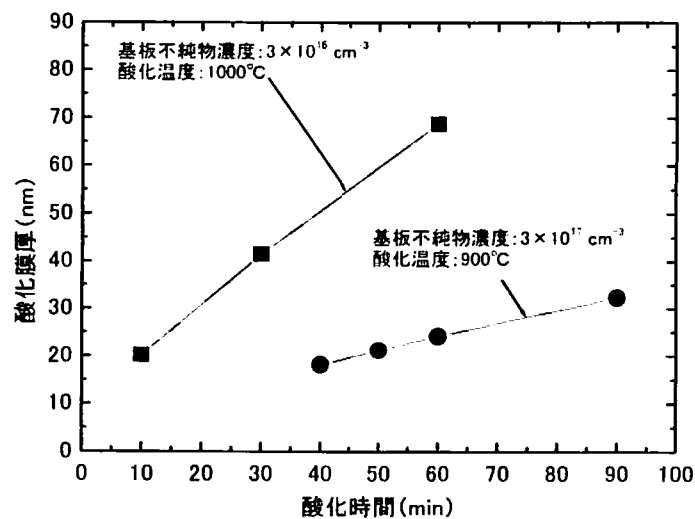


図2-15 酸化時間－ゲート酸化膜厚特性(シミュレーション結果)

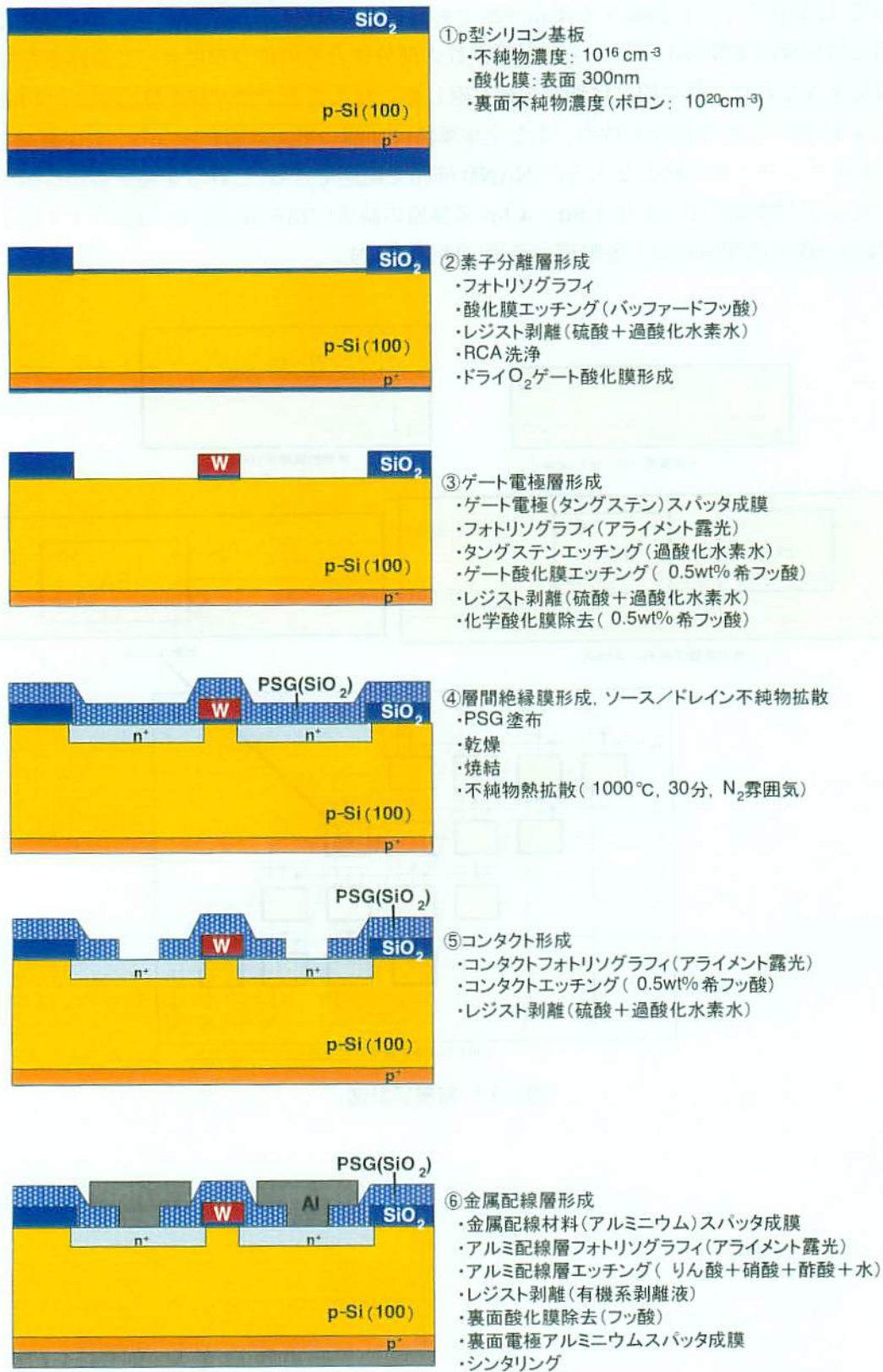


図2-16 n-MOSFET 形成のプロセスフロー

### 2.3.4 論理設計

本項では、試作チップに搭載する集積回路である 4 bit×4 bit 乗算器の論理設計について述べる。乗算器とは乗算の筆算のように、乗数と被乗数の部分積とその部分和によって乗算をおこなう回路構成となっており、基本的には加算の繰り返しおこなうことで積の解を算出する。4 bit×4 bit 乗算器は 16 個の全加算器から成り、また全加算器は 2 個の半加算器からなる。半加算器は、最下位層であるインバータ回路と 2 入力の NAND 回路で記述できる。これらを最下層から順次積み上げて設計を行う階層設計により 4 bit×4 bit 乗算器の論理回路を設計した。図 2-17 に 4 bit×4 bit 乗算器全体の論理回路図と各階層の論理回路図を示す。

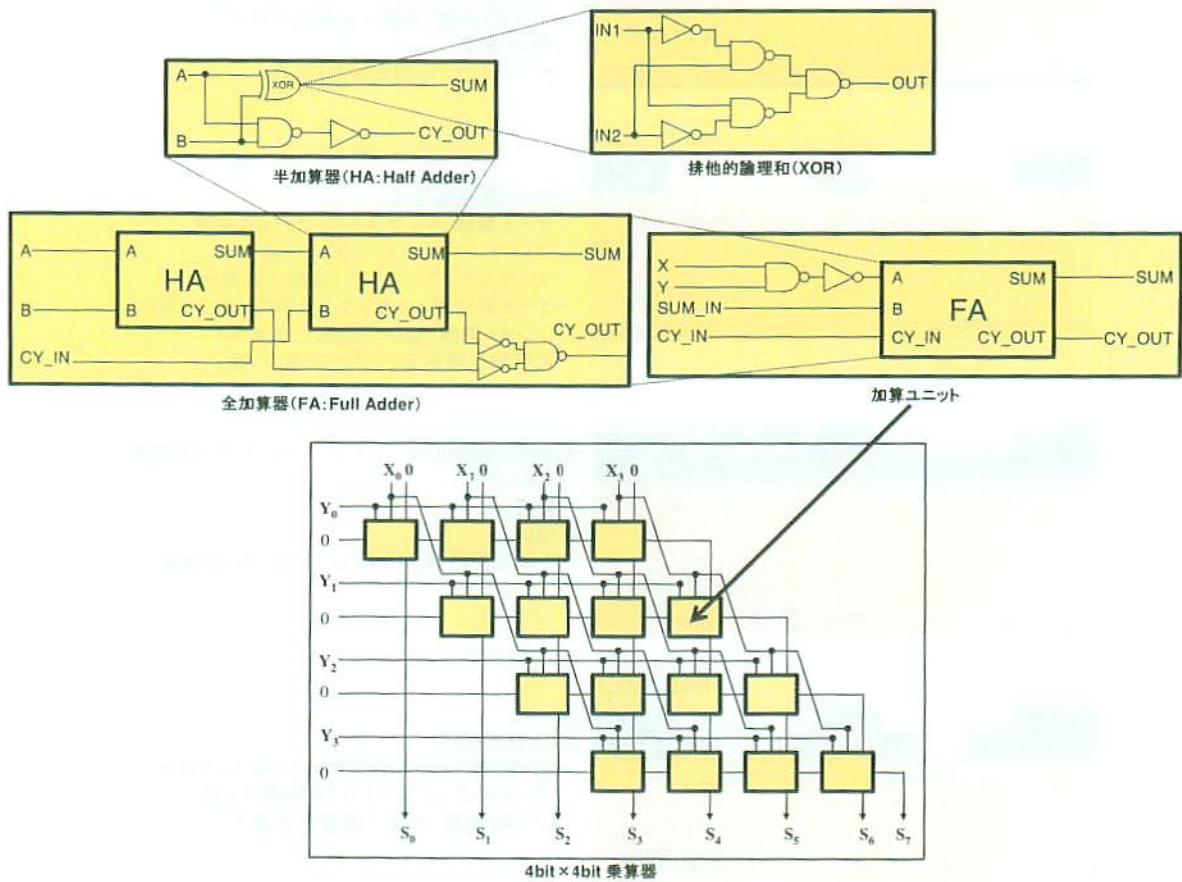


図2-17 階層設計図

## 2.3.5 回路設計

回路設計では、論理設計の結果よりインバータ回路や2入力NAND回路などのゲートレベルの回路からMOSトランジスタレベルの回路構成と素子特性の決定を行った。素子特性の決定では、所望の駆動能力が得られるようにゲート長やゲート幅の寸法を決めた。本項では、階層設計において最下位レベルの基本素子であるインバータ回路と2入力NAND回路をn-MOSFETのみを用いて設計した。

論理回路の基本はインバータ回路であり、これを变形して2入力NAND回路を構成できる。これは駆動トランジスタ( $Tr_d$ )と負荷トランジスタ( $Tr_u$ )からなっているが、前者は接地側に接続し、後者は電源側に接続する。本研究では、 $Tr_u$ を負荷抵抗の代わりに用い、 $Tr_d$ がオン状態のとき、出力電圧のレベルが両トランジスタの抵抗比で決まるレシオ回路[68]を用いた。電源電圧を $V_{dd}$ 、負荷トランジスタの閾値電圧を $V_{th}$ とすると、 $Tr_d$ がオフ状態のとき、出力電圧は $V_{dd}-V_{th}$ になり、オン状態のときは完全に $V_{ss}$ (GND)レベルになる。また、MOSFETはエンハンスメント(E)形とデプレッション(D)形とあり、インバータ回路においも $Tr_d$ にE形を $Tr_u$ にD形を用いたED構成と、双方をE形で構成するEE構成がある。両構成の電気的特性に関して本項では省略するが、本設計においては1種類のトランジスタで容易に構成することができるEE構成を用いた。回路設計を行ったトランジスタレベルのインバータ回路と、2入力NAND回路を図2-18に示す。

各トランジスタのゲート長( $L$ )は、最小加工寸法の観点から $L = 5.2 \mu\text{m}$ とし、ゲート幅( $W$ )は、次項で示すレイアウト設計の設計基準と、電気的な接続を確保するために最低限2箇所のコンタクトホールを設けることをパターン設計の制約条件とし、その条件から最小のゲート幅である $W = 26 \mu\text{m}$ とした。

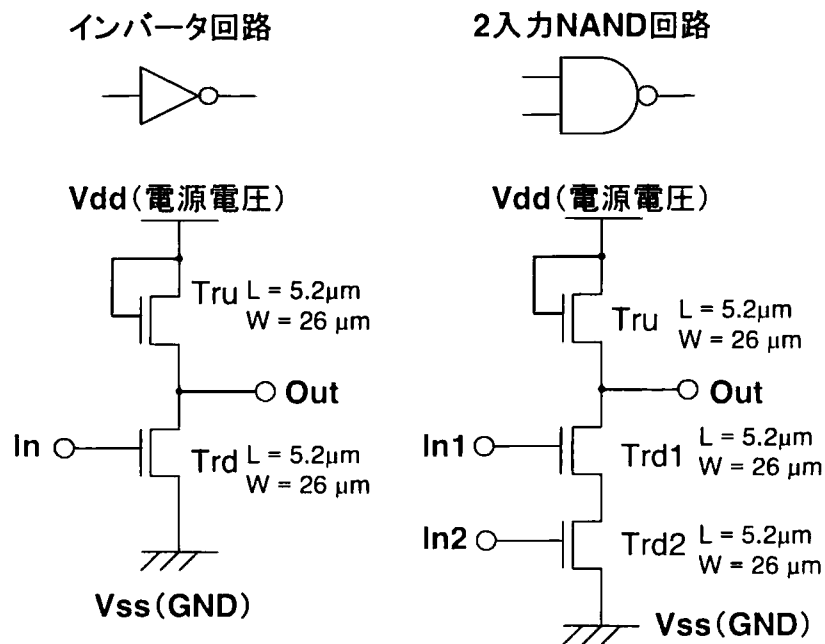


図2-18 n-MOSFETによるインバータ回路と2入力NAND回路

### 2.3.6 レイアウト設計

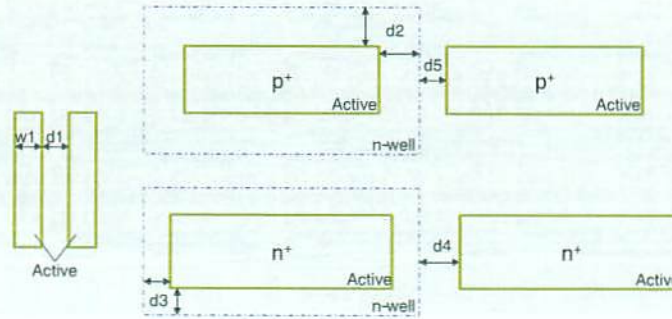
レイアウト設計では、チップ内の各基本素子の形状を決定し、論理回路図またはトランジスタ回路図に従ってそれらを配置し、その間の配線経路を定め、ウェハ上に回路を形成するためのマスクパターンの設計を行う。レイアウト設計においては、リソグラフィ工程やウェハ処理工程における位置あわせ誤差、加工寸法誤差などが考慮され、また、電気的特性を保障するためにパターンの幅や間隔、重ね合わせ余裕などを決めた設計基準(デザインルール)に従ってパターン設計を行う。デザインルールでは、同層間のパターン最小幅、最小間隔が規定され、また、フォトリソグラフィ工程での重ね合わせ誤差を考慮した重ね合わせ余裕が、異層間の設計基準として規定される。デザインルールは、半導体を製造する上で、回路設計者とプロセスエンジニアとの意思疎通をはかるものであるが、デザインルールの決定は、非常に難しく、規定を厳しくすると回路としての動作は保障され、歩留まりも向上するが、デバイスサイズやチップサイズが大きくなり、デバイス特性の性能向上やコスト面で不利になってしまう。一方、プロセスの加工精度に対してマージンが少ない規定にしてしまうと、回路性能が向上し、面積も小さくなるが、歩留まりが低下する要因となる。このトレードオフの関係をどこに収束させるかを検討するために、回路設計者とプロセスエンジニアの間で綿密な議論がなされ、デザインルールが決定される。本項では、まず、レチクルフリー露光方式のデザインルールの決定を行う。

試作する半導体集積回路は、プロセス設計の結果より素子分離層(Active)、ゲート電極層(Gate)、コンタクト層(Contact)、金属配線層(Metal)からなる4層のマスク構成となっている。図2-19(a)~(d)に各層のデザインルールを示す。本試作においては、最少加工寸法が $5.2\ \mu\text{m}$ であるが、最小加工寸法を $\lambda$ として各層の設計規定がその何倍になっているかを示し、後述する従来のデザインルールと比較するために一般化した表記法として、 $\lambda$ を基準とした $\lambda$ 数も合わせて示している。図2-19(a)の素子分離層のパターンの間隔は、空乏層幅の分を考慮し、 $2\lambda = 10.4\ \mu\text{m}$ とし、図2-19(b)、図2-19(d)のゲート電極層と金属配線層の最小線幅および最小間隔は、短絡や断線を防ぐために $\lambda = 5.2\ \mu\text{m}$ とした。また、図2-19(c)のコンタクト層に関しては、異層間での重ね合わせ誤差による下層との短絡および接続不良を防ぐために、コンタクト層の周辺に $\lambda = 5.2\ \mu\text{m}$ の合わせ余裕を規定した。このデザインルールを適用し、CADによってレイアウト設計を行った。その結果を図2-20、図2-21、図2-22に示す。図2-20は、4 bit×4 bit乗算器全体のレイアウト結果と構成要素である全加算器、および基本論理回路であるインバータ回路と2入力NAND回路のレイアウト設計結果である。図2-21は、チップ内に設計したリングオシレータのレイアウト結果、図2-22は試作チップ全体のレイアウト結果である。試作チップのチップサイズは、 $5.3\ \text{mm} \times 4.0\ \text{mm}$ で、各層のアライメントマーク(W $\theta$ 、W $y$ 、W $x$ )もチップ内に配置した。



Active Mask

Item	symbol	Drawing	Number of $\lambda$
Minimum size	w1	10.4 $\mu\text{m}$	2 $\lambda$
Minimum spacing	d1	10.4 $\mu\text{m}$	2 $\lambda$
n-well overlap of p <sup>+</sup>	d2	15.6 $\mu\text{m}$	3 $\lambda$
n-well overlap of n <sup>+</sup>	d3	10.4 $\mu\text{m}$	2 $\lambda$
n-well space to n <sup>+</sup>	d4	15.6 $\mu\text{m}$	3 $\lambda$
n-well space to p <sup>+</sup>	d5	10.4 $\mu\text{m}$	2 $\lambda$

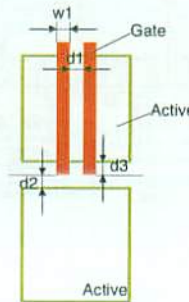


Active Mask Drawing

(a) 素子分離層 (Active)

Gate Mask

Item	symbol	Drawing	Number of $\lambda$
Minimum size	w1	5.2 $\mu\text{m}$	$\lambda$
Minimum spacing	d1	5.2 $\mu\text{m}$	$\lambda$
Spacing to Active	d2	5.2 $\mu\text{m}$	$\lambda$
Gate Extension	d3	5.2 $\mu\text{m}$	$\lambda$

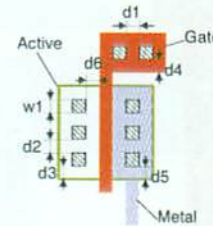


Gate Mask Drawing

(b) ゲート電極層 (Gate)

Contact Mask

Item	symbol	Drawing	Number of $\lambda$
Minimum size	w1	5.2 $\mu\text{m}$	$\lambda$
Minimum spacing (Gate)	d1	5.2 $\mu\text{m}$	$\lambda$
Minimum spacing (Active)	d2	5.2 $\mu\text{m}$	$\lambda$
Minimum overlap of Active	d3	5.2 $\mu\text{m}$	$\lambda$
Minimum overlap of Gate	d4	5.2 $\mu\text{m}$	$\lambda$
Minimum overlap of Metal	d5	5.2 $\mu\text{m}$	$\lambda$
Minimum spacing to Gate	d6	5.2 $\mu\text{m}$	$\lambda$

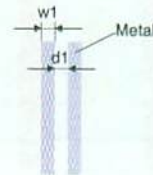


Contact Mask Drawing

(c) コンタクト層 (Contact)

Metal Mask

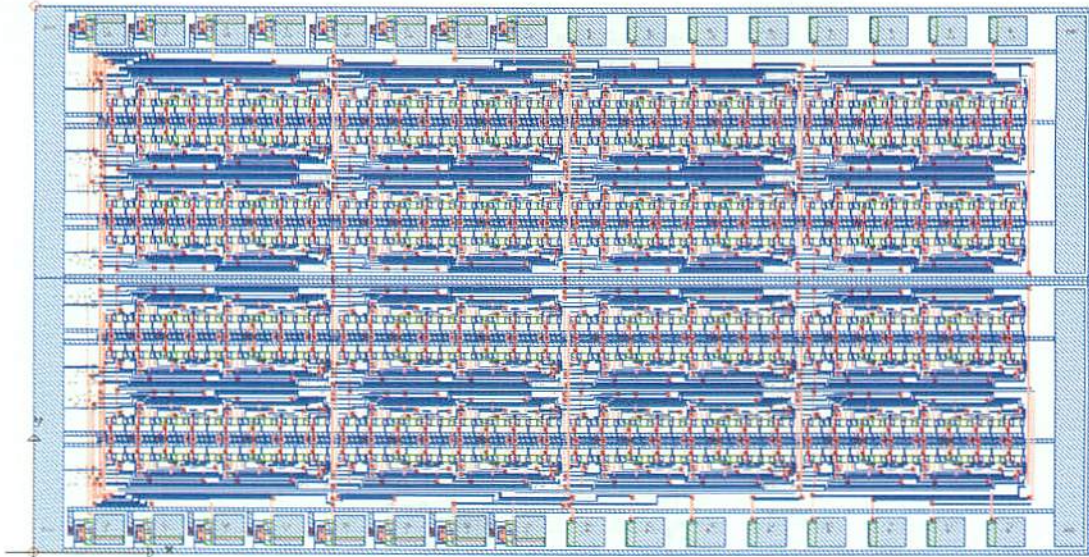
Item	symbol	Drawing	Number of $\lambda$
Minimum size	w1	5.2 $\mu\text{m}$	$\lambda$
Minimum spacing	d1	5.2 $\mu\text{m}$	$\lambda$



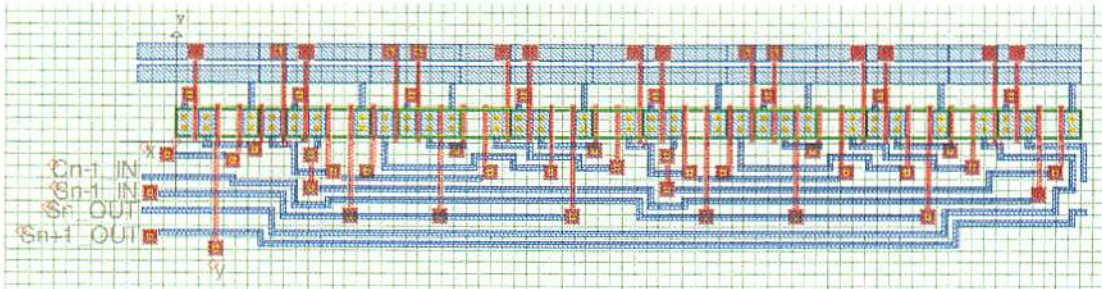
Metal Mask Drawing

(d) 金属配線層 (Metal)

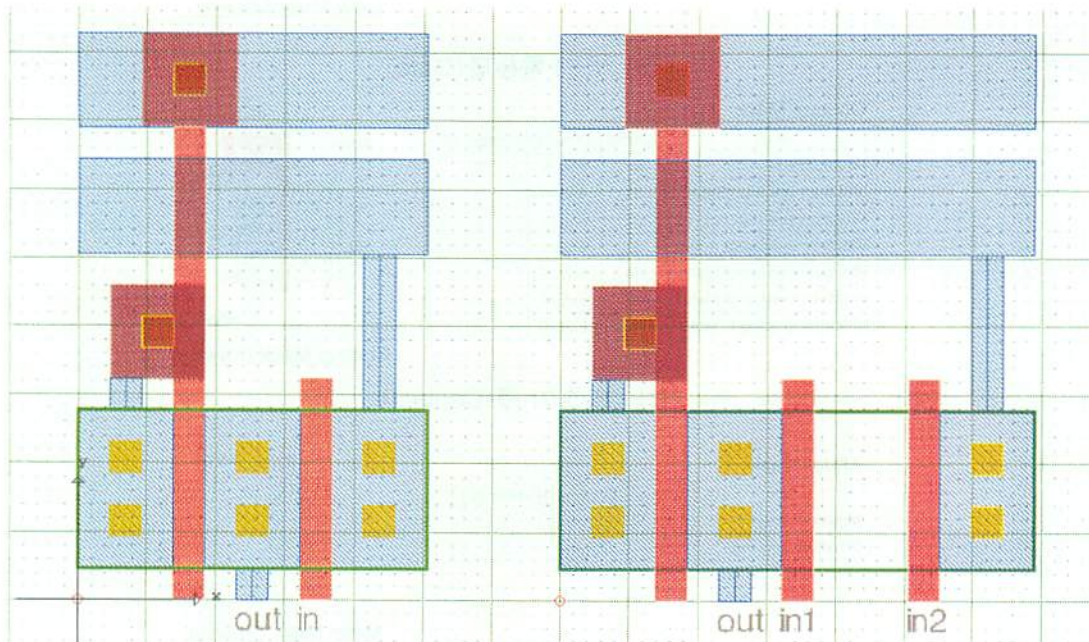
図2-19 デザインルール



(a) 4 bit × 4 bit 乗算器



(b) 全加算器



(c) インバータ回路

(d) 2 入力 NAND 回路

図2-20 4 bit × 4 bit 乗算器レイアウト設計結果

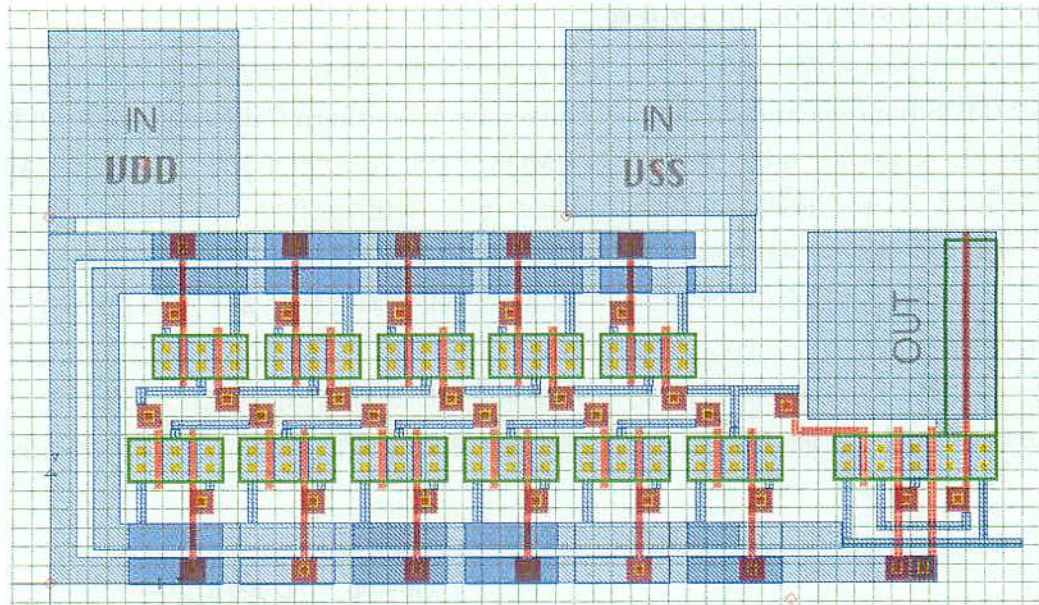


図2-21 リングオシレータレイアウト設計結果(11 段構成)

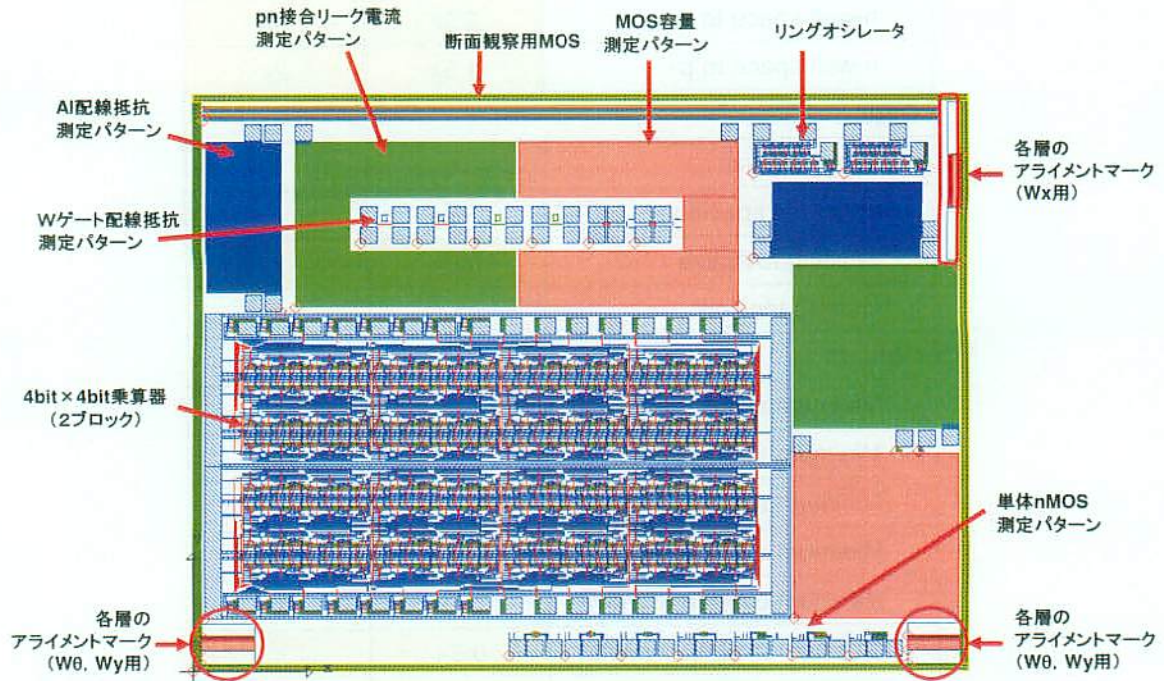


図2-22 試作チップレイアウト設計結果(チップサイズ:5.3 mm x 4.0 mm)

### 2.3.7 従来のデザインルールとの比較

レイアウト設計の際に決定したデザインルールを、最も一般的なデザインルールであるMOSIS(MOS Implementation Service, University of Southern California)のλルール[69]との比較を行った。このλルールは、MOSISのCMOSプロセスのデザインルールである。MOSISは、世界各国の大学や研究機関に向けた回路開発のために安価な試作サービスを提供し、マーケットリサーチ用の少量試作、量産前の評価用試作などにも利用されている。MOSISのλルールは、最小加工寸法をλとした場合のデザインルールとして規定されており、最小加工寸法が4~1.2 μmのプロセスを想定したものである。本試作における最小加工寸法は、5.2 μmであるため、MOSISのλルールに近く、この観点から、λルールを従来法として比較の対象とした。比較にあたっては、実際の数値ではなく、最小加工寸法λで一般化し比較を行った。表2-2にその比較結果を示す。

表2-2 デザインルール比較結果

	λルール	レチクルフリー
<b>Active Mask</b>		
Minimum size	1.5λ	2λ
Minimum spacing	1.5λ	2λ
n-well overlap of p+	2.5λ	3λ
n-well overlap of n+	1.5λ	2λ
n-well space to n+	2.5λ	3λ
n-well space to p+	1.5λ	2λ
<b>Gate</b>		
Minimum size	λ	λ
Minimum spacing	λ	λ
Spacing to Active	0.5λ	λ
Gate Extension	λ	λ
<b>Contact</b>		
Minimum size	λ	λ
Minimum spacing (Poly)	λ	λ
Minimum spacing (Active)	λ	λ
Minimum overlap of Active	λ	λ
Minimum overlap of Poly	λ	λ
Minimum overlap of Metal	0.5λ	λ
Minimum spacing to Gate	λ	λ
<b>Metal</b>		
Minimum size	λ	λ
Minimum spacing	λ	λ

表2-2の比較結果から、Active層のデザインルール、Gate層のActive層との間隔およびContact層合わせ余裕など、デザインルールが $\lambda$ の整数倍で表せないものに対しては、レチクルフリー露光方式のほうが、 $0.5\lambda$ だけサイズが大きくなることが分かった。この原因は、レチクルフリー露光方式においては、マスクとしてLCDを用いているため、パターンの寸法をLCDの1画素単位でしか変更できないためである。従って、 $1/2$ 画素サイズに相当する $0.5\lambda$ となるようなパターンは設計出来ず、このままでは従来法に比べてレイアウト面積が大きくなってしまう。この問題を解決するためには、表1-4に示した開口率が25%のTYPE2のLCDを用いてパターン形成を行うことで対応ができる。TYPE2のLCDの1画素を最小加工寸法 $\lambda$ とすると、開口率が25%であるため、 $0.5\lambda$ (開口部サイズ)単位でパターン形成が可能である。この場合、開口サイズを単位とした設計グリッドを基準とし、設計と露光データの生成を行い、4回多重露光時に4つの画像の切り替え操作とステージ移動を連動させてパターン形成を行うことになる。図2-23に設計グリッドの違いによるパターン設計の比較を配線層とコンタクト層を例として示す。図2-23(a)は、LCDの1画素を設計グリッドの単位とした場合で、図2-23(b)は1画素中の開口サイズを設計グリッドの単位とした場合である。図2-23(b)では、コンタクト層の合わせ余裕を開口サイズにすることができ、従来のデザインルールと同様に $0.5\lambda$ にすることができる。その他、Active層などの従来デザインルールで $\lambda$ の整数倍でないものに対して、開口サイズを設計グリッドの最小単位とすることで、従来同様にデザインルールを規定できる。

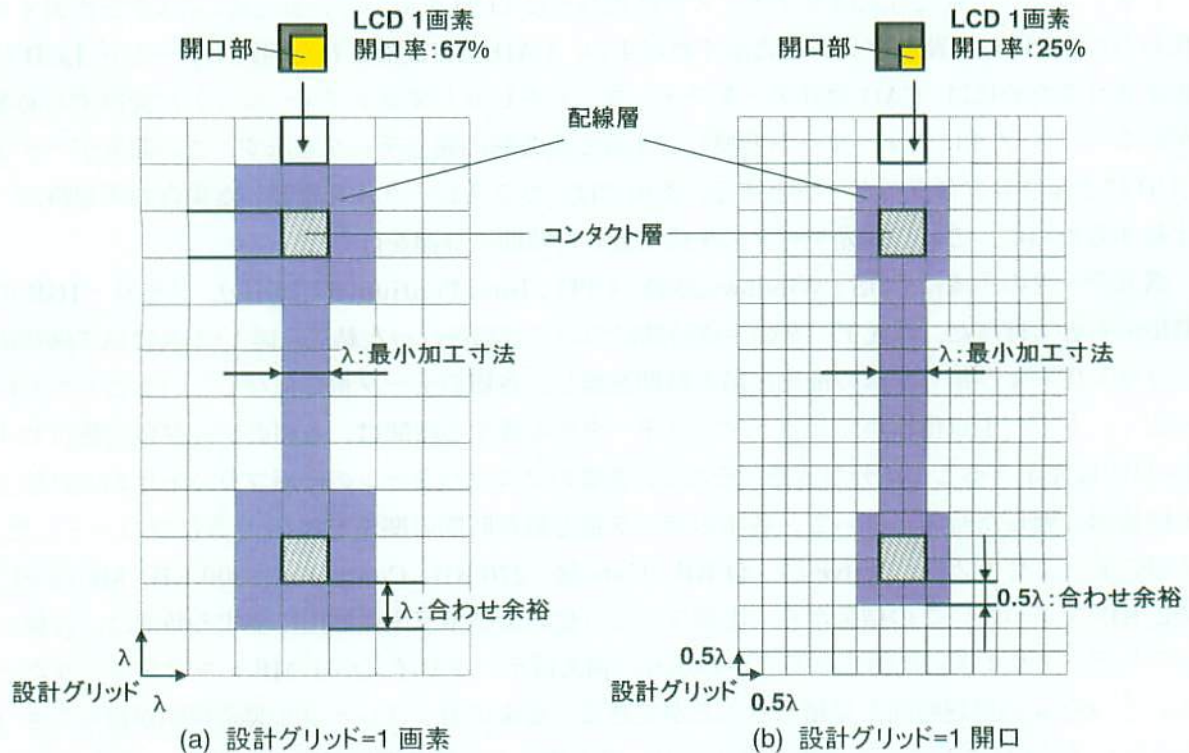


図2-23 設計グリッドの比較

## 2.4 半導体集積回路の試作プロセスと評価

前節で実際に半導体集積回路の設計を行い、レチクルフリー露光方式のデザインルールを規定した。次のステップとして、その設計された寸法をもとにパターン形成を行う加工プロセスの工程に進む。この加工プロセスでは、酸化膜、金属膜などの成膜、不純物拡散、フォトリソグラフィやエッチングなどの各工程を繰り返し行い、最終的に回路をウェハ上に形成する。しかし、加工プロセスの化学反応や物理現象を完全に制御することが難しく、設計パターンに対して加工寸法に誤差が生じる。そこで本節では、まず、設計した集積回路の試作プロセスについて、露光データの生成から配線層形成までの工程を詳細に説明し、重ね合わせ露光の評価と加工後の形状確認により規定したデザインルールの適用性を評価する。露光データの生成においては、生成時間の計測を行い、従来技術との比較を行う。また、重ね合わせ露光の評価と加工形状の確認は、光学顕微鏡観察により行う。最後に、試作した MOSFET の電気特性の測定を行い、レチクルフリー露光方式の半導体製造プロセスへの適用性を評価する。尚、試作プロセスの環境については、フォトリソグラフィ工程は、財団法人くまもとテクノ産業財団の共同研究棟クリーンルーム(クラス：1000)の環境で実験を行い、その他の工程は、すべて熊本大学サテライト・ベンチャー・ビジネス・ラボラトリー棟 6 階の半導体基礎素子作製室クリーンルーム(クラス：1000)の環境で実験を行った。

### 2.4.1 マスクパターンの生成

レチクルフリー露光方式はガラスマスクの代わりに LCD を用いているため、マスクを作製する代わりに LCD に回路パターンを表示すればよい。CAD 上で設計された回路パターンを LCD に表示させるためには、CAD 設計データフォーマットをビットマップフォーマットに変換する必要がある。図 2・2 4 にフォーマット変換して生成した各層の露光データを示す。この露光データを LCD に表示させマスクパターンとする。本項では、ガラスレチクルを作製した場合の所要時間と比較するために、これら露光データの生成に要した時間の計測を行った。

露光データの生成は、OS：Windows2000、CPU：Intel Pentium4(1.7GHz)、メモリ：1GB の環境のもとで行った。露光データの生成時間について計測を行った結果、図 1・1 8 に示す階層のフラット化および頂点座標の抽出に最も時間を要し、各層のデータ量に依存していることが分かった。一方で、頂点座標からビットマップデータを生成する時間は、各層のデータ量に依存せず 1 s 以内に完了することが分かった。そこで、各層のマスクパターンの階層フラット化および頂点座標抽出に要した時間について、各層のデータ量と処理時間の関係を図 2・2 5 にプロットした。各層のデータサイズは、Active 層：44 KB、Gate 層：276 KB、Contact 層：300 KB、Metal 層：492 KB であった。この結果から、階層フラット化および頂点座標抽出に要する時間は、各層のマスクデータサイズに比例することがわかり、例えばデータサイズが 1 MB のマスクデータだとおおよそ 300 s の処理時間と見積もることができる。従来のガラスレチクル製造期間が最短でも 1 枚当たり 1~3 日を要することを考慮すると、本方式により製造期間(TAT)が大幅に改善されることが分かり、設計完了後、直ちに露光プロセスへと移行することが可能である。

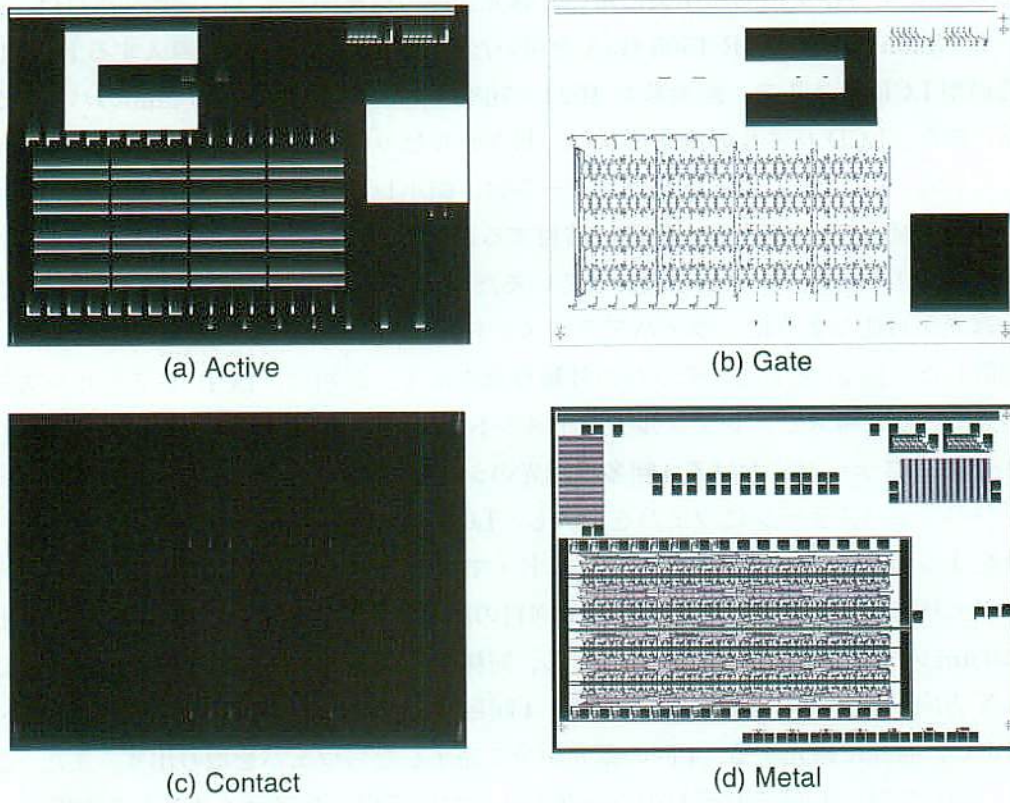


図2-24 ビットマップフォーマットで得られた露光データ(マスクパターン)

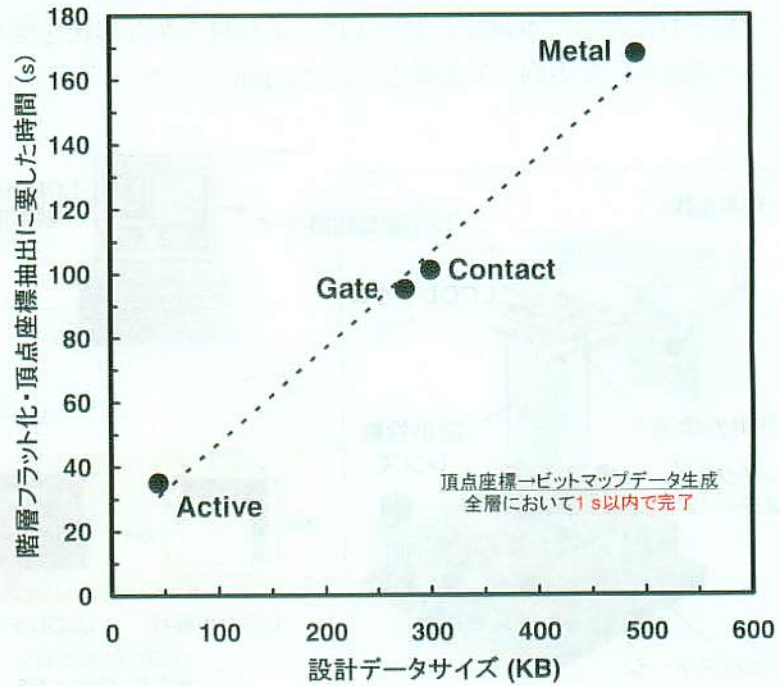


図2-25 各層のマスクパターンデータサイズと露光データ生成時間の関係

### 2.4.2 露光装置と露光シーケンス

図2-26に半導体集積回路作製に用いた露光装置の概略図を示す。露光装置には、g線ステップパであるNikon社製のNSR-1505 G3Aを用いた。レチクルフォルダに導入するLCDレチクルには、透過型LCDパネルで、画素数が1024×768ピクセル(27 mm×20 mm)のパネルが実装されている。また、LCDパネルの画素形状は、ピクセルピッチが26 μm、開口形状が23 μm×20 μmとなっている。LCD上に表示されたパターンは、縮小レンズにより1/5に縮小されてウェハ上に転写される。従って、LCDの1画素に着目すると、ウェハ上ではピクセルサイズが5.2 μmとなり、1画素単位でパターン寸法を設計しているため、最小加工寸法は5.2 μmとなる。また、重ね合わせ露光が可能のように、ウェハアライメントマークを設計し、回路パターンと同じくチップ内に配置した。図2-27にステップパの外観写真を示す。最初に、LCDレチクルをステップパのレチクルステージに導入し、レチクルアライメントを実行する。

図2-28にステップパにおける4回多重露光のシーケンスを示す。レチクルアライメント完了後、ステップパのウェハステージにウェハを導入し、LCDに1層目のパターンを表示させ、LCDの1画面分を1ショットとして定義したショット・マップに従ってステップ&リピート露光を行う。次に、ウェハをそのままの状態にして、1回目の露光で定義したショット・マップに対してX方向に2.0 μmのマップ・オフセットを指定し、同様にステップ&リピート露光を行う。以下、3回目ではX方向、Y方向それぞれに2.0 μm、4回目露光ではY方向に2.0 μmのマップ・オフセットを指定し、同様に露光する。4回の露光が全て完了したらウェハを取り出す。また、2層目以降の露光に関しては、4回それぞれのシーケンスにおいてウェハアライメントを実施し、同様にステップ&リピート露光を行う。マップ・オフセットの値は、LCDのピクセル形状から、ブラック・マトリクスの幅に相当する寸法の1/5の値(X=0.6 μm, Y=1.2 μm)に設定すればよいと考えられるが、開口部の左上にTFTを遮光するためのパターンが形成されており、露光パターンに凹凸が発生することが予想されたため、本試作においては、より滑らかな形状を得るために、オーバーラップ量を少し多めに設定し、X方向、Y方向ともに2.0 μmとした。

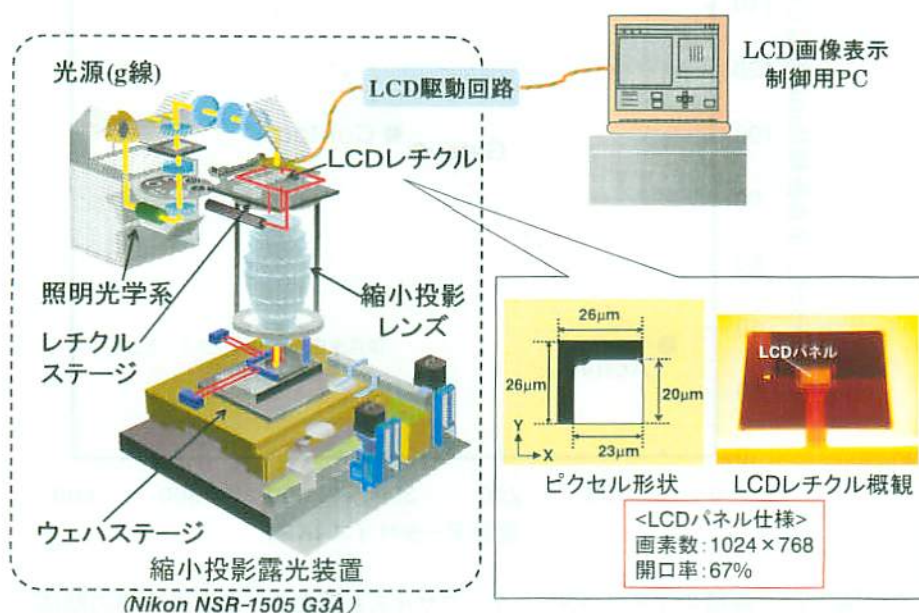


図2-26 露光装置の概略図



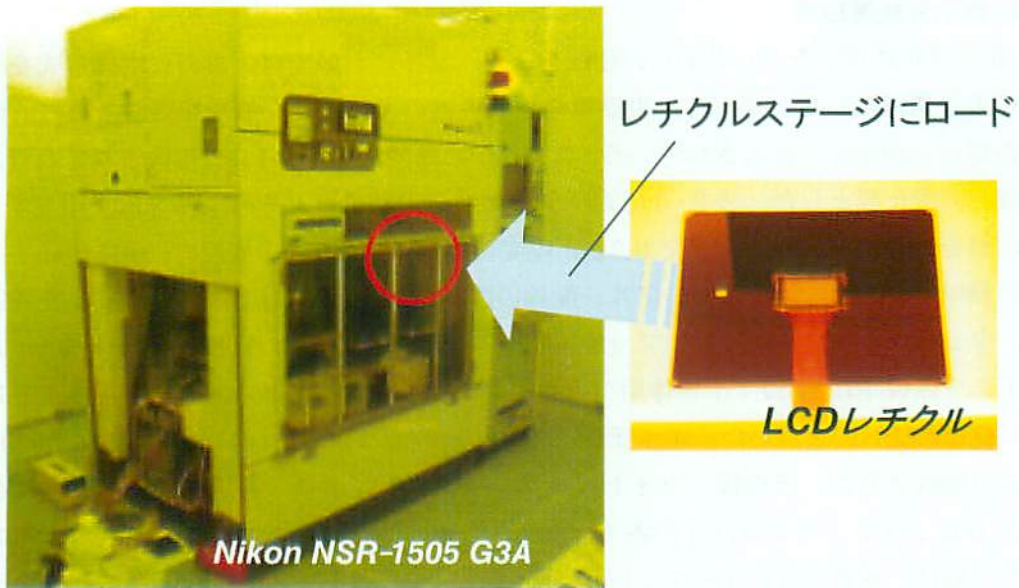


図2-27 ステツパ外観写真

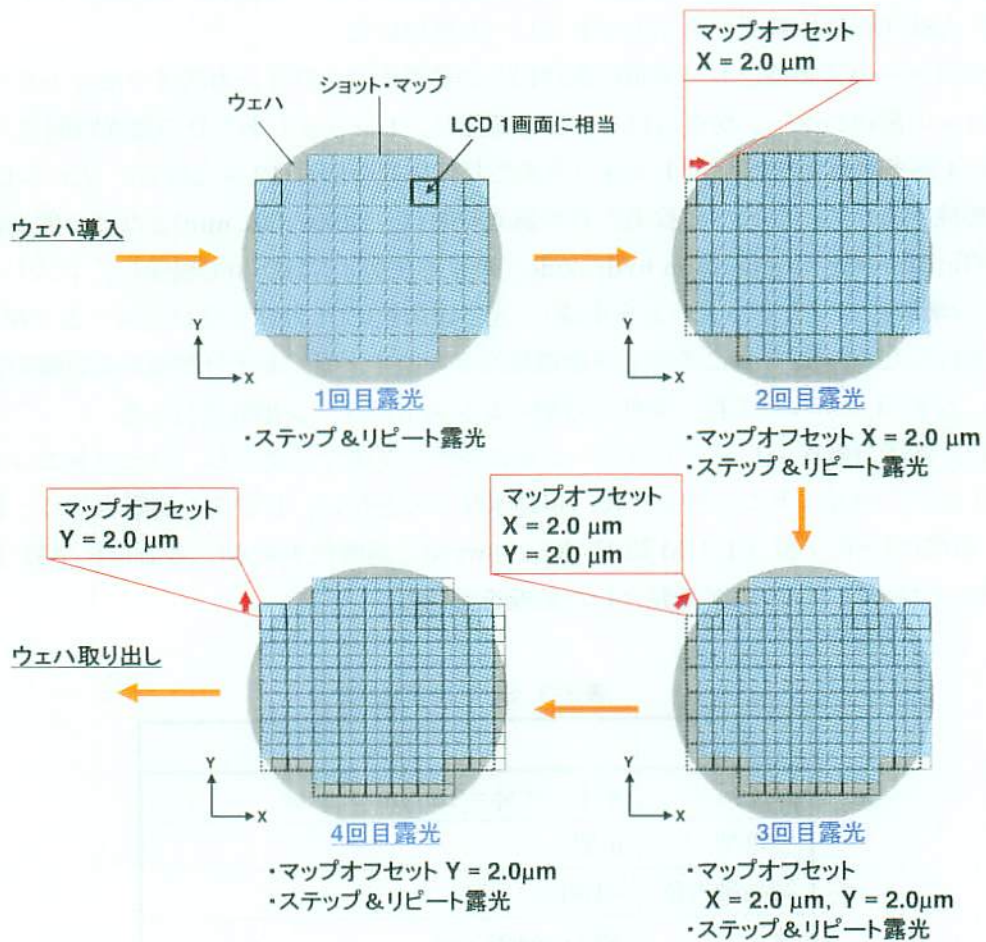


図2-28 ステツパにおける4回多重露光シーケンス

### 2.4.3 素子分離層形成

表2-3に試作に用いた Si ウェハの仕様を示す。試作においては、裏面に電極形成を行い基板の電位を取る構造にした。従って、裏面電極と基板とのオーミック接触を得るために、裏面には高濃度のボロンがイオン注入されている。また、予め熱酸化膜が  $1.1\ \mu\text{m}$  形成されており、素子分離層形成時の酸化膜とした。表2-4に素子分離層形成の各工程とその条件を示す。まず  $1.1\ \mu\text{m}$  の熱酸化膜をウェットエッチングで  $0.3\ \mu\text{m}$  程度まで薄くする。この膜厚は、後に形成するのゲート電極の膜厚、層間絶縁膜の膜厚、アルミ配線の膜厚とステップの焦点深度  $1.0\ \mu\text{m}$  を考慮して設定した。ウェットエッチングには、フッ酸(森田化学製：半導体用フッ化水素、HF 50wt%)とフッ化アンモニウム(森田化学製：半導体用フッ化アンモニウム、 $\text{NH}_4\text{F}$  40wt%)の混合液であるバッファードフッ酸(BHF)を用いた。エッチング後は、超純水リンスを行い、 $\text{N}_2$ (純度：99.9999%)ブローにより乾燥させた。その後、フォトリソグラフィ工程により、素子分離層パターンを露光する。表2-5にフォトリソグラフィの各工程と条件を示す。レジスト塗布前にウェハ表面の水分を除去するために、メカニカルオープン(光洋サーモシステム社製：KLO-30M)にて乾燥を行い、レジストの密着性を向上させるために HMDS(Hexamethyldisilan, 東京応化製：OAP)を塗布した。その後、g 線レジスト(東京応化製：OFPR-800 20cp)を塗布し、プリベークを行い露光する。HMDS 塗布およびレジスト塗布には、プレシード社製のスピコートを用い、プリベーク、ポストベークには、ASE ONE 社製デジタルホットプレートを用いた。

露光のフォーカス調整とドーズ量の条件出しの結果から、フォーカスオフセットを  $-0.5\ \mu\text{m}$ 、露光時間 3 s で最適パターンが得られることを確認し、1ショットあたりの露光時間を 3 s とした。従って、1回多重露光を行うと 1ショットあたりの露光時間は 12 s となる。ウェハ上には、200チップ形成するため、ウェハ 1枚あたりの露光時間は、2400 s(40 min)となる。露光後、現像液 TMAH(Tetramethyl ammonium hydroxide, 東京応化製：NMD-3)で現像し、ポストベークを行い、素子分離層のレジストパターンを形成し、光学顕微鏡(ライカマイクロシステムズ社製：DMLS)で観察を行った。図2-29にその光学顕微鏡写真を示す。尚、素子分離層形成以降の各工程においても、表2-5に示した工程と条件で各層のレジストパターン形成を行った。

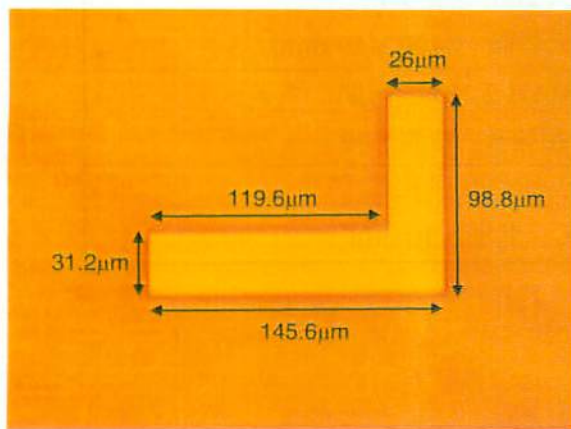
最後に、素子分離層のレジストパターンをエッチングのマスクとし、ウェットエッチングにより加工を行う。ウェットエッチング後、超純水リンスを行い、レジスト剥離を行う。レジスト剥離には、硫酸(関東化学製：EL-UM 級  $\text{H}_2\text{SO}_4$ , 98wt%)と過酸化水素水(三菱瓦斯化学製：ELM  $\text{H}_2\text{O}_2$ , 31wt%)をそれぞれ 4:1 の比率で混合した薬液を用いた。

表2-3 Si ウェハの仕様

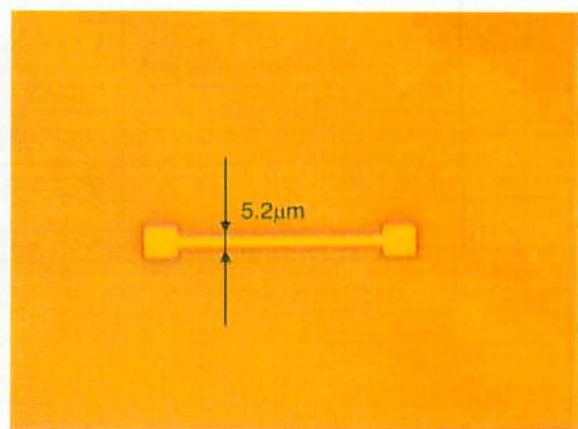
項目	仕様
サイズ	4 インチ( $\phi = 100\ \text{mm}$ )
導電型	p 型
結晶軸方位	<100>
厚さ	$525\ \mu\text{m} \pm 25\ \mu\text{m}$
熱酸化膜厚	$1.1\ \mu\text{m} \pm 10\ \%$
裏面仕様	B イオン注入 ( $70\ \text{keV}\ 5 \times 10^{16}\ \text{cm}^{-2}$ )

表2-4 素子分離層形成の工程と条件

工程	条件	備考
熱酸化膜エッチング	エッチング液：BHF 時間：7 min, 膜厚：0.3 μm	BHF(HF:NH <sub>4</sub> F:H <sub>2</sub> O = 1:4:5) エッチングレート：110 nm/min
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		
フォトリソグラフィ		表 2・5 参照
ウェットエッチング	エッチング液：BHF 時間：3 min	BHF(HF:NH <sub>4</sub> F:H <sub>2</sub> O = 1:4:5) エッチングレート：110 nm/min
超純水リンス	オーバーフロー：5 min	
レジスト剥離	剥離液：H <sub>2</sub> SO <sub>4</sub> , H <sub>2</sub> O <sub>2</sub> 混合液 時間：5 min	H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> = 4:1
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		



出力バッファ部



拡散抵抗測定用パターン

図2-29 素子分離層レジストパターンの光学顕微鏡写真

表2-5 フトリソグラフィ工程と条件

工程	条件
レジスト塗布前乾燥	メカニカルオープン 温度：120℃、時間：10 min
HMDS 塗布	スピンコータ設定値 ・1st コート：回転数/時間 = 330 rpm / 3 s ・2nd コート：回転数/時間 = 2200 rpm / 20 s
HMDS 乾燥	デジタルホットプレート 温度：70℃、時間：5 min
g 線レジスト塗布	スピンコータ設定値 ・1st コート：回転数/時間 = 500 rpm / 3s ・2nd コート：回転数/時間 = 3300 rpm / 17.5 s レジスト膜厚：1 μm
プリバーク	デジタルホットプレート 温度：110℃、時間：90 s
露光	露光波長：436 nm(g 線) 1 ショット露光時間：3 s ショット数：200 ショット 1 ウェハ露光時間：2400 s(40 min)
現像	現像液：TMAH 2.38%、時間：65 s リンス液：超純水、時間：30 s
ポストバーク	デジタルホットプレート 温度：120℃、時間：10 min

## 2.4.4 ゲート電極層形成

表2-6にゲート電極層形成の各工程とその条件を示す。まず、希フッ酸で自然酸化膜を除去した後、RCA洗浄を行った。RCA洗浄の詳細な工程と条件は表2-7に示す。RCA洗浄後、直ちにゲート絶縁膜の形成を行う。ゲート絶縁膜の形成は、酸化・拡散用電気炉(ディー・エス・アイ社製：VESTA-1100W/D)にてドライ酸化を行った。図2-30にドライ酸化の温度条件を示す。

ゲート酸化膜形成後、ゲート電極材料の成膜を行った。ゲート電極材料としては、ゲート電極形成後に行う不純物の熱拡散工程を考慮し、耐熱性が高く、遷移金属の中では抵抗率が $5.6 \times 10^{-6} \Omega \cdot \text{cm}$ [70]と比較的低いタングステン(W)を選択した。一般的にゲート電極材料としては多結晶Siが用いられているが、近年は金属材料を用いたメタル・ゲートの導入が注目されており[71]、その最大の目的は、多結晶Siゲートの空乏化を抑制し、ゲート絶縁膜を薄膜化させることである。特に高い電流駆動能力が求められる高性能向けLSIで特に注目されており、Wゲートに関する研究もいくつか報告がなされている[72][73]。W成膜には、イオンビームスパッタ装置を用いた。図2-31にイオンビームスパッタ装置の概略図を示し、成膜条件を表2-8に示す。

ゲート電極形成後、フォトリソグラフィ工程にてゲート電極層のレジストパターンを形成し、光学顕微鏡で観察を行った。図2-32にその光学顕微鏡写真を示す。ゲート電極層形成では、前の工程で形成した素子分離層に対して重ね合わせ露光を実施しており、光学顕微鏡写真の結果から、所望の位置にゲート電極層のパターンが形成されていることを確認した。尚、ゲート電極層形成工程以降の各工程において同様の重ね合わせ露光を実施した。

ゲート電極層のレジストパターンをウェットエッチングのマスクとし、過酸化水素水でウェットエッチングを行う。このウェットエッチング法は、過酸化水素水系の溶液を用いたWやW合金のウェットエッチングに関する特許[74]~[76]を参考とした。ウェットエッチング後、超純水リンス、レジスト剥離、超純水リンスを行い、最後にN<sub>2</sub>ブロー乾燥を行った。

表2-6 ゲート電極層形成の工程と条件

工程	条件	備考
RCA洗浄		表2-7参照
ゲート酸化	ドライ O <sub>2</sub> 酸化 温度：1000℃、時間：60 min	図2-30参照
ゲート電極材料成膜	ゲート電極材料：W 膜厚：150 nm	図2-31、表2-8参照
フォトリソグラフィ		表2-5参照
ウェットエッチング	エッチング液：H <sub>2</sub> O <sub>2</sub>	
超純水リンス	オーバーフロー：5 min	
レジスト剥離	剥離液：H <sub>2</sub> SO <sub>4</sub> 、H <sub>2</sub> O <sub>2</sub> 混合液 時間：5 min	H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> = 4:1
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		

表2-7 RCA 洗浄工程と条件

工程	条件	備考
有機物除去	洗浄液：H <sub>2</sub> SO <sub>4</sub> , H <sub>2</sub> O <sub>2</sub> 混合液 時間：5 min	H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> = 4:1
超純水リンス	オーバーフロー：5 min	
酸化膜除去	エッチング液：0.5wt% HF 時間：15 s	
超純水リンス	オーバーフロー：5 min	
アンモニア過水洗浄	洗浄液：NH <sub>4</sub> OH, H <sub>2</sub> O <sub>2</sub> 混合液 温度：90℃、時間：10 min	NH <sub>4</sub> OH:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O = 0.05:1:5
超純水リンス	オーバーフロー：5 min	
酸化膜除去	エッチング液：0.5wt% HF 時間：15 s	
加熱超純水洗浄	温度：90℃、時間：10 min	
超純水リンス	オーバーフロー：5 min	
酸化膜除去	エッチング液：0.5wt% HF 時間：15 s	
塩酸過水洗浄	洗浄液：HCl, H <sub>2</sub> O <sub>2</sub> 混合液 温度：90℃、時間 10 min	HCl:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O = 1:1:6
超純水リンス	オーバーフロー：5 min	
酸化膜除去	エッチング液：0.5wt% HF 時間：15 s	
超純水リンス	オーバーフロー：5 min	
加熱超純水洗浄	温度：90℃、時間：10 min	
超純水リンス	オーバーフロー：5 min	
酸化膜除去	エッチング液：0.5wt% HF 時間：15 s	
化学酸化膜形成	洗浄液：H <sub>2</sub> O <sub>2</sub> 温度：90℃、時間：10 min	
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		

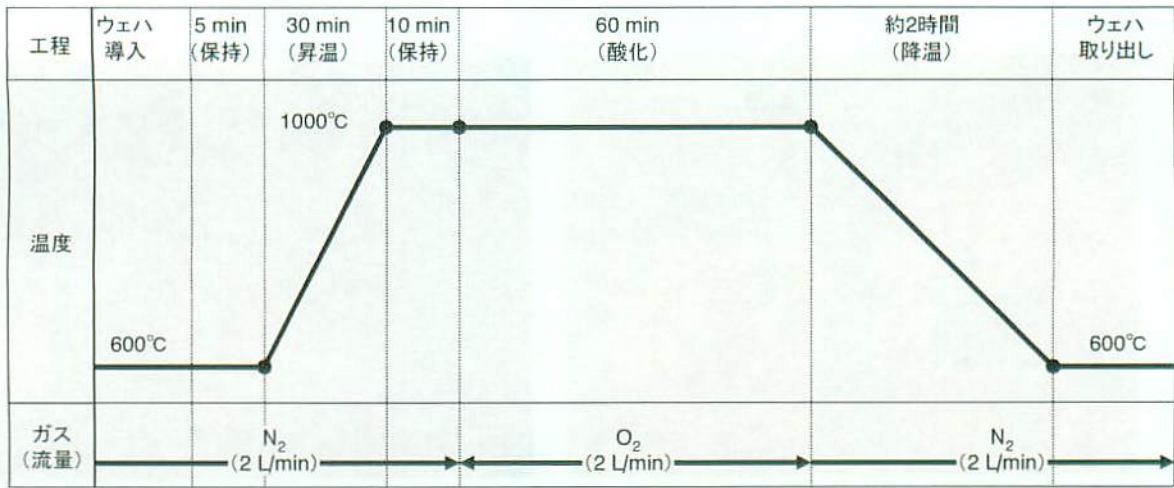


図2-30 ゲート酸化の温度条件

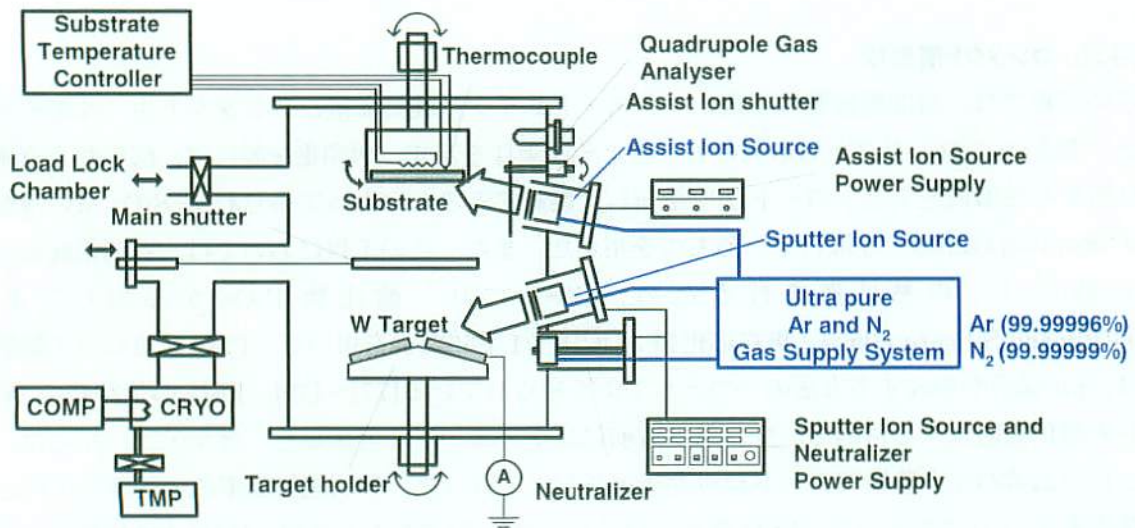


図2-31 イオンビームスパッタ装置の概略図

表2-8 W イオンビームスパッタの成膜条件

項目	条件
到達真空度	$1.0 \times 10^{-7}$ Pa 以下
成膜圧力	$2.0 \times 10^{-3}$ Pa, Ar : 3.5 sccm
イオンビームエネルギー	1000 eV
スパッタターゲット電流	45 mA
成膜速度	4 nm/min

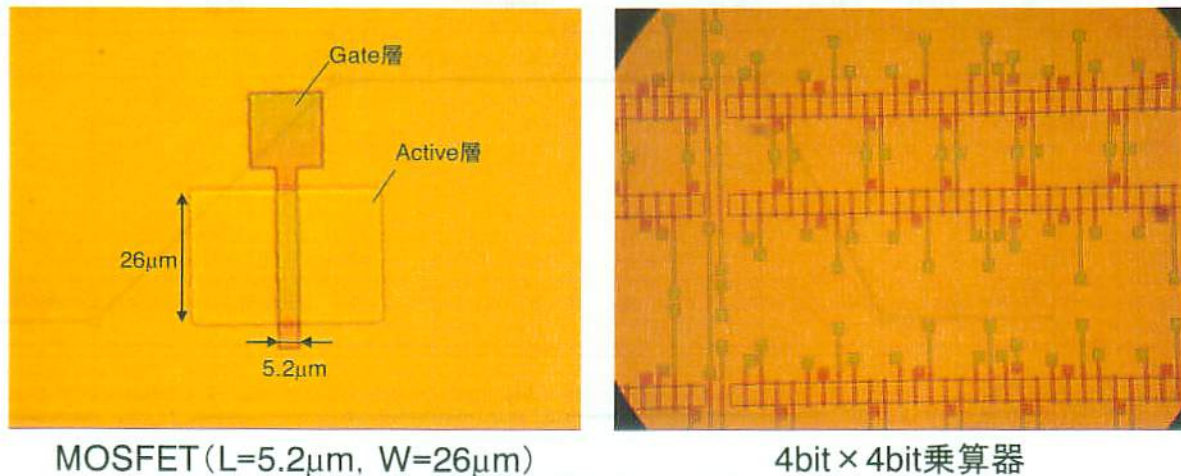


図2-32 ゲート電極層レジストパターンの光学顕微鏡写真

#### 2.4.5 コンタクト層形成

この工程では、層間絶縁膜の形成、ソース・ドレイン不純物拡散、コンタクトホール形成を行った。表2-9にコンタクト層形成の各工程とその条件を示す。層間絶縁膜には、酸化物を有機溶媒に溶かした溶液をスピコート法で塗布し、焼結することによって得られる  $\text{SiO}_2$  系の薄膜で SOG(Spin-on Glass)と呼ばれているものを用いた。また、この工程においては、層間絶縁膜形成と同時にリンの熱拡散を行うため、SOG にリン酸化物 ( $\text{P}_2\text{O}_5$ ) が添加してある PSG(Phospho-Silicate-Glass, 東京応化製: OCD T-1 P59250)を用いた。PSG を用いた不純物拡散は、pn 接合を形成する方法の一つとしてよく知られている[77]~[79]。PSG の焼結時の W ゲートの酸化を防止する目的で、リン熱拡散前に真空アニールを実施した。真空アニールには、イオンビームスパッタ装置のロードロックチャンバーで行った。層間絶縁膜形成の詳細な工程と各条件を表2-10にまとめる。PSG 塗布にはスピンコータ(ダルトン社製: DAC-300A)を用い、焼結前のベークにはホットプレート(井内盛栄堂社製: データプレート PMC 730)を用いた。また、図2-33には、PSG 焼結とリン熱拡散の温度条件を示す。

次に、フォトリソグラフィ工程で、コンタクト層のレジストパターンを形成し、光学顕微鏡で観察を行った。図2-34にその光学顕微鏡写真を示す。若干の合わせ誤差が発生しているが、ゲートコンタクト部、素子分離層コンタクト部において、下層のパターン内に収まっていることが確認できた。このコンタクト層のレジストパターンをウェットエッチングのマスクとして、希フッ酸によりエッチングし、超純水リンス、レジスト剥離、超純水リンスの工程を順次行った。レジスト剥離工程でコンタクト部に生成した化学酸化膜を除去するために、再度、希フッ酸に浸漬し、超純水リンスおよび  $\text{N}_2$  ブロー乾燥をすばやく行い、次の工程の金属電極層形成工程の Al 成膜で用いるイオンビームスパッタ装置のロードロックチャンバーにウェハを導入した。



表2-9 コンタクト層形成の工程と条件

工程	条件	備考
層間絶縁膜形成		表 2・1 0 参照
不純物熱拡散		図 2・3 3 参照
フォトリソグラフィ		表 2・5 参照
ウェットエッチング	エッチング液：0.5wt% HF 時間：30 s	
超純水リンス	オーバーフロー：5 min	
レジスト剥離	剥離液：H <sub>2</sub> SO <sub>4</sub> , H <sub>2</sub> O <sub>2</sub> 混合液 時間：5 min	H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> = 4:1
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		
酸化膜除去	エッチング液：0.5wt% HF	
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		

表2-10 層間絶縁膜形成の工程と条件

工程	条件	備考
酸化膜除去	エッチング液：0.5wt% HF	
超純水リンス	オーバーフロー：5 min	
N <sub>2</sub> ブロー乾燥		
PSG 塗布前乾燥	温度：150℃，時間：5 min	
PSG 塗布	(1st コート) 回転数/時間 = 1000 rpm / 5 s (2nd コート) 回転数/時間 = 3000 rpm / 20 s	<PSG 仕様> SiO <sub>2</sub> 濃度：5.9 wt% P <sub>2</sub> O <sub>5</sub> 濃度：5.0 g/100 c 溶媒：エタノール， 酢酸ブチル
PSG ベーク	(1st ベーク) 150℃，3 min (2nd ベーク) 200℃，5 min (3rd ベーク) 300℃，5 min PSG 膜厚：0.3 μm	ホットプレート
真空アニール	(1st アニール) 500℃，30 min (2nd アニール) 800℃，30 min	真空度：1.0×10 <sup>-5</sup> Pa 以下

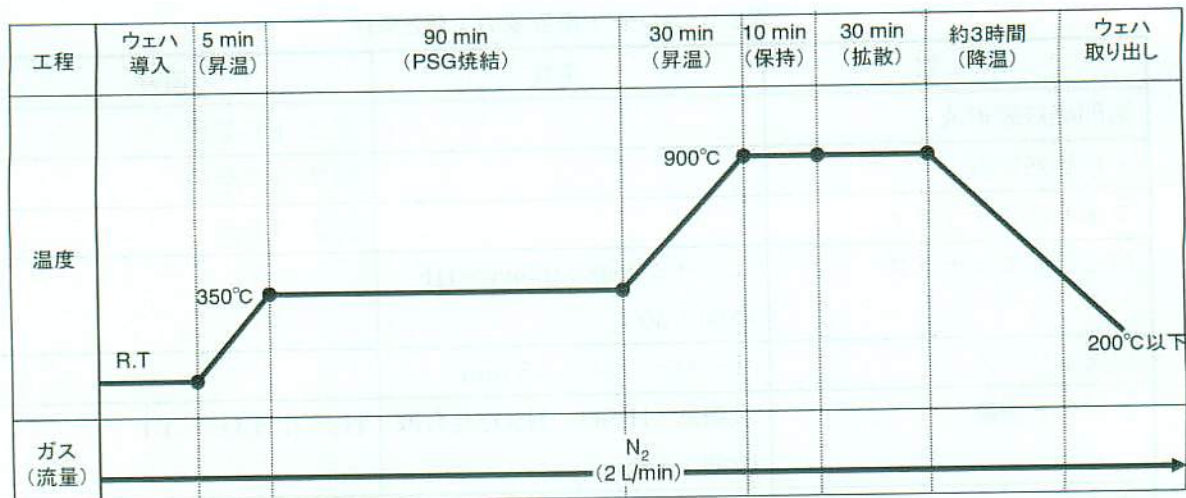
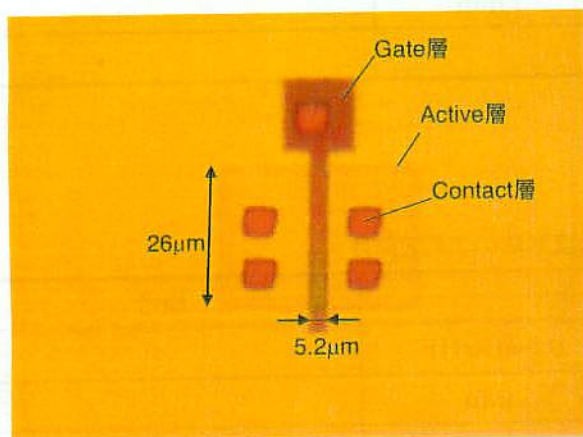
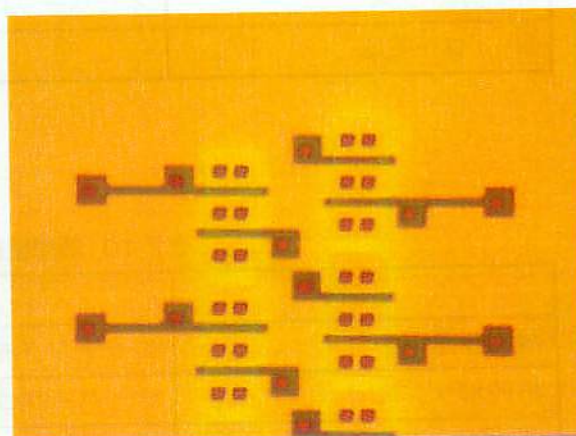


図2-33 層間絶縁膜焼結とリン熱拡散の温度条件



MOSFET (L=5.2µm, W=26µm)



リングオシレータ

図2-34 コンタクト層レジストパターンの光学顕微鏡写真

## 2.4.6 金属配線層形成

表2-11に金属配線層形成の各工程とその条件を示す。配線材料は、AlSiでWゲート同様にイオンビームスパッタ装置を用いた。表2-12に成膜条件を示す。AlSi成膜後、フォトリソグラフィ工程にて金属配線層のレジストパターンを形成し、このレジストパターンをマスクとしてウェットエッチングを行った。エッチング液は、りん酸(関東化学製：鹿特級  $\text{H}_3\text{PO}_4$ , 85 wt%)、硝酸(関東化学製：鹿特級  $\text{HNO}_3$ , 60 wt%)、酢酸(関東化学製：鹿特級  $\text{CH}_3\text{COOH}$ , 99.7 wt%)の混合液を用いた。薬液の比率は、表2-11内に示す。ウェットエッチング後、アセトンでレジスト剥離を行い、超純水リンス、 $\text{N}_2$ ブロー乾燥の順に工程を行った。ウェットエッチング後に光学顕微鏡で観察を行った結果を図2-35に示す。

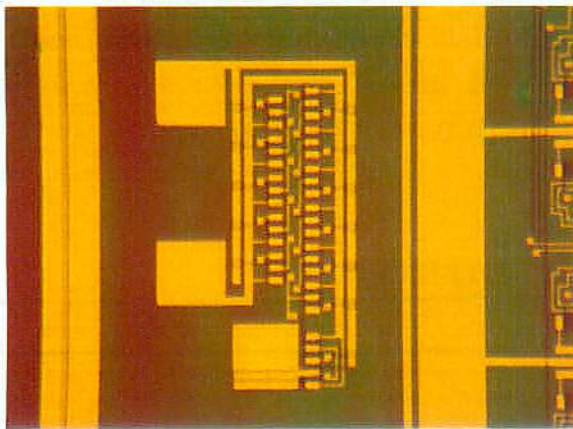
金属配線層形成後、基板の電位を取るために裏面電極の形成を行う。裏面電極形成では、まず裏面の酸化膜を除去し、金属配線層同様にAlSiのイオンビームスパッタにより成膜を行った。その後、コンタクト部の低抵抗化、およびオーミック接触、Siのダングリングボンドを水素終端するために、 $\text{N}_2$ ガス96%と $\text{H}_2$ ガス4%を混合した雰囲気でシンタリングを行った。シンタリングの温度条件を図2-36に示す。

表2-11 金属配線層形成の工程と条件

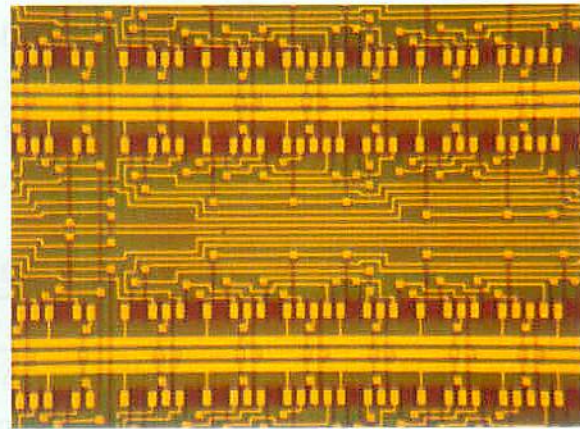
工程	条件	備考
金属配線材料成膜	配線材料：AlSi 膜厚：600nm	図2-31参照、
フォトリソグラフィ		表2-5参照
ウェットエッチング	エッチング液： $\text{H}_3\text{PO}_4$ , $\text{HNO}_3$ , $\text{CH}_3\text{COOH}$ 混合液	$\text{H}_3\text{PO}_4:\text{HNO}_3:\text{CH}_3\text{COOH}:\text{H}_2\text{O}$ = 16: 1: 2: 1
超純水リンス	オーバーフロー：5 min	
レジスト剥離	剥離液：アセトン	
超純水リンス	オーバーフロー：5 min	
$\text{N}_2$ ブロー乾燥		
裏面酸化膜除去	エッチング液：HF	
超純水リンス	オーバーフロー：5 min	
$\text{N}_2$ ブロー乾燥		
裏面電極形成	電極材料：AlSi 膜厚：300nm	
シンタリング	温度：400℃、時間：30 min 雰囲気： $\text{N}_2$ 96% + $\text{H}_2$ 4%雰囲気	図2-36参照

表2-12 AISi イオンビームスパッタの成膜条件

項目	条件
到達真空度	$1.0 \times 10^{-7}$ Pa 以下
成膜圧力	$2.0 \times 10^{-3}$ Pa, Ar : 3.5 sccm
イオンビームエネルギー	1000 eV
スパッタターゲット電流	45 mA
成膜速度	11 nm/min



リングオシレータ



4bit x 4bit乗算器

図2-35 金属配線層ウェットエッチング後の光学顕微鏡写真

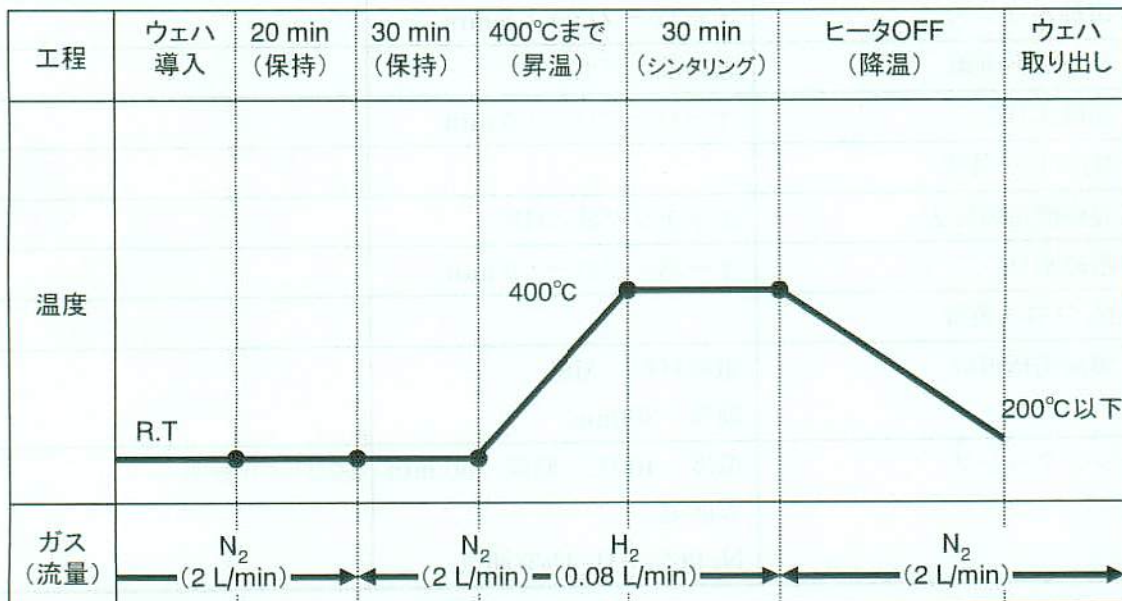


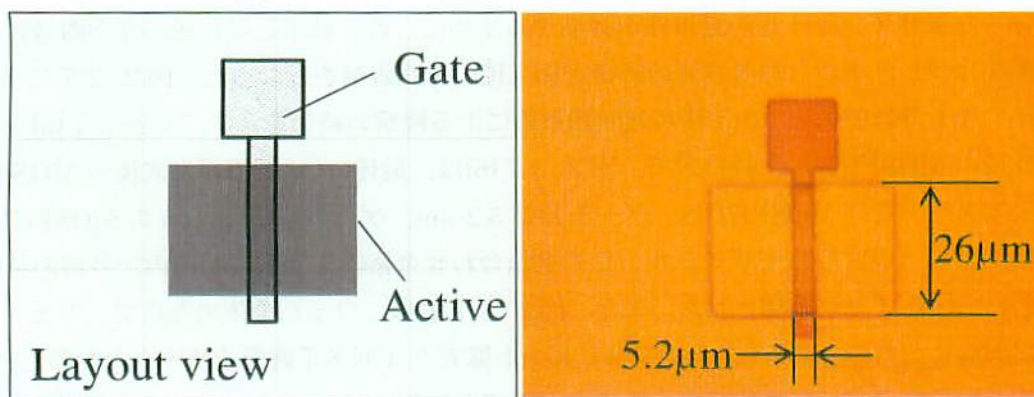
図2-36 シンタリングの温度条件

#### 2.4.7 試作結果の評価

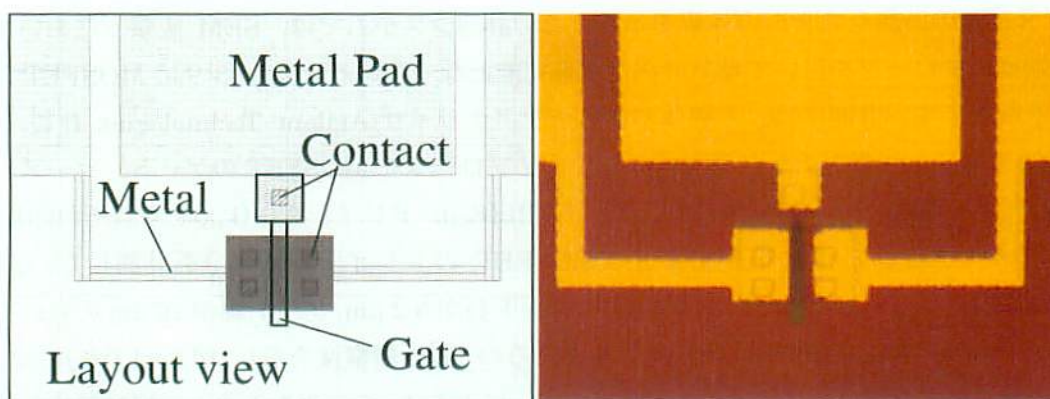
規定したデザインルールの適用性を評価するために、設計結果と試作後の光学顕微鏡による観察結果を比較し、重ね合わせ露光の評価と加工後の形状観察を行なった。図2-37に MOSFET のレイアウト設計結果と、加工後の光学顕微鏡による観察の結果を示す。図2-37(a)がゲート電極形成後の MOSFET の比較結果で、図2-37(b)は、最後の Al 配線層形成後の MOSFET の比較結果である。この MOSFET は、ゲート長が  $5.2\ \mu\text{m}$ 、ゲート幅が  $26\ \mu\text{m}$  の MOSFET である。この結果より、規定したデザインルールの重ね合わせ余裕( $5.2\ \mu\text{m}$ )の範囲内で各層の位置合わせが行われていることが確認された。また、図2-37(c)は、ウェハ全体の写真で、ウェハ上に 200 チップ形成したものである。ステップ&リピート露光と 4 回多重露光を組み合わせることで、ウェハ上に多数のチップを形成できることが確認された。

試作した MOSFET の電気特性の測定を行い、レチクルフリー露光方式の半導体作製プロセスへの適用性を評価した。電気特性の測定には、ナノプローブ計測システム[80]~[82]を用いた。図2-38にその計測システムの外観を示す。この計測システムでは、SEM 観察下において、微細な先端径のプローブを用いて電気計測が実施可能となっている。図2-39に MOSFET 電気特性の測定系を示す。計測には、半導体パラメータアナライザ(Agilent Technologies 社製、Agilent 4156C)を用いた。測定チャンバ内の 3 つのナノプローブを MOSFET のゲート、ソース、ドレインそれぞれの電極パッドに接触させ、ゲート電圧( $V_{GS}$ )、ドレイン電圧( $V_{DS}$ )をそれぞれ印加し、 $V_{GS}$  をパラメータとして  $V_{DS}$  を変化させ、MOSFET のドレイン電流( $I_{DS}$ )を計測した。計測した MOSFET は、図2-37に示す MOSFET でゲート長が  $5.2\ \mu\text{m}$ 、ゲート幅が  $26\ \mu\text{m}$  のものである。図2-40(a)は、MOSFET を計測しているところの SEM 観察像を示し、図2-40(b)には、 $V_{DS}$ - $I_{DS}$  特性の測定結果を示す。この測定結果から、 $V_{DS}$  による  $I_{DS}$  の変化をみると、線形領域と飽和領域が現れており、また、 $V_{GS}$  増加に伴い  $I_{DS}$  が増加し  $V_{GS}$  により  $I_{DS}$  が制御されていることから、MOSFET の動作が確認された。また、図2-41にレチクル基板切削加工方式により試作したプロトタイプ LCD レチクルを用いて作製した MOSFET の光学顕微鏡写真と  $V_{DS}$ - $I_{DS}$  測定の結果を示す。この LCD レチクルには、開口率 25% の LCD パネルが搭載してあり、開口サイズを最小単位として設計を行い、MOSFET を試作した。光学顕微鏡による観察の結果から、ゲート長の設計値が  $2.3\ \mu\text{m}$ 、ゲート幅の設計値が  $23\ \mu\text{m}$  の最もゲート長が小さい MOSFET が形成されていることが確認され、 $V_{DS}$ - $I_{DS}$  測定結果から最小ゲート寸法の MOSFET の動作も確認された。実際の寸法は、ウェットエッチングによる加工寸法変動により、ゲート長が  $1.4\ \mu\text{m}$ 、ゲート幅  $25.3\ \mu\text{m}$  であった。

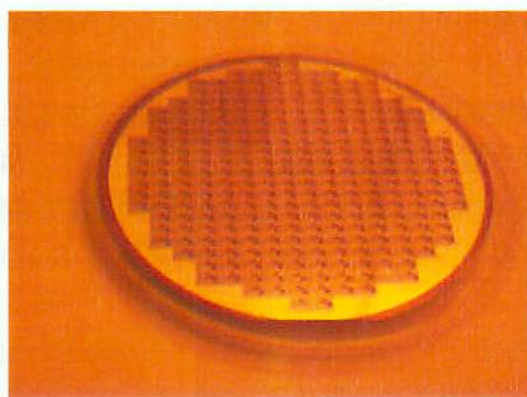
以上の結果から、規定したデザインルールの範囲内に MOSFET が作製できたことが確認され、レチクルフリー露光方式の半導体集積回路作製プロセスへの適用が可能であることを実証した。



(a) 設計したレイアウトパターンとゲート電極形成後の MOSFET の光学顕微鏡写真



(b) 設計したレイアウトパターンと配線電極形成後の MOSFET の光学顕微鏡写真



(c) 配線電極形成後の 4 インチ Si ウェハ写真(200 チップ形成)

図2-37 レイアウト設計結果と試作後の MOSFET の光学顕微鏡写真

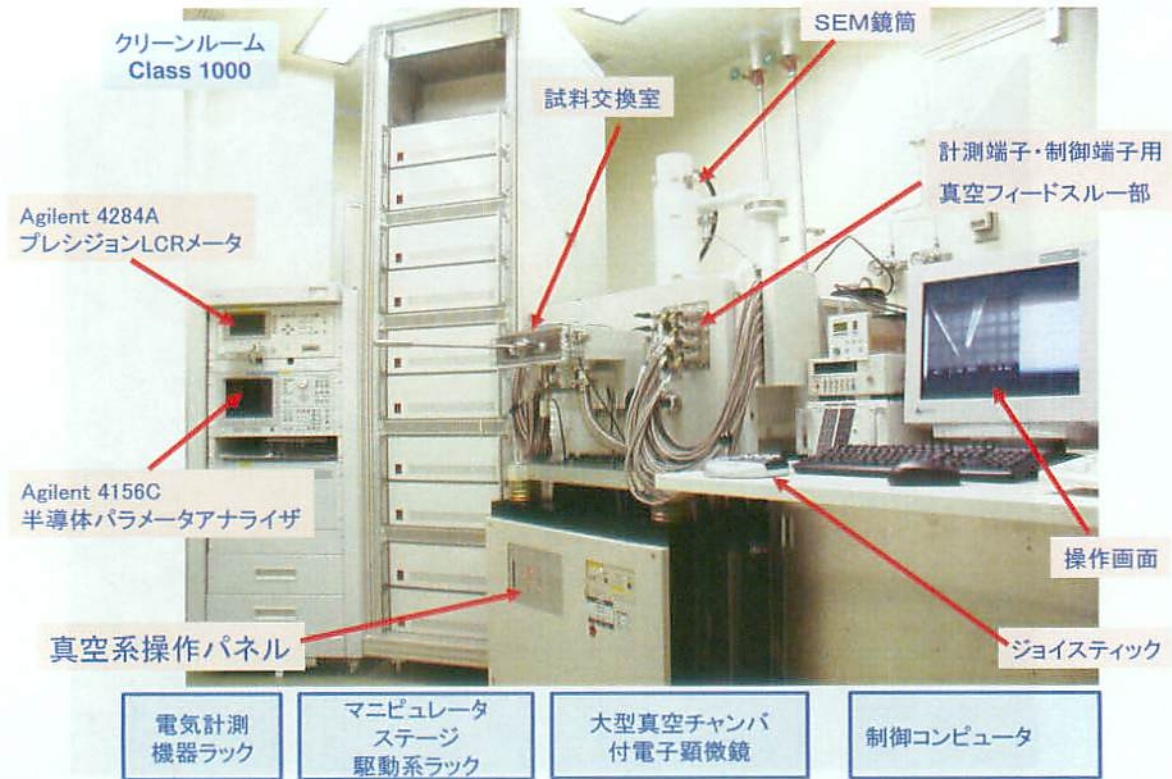


図2-38 ナノプローブ計測システムの外観

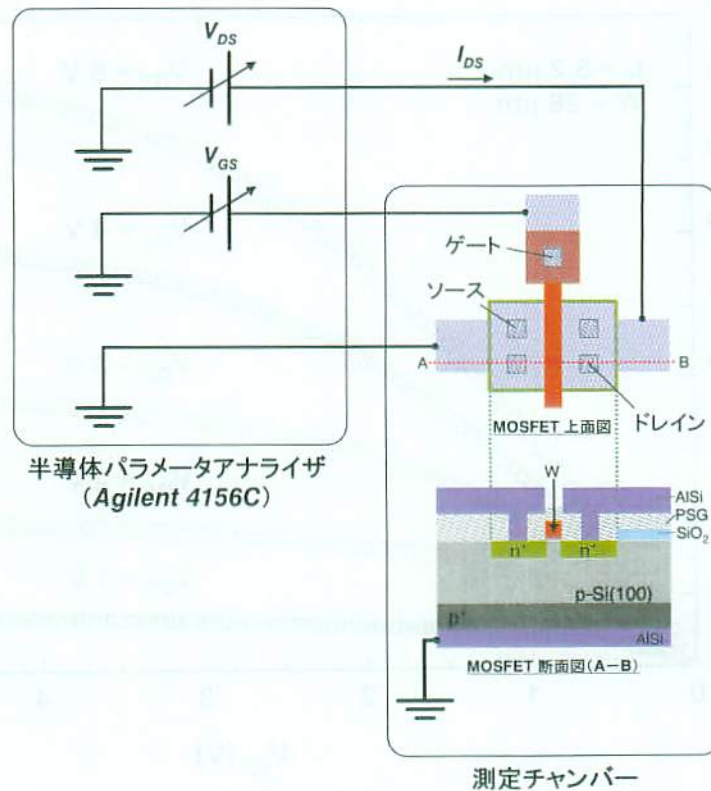
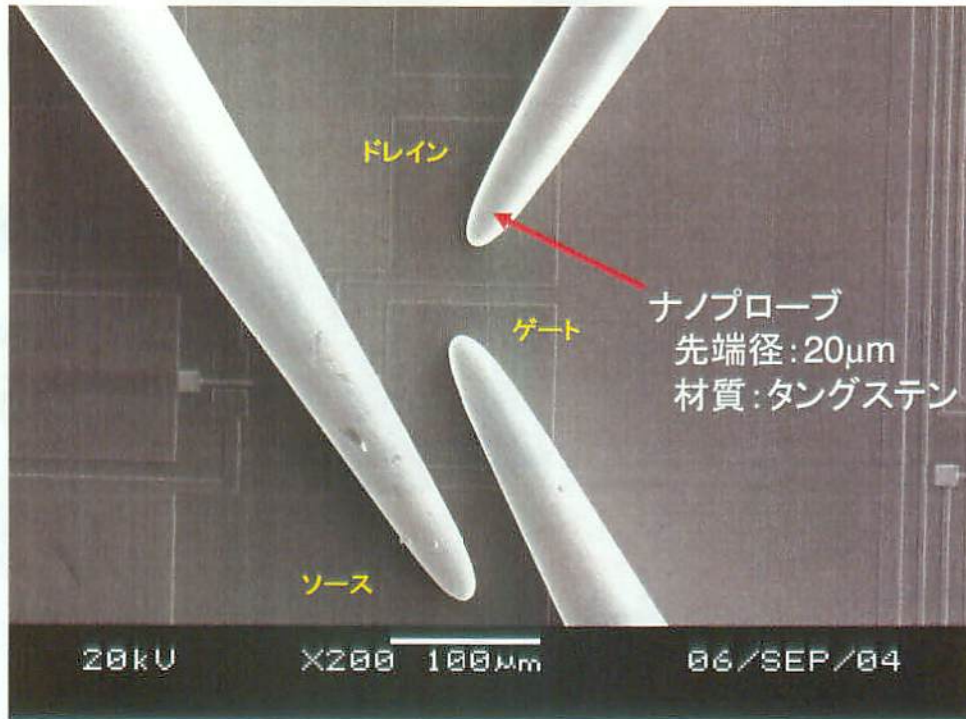
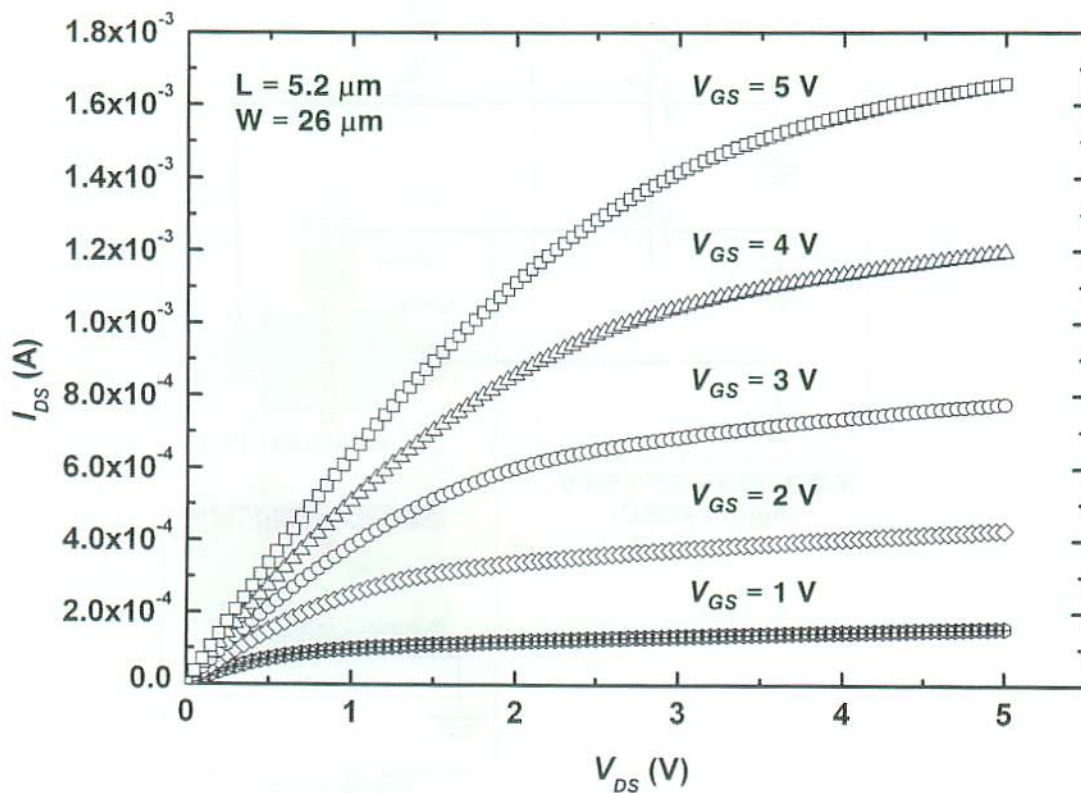


図2-39 MOSFET 電気特性の測定系



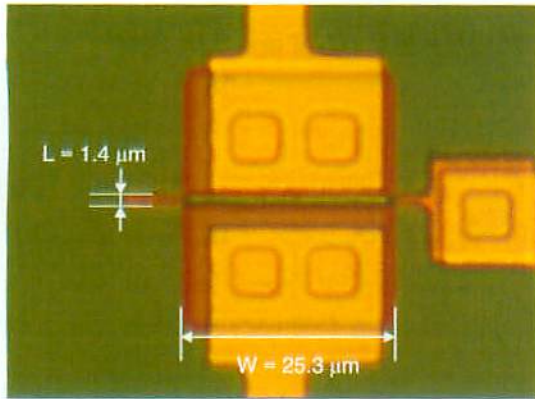
(a) ナノプローブを用いて MOSFET を計測している様子 (SEM 観察像)



(b) MOSFET ( $L=5.2\mu\text{m}$ ,  $W=26\mu\text{m}$ ) の  $V_{DS}$ - $I_{DS}$  測定結果

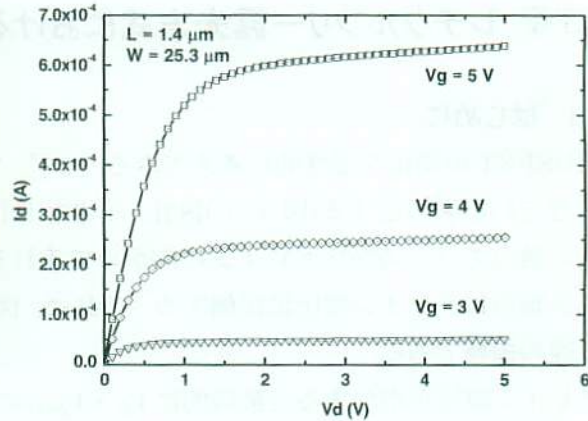
図2-40 試作した MOSFET の計測 SEM 写真と  $V_{DS}$ - $I_{DS}$  特性





(a) 光学顕微鏡写真

(設計値:L=2.3 μm, W=23 μm)

(a)  $V_{DS}-I_{DS}$  測定結果

(設計値:L=2.3 μm, W=23 μm)

図2-41 試作した MOSFET の光学顕微鏡写真と  $V_{DS}-I_{DS}$  特性

## 2.5 まとめ

レチクルフリー露光方式をステップに適用することにより、半導体集積回路の試作を試みた。アライメントマークを搭載した LCD レチクルを作製したことにより、既存のステップに LCD パネルを導入することが可能となり、ウェハとレチクルの位置あわせが従来のガラスマスクと同様に行え、LCD に表示させたパターンを基板上に形成したパターンに重ね合わせ露光することが可能となった。

また、実際に半導体集積回路の設計を行った結果、従来と同じデザインルールで設計が可能であることが分かり、その試作を行った結果、重ね合わせ露光に成功し、MOSFET としての動作を確認することができた。

以上の結果から、レチクルフリー露光方式を既存のステップに適用し、最も低コストな方法で半導体集積回路を作製可能であることを実証した。

### 第3章 レチクルフリー露光方式における MOSFET の省面積化設計

#### 3.1 はじめに

MOSFETの動作を定性的に考えてみる。まず、ゲートに電圧が印加されて半導体表面に反転層ができているものとする(図3-1)[83]。小さなドレイン電圧が加えられると電子は導電性のチャネルを通してソースからドレインに向かって流れる。したがってチャネルは抵抗として働き、ドレイン電流はドレイン電圧に比例する。これは、図3-1(a)の $V_D$ - $I_D$ 特性において直線で示されている線形領域である。

ドレイン電圧が増加すると最終的に $V_D = V_{DSAT}$ の点で反転層の厚さが $y = L$ の近くで0になるような点に達する。この点はピンチオフ点と呼ばれる(図3-1(b))。ピンチオフ点以降ではドレイン電流は同じである。これは、 $V_D > V_{DSAT}$ の領域では、ピンチオフ点における電圧 $V_{DSAT}$ は変わらないためである。したがってソースからピンチオフ点に到達するキャリアの数も、ドレインからソースに流れる電流も同じになる。このとき $I_D$ はドレイン電圧の増加に関わらず一定であり、この領域は飽和領域である。主な変化は図3-1(c)に示されているように $L$ が $L'$ という値に減ることである。

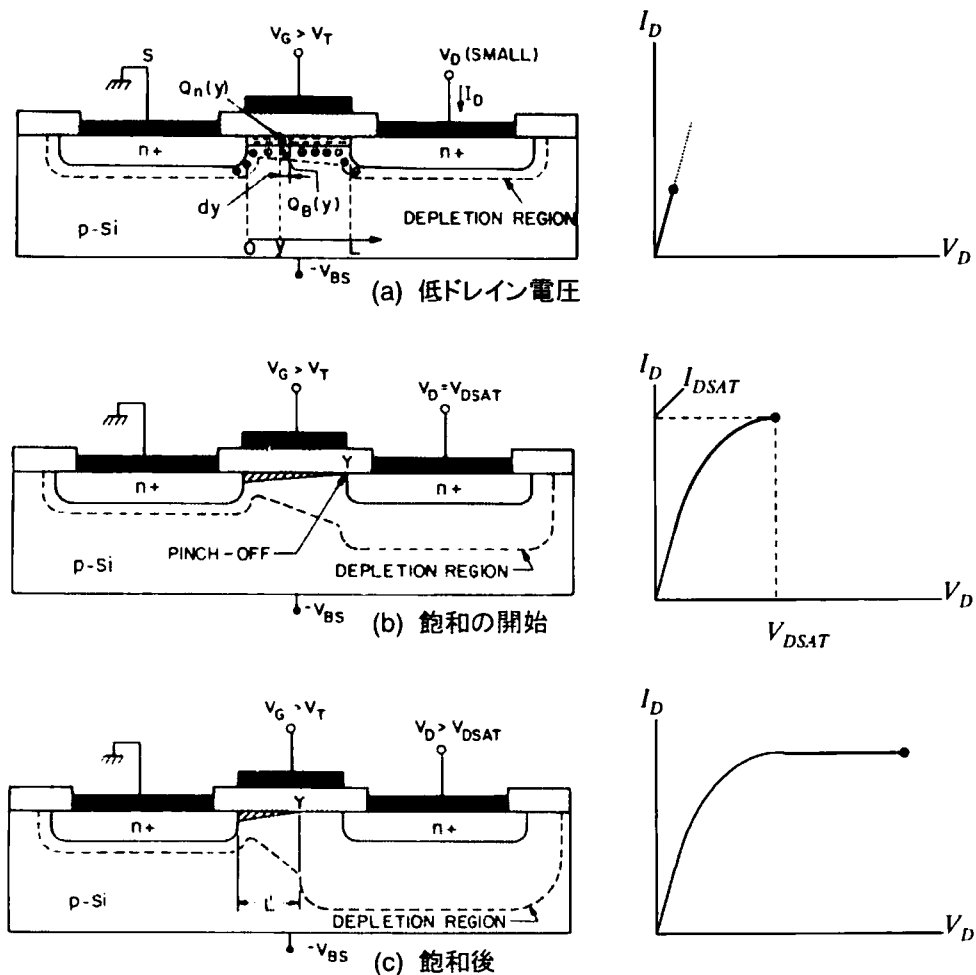


図3-1 MOSFETの動作とI-V出力特性[83]

MOSFET のドレイン電流を式で表すと、線形領域のドレイン電流は式(3-1)、飽和領域のドレイン電流は式(3-2)で表される。このドレイン電流は、MOSFET のゲートに電圧が印加されて、スイッチング動作をするときの駆動電流として回路設計時に適切な値となるように考慮する。その際、各パラメータを最適な値に調整する。ここで、 $I_{DS}$  はドレイン-ソース間に流れる電流、 $W$  はゲート幅、 $L$  はゲート長、 $C_{ox}$  はゲート酸化膜容量、 $\mu$  はキャリア移動度、 $V_{TH}$  は閾値電圧、 $V_{GS}$  はゲート-ソース間電圧、 $V_{DS}$  はゲート-ドレイン間電圧を示す。

$$I_{DS} = \mu C_{ox} \frac{W}{L} \left\{ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right\} \quad (V_{GS} \geq V_{TH}, V_{DS} \leq V_{GS} - V_{TH}) \quad (3-1)$$

$$I_{DS} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (V_{GS} \geq V_{TH}, V_{DS} \geq V_{GS} - V_{TH}) \quad (3-2)$$

$$\beta = \mu C_{ox} \frac{W}{L} \quad (3-3)$$

これらパラメータのうち  $C_{ox}$ 、 $\mu$ 、 $V_{TH}$  は、製造プロセスで決定されるパラメータであり、一般的に回路設計者は与えられた定数として取り扱う。従って、回路設計者が MOSFET を設計する際には、ゲート幅( $W$ )とゲート長( $L$ )のみが設計パラメータとして与えられ、デザインルールの範囲内で寸法の調整を行う。ここで、式(3-3)で表されるゲート幅とゲート長の寸法比で決定されるパラメータを利得係数( $\beta$ )と呼び、回路設計者が MOSFET の駆動能力を設計する際の設計パラメータとなる。回路の仕様として必要な駆動能力を得るためには、ゲート幅とゲート長を最適な寸法で設計し、任意の利得係数を得ることで目標仕様を達成する。特にアナログ回路では、駆動電流を微調整する場合が多く、一般的に小数点1桁までの範囲で $\beta$ 値を調整する。

従来のガラスレチクルは電子線描画装置でパターン形成を行うため、パターン設計のグリッドサイズが最小加工寸法の 1/10 あるいは、1/100 といった非常に細かいグリッドでパターンの寸法調整が可能である。一方、LCD パネルを用いたパターン形成においては、画素単位もしくは開口サイズ単位でしか寸法調整が行えない。図 3-2 に従来の設計とレチクルフリー露光方式での設計の比較を示す。この比較においては、最小加工寸法は同じ 5  $\mu\text{m}$  とし、設計グリッドを従来の設計では 0.1  $\mu\text{m}$ 、レチクルフリー露光方式では最小加工寸法の 1/2 である 2.5  $\mu\text{m}$  とした。この条件で、 $W/L = 3.3$  の MOSFET を設計した場合を例にとって比較してみると、従来設計では、設計グリッドが 0.1  $\mu\text{m}$  であるため、 $W$  の寸法を 0.1  $\mu\text{m}$  刻みで設計することができ、 $W = 3.3 \times 5 = 16.5 \mu\text{m}$  の最も小さな値で設計することができる。一方、レチクルフリー露光方式では、2.5  $\mu\text{m}$  刻みで設計するため  $W/L = 3.3$  とするためには  $W$ 、 $L$  ともに 2.5  $\mu\text{m}$  の整数倍で調整し、最終的に  $W/L = 33/10$  が最も小さい値となる。図 3-2 の設計パターンに示すように、同じ  $W/L$  でありながらレチクルフリー露光方式で設計を行うと、従来設計方よりレイアウト面積が大きくなってしまふ。このようにレチクルフリー露光方式では、従来のガラスレチクルを用いた場合のように、細かいグリッドサイズで MOSFET の寸法を微調整することが難いため、所望の駆動能力を得ようとする MOSFET のレイアウト面積が増大するといった問題がある。

そこで、本章では、この問題を解決する手段として MOSFET を並列に分割することに着目し、駆動能力が同じで MOSFET のレイアウト面積が最小となる分割方法について検討を行う。また、本手法を用いて MOSFET の設計と試作を行い、本手法の有効性の実証検証を行う。

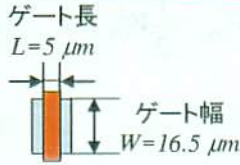
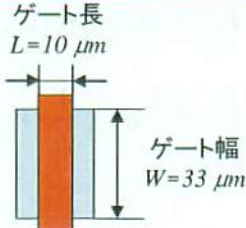
露光方式	従来方式	レチクルフリー露光方式
最小加工寸法	5 μm	5 μm (=画素ピッチ)
設計グリッドサイズ	0.1 μm ~ 0.05 μm (電子線描画で作製)	2.5 μm (=開口サイズ) (LCD画素構造で決まる)
MOSFET設計例 (W/L = 3.3)	 <p>ゲート長 <math>L=5\ \mu\text{m}</math></p> <p>ゲート幅 <math>W=16.5\ \mu\text{m}</math></p> $\frac{W}{L} = \frac{16.5}{5} = 3.3$	 <p>ゲート長 <math>L=10\ \mu\text{m}</math></p> <p>ゲート幅 <math>W=33\ \mu\text{m}</math></p> $\frac{W}{L} = \frac{33}{10} = 3.3$

図3-2 設計グリッドの違いによる MOSFET 設計パターン面積の比較

### 3.2 MOSFET の分割設計法

レイアウト面積を小さくする方法として、ゲート幅を分割し並列に接続する手法を用いる。図3-3に MOSFET の分割設計法を示す。ここでは、MOSFET を2つに分割して設計を行う。図3-3(a)は、基本形である単体 MOSFET であり飽和領域のドレイン電流は式(3-2)で表される。図3-3(b)は、2つの MOSFET に分割し、Metal 層で並列に接続したものである。ただし、 $W$ 、 $L$ 、 $W_1$ 、 $L_1$ 、 $W_2$ 、 $L_2$ の間には、式(3-4)の関係が成り立つものと仮定し、 $W/L$  を $\alpha$ (定数)と定義する。

$$\frac{W}{L} = \frac{W_1}{L_1} + \frac{W_2}{L_2} \equiv \alpha \text{ (定数)} \quad (3-4)$$

単体 MOSFET と式(3-4)を満たすように分割した並列 MOSFET の関係を回路図で表すと図3-4に示す関係となる。図3-4(b)の M1 と M2 のドレイン電流は、式(3-5)、(3-6)でそれぞれ表される。

$$I_{DS1} = \frac{1}{2} \mu C_{ox} \frac{W_1}{L_1} (V_{GS} - V_{TH})^2 \quad (3-5)$$

$$I_{DS2} = \frac{1}{2} \mu C_{ox} \frac{W_2}{L_2} (V_{GS} - V_{TH})^2 \quad (3-6)$$

これらの電流を足し合わせ、式(3-4)の関係を用いると、式(3-7)で表すことができ、並列に分割しても理論的にドレイン電流が単体 MOSFET と等しくなる。

$$I_{DS1} + I_{DS2} = \frac{1}{2} \mu C_{ox} \left( \frac{W_1}{L_1} + \frac{W_2}{L_2} \right) (V_{GS} - V_{TH})^2 = I_{DS} \quad (3-7)$$

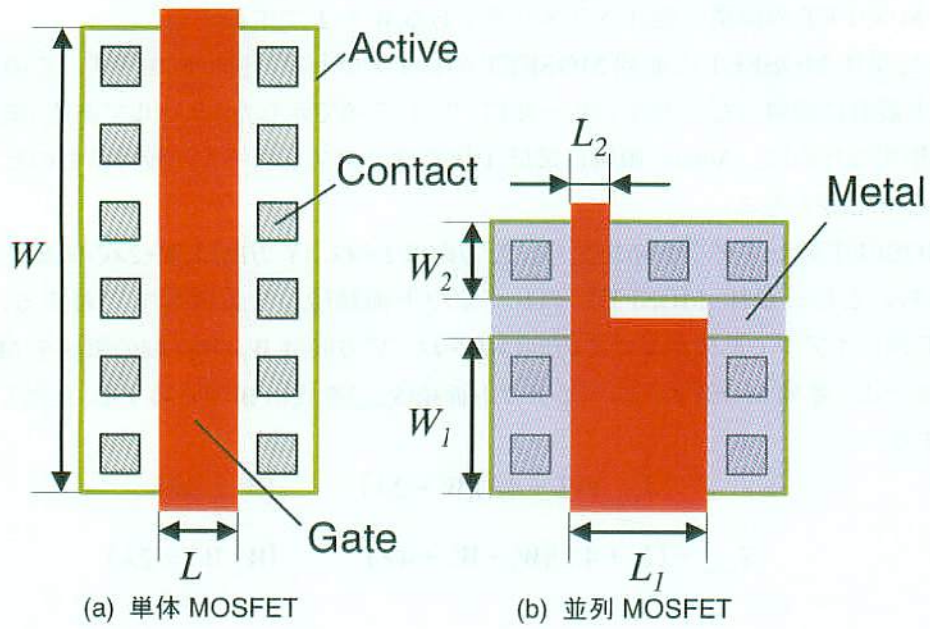


図3-3 MOSFET の分割設計法

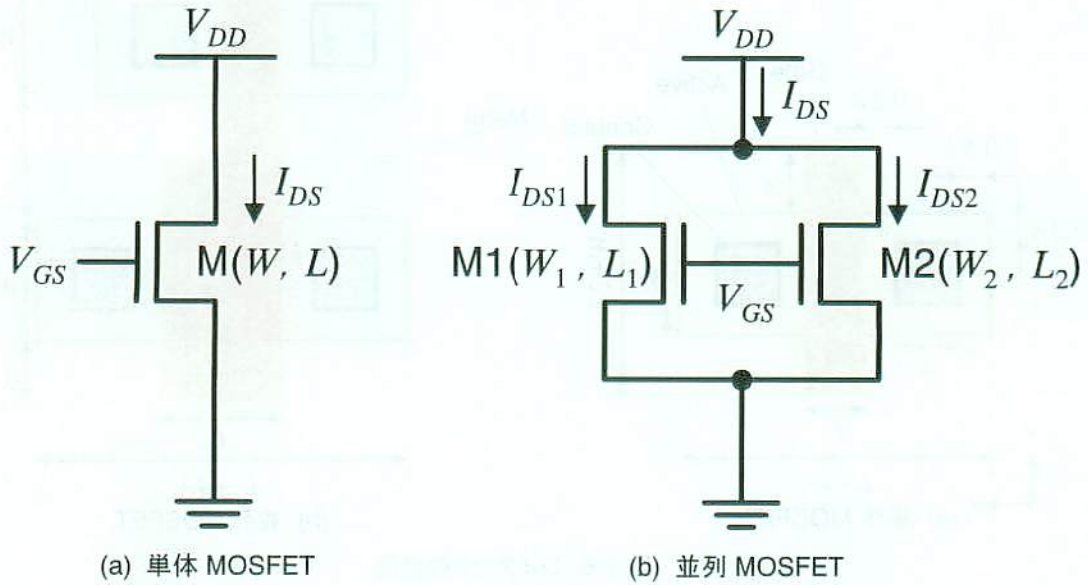


図3-4 単体 MOSFET と並列 MOSFET の回路図

ここで、省面積化するための分割方法を検討するにあたり、MOSFET 設計後の面積の比較を行うために MOSFET の面積を設計パラメータである  $W$  や  $L$  で定義する。

図3・5に単体 MOSFET と並列 MOSFET のレイアウト設計図の例を示す。この MOSFET のレイアウト設計に適用したデザインルールは、2.3.7項で示した $\lambda$ ルールである。また、MOSFET として動作するために、Active 領域に最低1個のコンタクトホールを設けるものとした。この制約条件から  $W \geq 2\lambda$  となる。

単体 MOSFET のレイアウト結果から、X 方向は  $L+4\lambda$ 、Y 方向は  $W+2\lambda$  の領域を MOSFET が占有するものとし、単体 MOSFET のレイアウト面積( $S_{std}$ )を式(3-8)で定義する。また、並列 MOSFET のレイアウト結果から、X 方向は  $L_1+4\lambda$ 、Y 方向は  $W_1+W_2+4\lambda$  の領域を MOSFET が占有するものとし、並列 MOSFET のレイアウト面積( $S_{para}$ )を式(3-9)で定義する。ただし、この場合、 $L_1 > L_2$  とする。

$$S_{std} = (L + 4\lambda)(W + 2\lambda) \quad (W \geq 2\lambda) \quad (3-8)$$

$$S_{para} = (L_1 + 4\lambda)(W_1 + W_2 + 4\lambda) \quad (W_1, W_2 \geq 2\lambda) \quad (3-9)$$

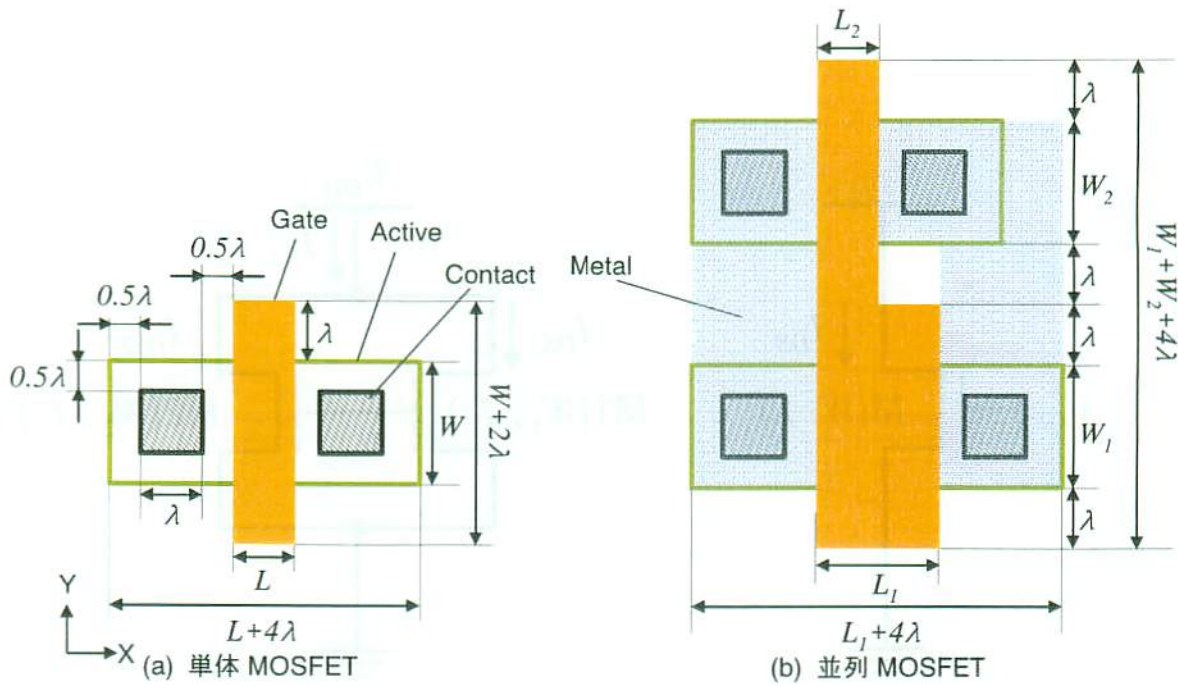


図3-5 レイアウト設計図

次に、単体 MOSFET の面積が最小となる条件について検討を行う。式(3-3)に示す MOSFET の利得係数 $\beta$ は、式(3-4)に示す $\alpha$ を設計することで得られる。設計グリッドサイズを $\lambda$ とすると、それぞれ $W = m\lambda$ と $L = n\lambda$ と表すことができるので、 $\alpha$ は $\lambda$ を用いて式(3-10)で表すことができる。

$$\alpha = \frac{W}{L} = \frac{m\lambda}{n\lambda} \quad (m, n > 0, \text{任意の実数}) \quad (3-10)$$

この関係式を用いて、式(3-8)を変形し、 $n$ の関数として表すと式(3-11)になる。

$$\begin{aligned} S_{std} &= (n\lambda + 4\lambda)(m\lambda + 2\lambda) \\ &= (n + 4)(\alpha n + 2)\lambda^2 \\ &= \{\alpha n^2 + 2(2\alpha + 1)n + 8\}\lambda^2 \end{aligned} \quad (3-11)$$

このように $n$ の関数 $S_{std} = f(n)$ として表すことができるので、 $n$ に対する $S_{std}$ の変化を調べるために式(3-11)を $n$ で微分すると、式(3-12)のような結果となり $S_{std} = f(n)$ は単調増加関数であることがわかる。

$$\frac{dS_{std}}{dn} = (2\alpha n + 4\alpha + 2)\lambda^2 > 0 \quad (3-12)$$

レチクルフリー露光方式の場合、 $W$ 、 $L$ は設計グリッド $\lambda$ の整数倍で設計することになるため、単体 MOSFET の面積が最も小さくなる条件は、 $n=1$ 、すなわち $L=\lambda$ のときである。

以上の様な、単体 MOSFET の面積最小条件を応用し、ひきつづき並列 MOSFET の面積最小条件について検討する。並列 MOSFET は、2 個の MOSFET を並列に接続することで所望の駆動能力を得るものであり、各々の MOSFET の利得係数の和が並列 MOSFET の利得係数となる。したがって、前項と同様に設計グリッドサイズ $\lambda$ を用いて式(3-13)で $\alpha$ を表すことができる。

$$\begin{aligned} \alpha_1 &\equiv \frac{W_1}{L_1} = \frac{m_1\lambda}{n_1\lambda} = \frac{m_1}{n_1} \\ \alpha_2 &\equiv \frac{W_2}{L_2} = \frac{m_2\lambda}{n_2\lambda} = \frac{m_2}{n_2} \quad (m_1, n_1, m_2, n_2 > 0, \text{任意の実数}) \\ \alpha &= \alpha_1 + \alpha_2 = \frac{m_1}{n_1} + \frac{m_2}{n_2} \end{aligned} \quad (3-13)$$

この関係式を用いて、式(3-9)を変形し、 $m_1$ 、 $n_2$ の関数で表すと式(3-14)になる。

$$S_{para} = \{\alpha_1 n_1^2 + 4(\alpha_1 + 1)n_1 + \alpha_2 n_1 n_2 + 4\alpha_2 n_2 + 16\}\lambda^2 \quad (3-14)$$

このように $m_1$ 、 $n_2$ の関数 $S_{para} = f(n_1, n_2)$ として表すことができるので、単体 MOSFET の場合と同様に $n_1$ と $n_2$ に対する $S_{para}$ の変化を調べる。式(3-14)を $n_1$ 、 $n_2$ それぞれで偏微分すると、式(3-15)、式(3-16)に示す結果となり、 $S_{para} = f(n_1, n_2)$ は単調増加関数であることがわかる。

$$\frac{\partial S_{para}}{\partial n_1} = \{2\alpha_1 n_1 + 4(\alpha_1 + 1) + \alpha_2 n_2\}\lambda^2 > 0 \quad (n_2 = \text{一定}) \quad (3-15)$$

$$\frac{\partial S_{para}}{\partial n_2} = (\alpha_2 n_1 + 4\alpha_2)\lambda^2 > 0 \quad (n_1 = \text{一定}) \quad (3-16)$$

レチクルフリー露光方式の場合、 $n_1, m_1, n_2, m_2$  は整数値となるため、並列 MOSFET の面積最小条件は、 $n_1=1, n_2=1$ 、すなわち  $L_1=\lambda, L_2=\lambda$  のときである。このとき、 $\alpha$  がどのような値をとるのか調べてみると、式(3-17)の関係となり  $\alpha$  の値は整数となる。

$$\alpha = \frac{W}{L} = \alpha_1 + \alpha_2 = \frac{W_1}{L_1} + \frac{W_2}{L_2} = \frac{m_1\lambda}{\lambda} + \frac{m_2\lambda}{\lambda} = m_1 + m_2 \quad (3-17)$$

以上の結果から、並列 MOSFET の面積が最小となるのは、 $\alpha$  の値が整数の場合のみとなってしまう。しかし、実際の設計においては必ずしも整数の値をとるとは限らないため、 $\alpha$  の値が整数以外の場合においても、どのようにすれば省面積化できるのか検討を行う必要がある。以下に、まず、 $\alpha$  の値が整数の場合とそれ以外の場合で場合分けを行い、それぞれの場合における単体 MOSFET と並列 MOSFET のレイアウト面積を比較し、どちらの形式で設計したほうがレイアウト面積が小さくなるかを検討する。

#### (1) $\alpha$ の値が整数の場合

まず、 $\alpha$  の値が整数の場合の単体 MOSFET と並列 MOSFET の面積を比較してみる。単体 MOSFET の面積最小条件より  $n_1=1$  を式(3-11)に代入し面積を計算すると式(3-18)となる。一方、並列 MOSFET の面積最小条件より  $n_1=1, n_2=1$  を式(3-14)に代入し面積を計算すると式(3-19)になる。式(3-18)と式(3-19)を比較すると、 $S_{para} > S_{std}$  となり、 $\alpha$  の値が整数の場合は、単体 MOSFET の形で設計した方が、レイアウト面積が小さくなる。

$$S_{std} = 5(\alpha + 2)\lambda^2 = 5(\alpha_1 + \alpha_2 + 2)\lambda^2 \quad (3-18)$$

$$S_{para} = 5(\alpha_1 + \alpha_2 + 4)\lambda^2 \quad (3-19)$$

#### (2) $\alpha$ の値が整数以外の場合

ここでは、図 3-5 (b)において、 $L_1 > L_2$  の場合の並列 MOSFET の面積について考察を行い、小数点 1 桁までの  $\alpha$  値を考慮する。

並列 MOSFET の面積最小条件の考察から、 $\alpha$  の値が整数以外の場合においては、 $n_1, n_2$  のどちらか一方が 1 となり、もう一方が 1 以外の整数となる。例えば、 $L_1 > L_2$  の場合は、 $n_1 \geq 1, n_2=1$  となる。この場合、式(3-13)の関係から、式(3-20)となる。

$$\alpha = \alpha_1 + \alpha_2 = \frac{m_1}{n_1} + \frac{m_2}{n_2} = \frac{m_1}{n_1} + m_2 \quad (m_1, m_2 = \text{整数}, n_1 \neq 1 \text{の整数}) \quad (3-20)$$

例えば、 $\alpha = 3.3$  の場合、 $m_2$  は整数であるため、 $\alpha = \alpha_1 + \alpha_2 = 0.3 + 3$  のように必ず整数部と少数部に分けることになる。したがって  $\alpha$  の値が整数以外の場合は、 $\alpha$  値を整数部( $\alpha_2$ )と小数部( $\alpha_1$ )に分け、整数部と小数部を表す MOSFET に分割して設計すればよいことになる。次に  $n_1$  のとりうる整数の値を求める。まず、 $n_2=1$  を式(3-14)に代入し並列 MOSFET の面積を  $n_1$  のみ関数で表すと式(3-21)になる。さらに  $n_1$  で微分すると式(3-22)が得られ、 $S_{para}$  は単調増加関数であることがわかる。

$$S_{para} = \left\{ \alpha_1 n_1^2 + 4(\alpha_1 + 1)n_1 + \alpha_2 n_1 + 4\alpha_2 + 16 \right\} \lambda^2 \quad (3-21)$$



$$\frac{dS_{para}}{dn_1} = \{2\alpha_1 n_1 + 4(\alpha_1 + 1) + \alpha_2\} \lambda^2 > 0 \quad (3-22)$$

この計算結果から、並列 MOSFET の面積が最小となるためには、小数部  $\alpha_1 = m_1 / n_1$  を与える  $n_1$  のうち最も小さい  $n_1$  を選択する必要がある。また、 $\lambda m_1 = W_1$  の関係とコンタクトホールの設計制約から  $W_1 \geq 2\lambda$  であるため、 $m_1 \geq 2$  となり、 $n_1 > 2$  の条件も満たす必要がある。

ここで、 $\alpha$  の値が整数以外の場合における、単体 MOSFET の面積と並列 MOSFET の面積を比較してみる。式(3-13)に  $n_2=1$  を代入すると、式(3-23)になる。

$$\alpha = \frac{W}{L} = \frac{m_1}{n_1} + m_2 = \frac{m_1 + m_2 n_1}{n_1} = \frac{m}{n} \quad (m \equiv m_1 + m_2 n_1, n \equiv n_1) \quad (3-23)$$

この関係式と式(3-11)から単体 MOSFET 面積は、式(3-24)になる。

$$S_{std} = \{\alpha n_1^2 + 2(2\alpha + 1)n_1 + 8\} \lambda^2 \quad (3-24)$$

また、式(3-14)から並列 MOSFET の面積は、式(3-25)となる。

$$S_{para} = \{(\alpha - m_2) n_1^2 + (4\alpha - 3m_2 + 4)n_1 + 4(m_2 + 4)\} \lambda^2 \quad (3-25)$$

ここで、それぞれの面積を比較するために、単体 MOSFET の面積と並列 MOSFET の面積の差分をとる。面積の差を  $S'$  とすると

$$S' = S_{std} - S_{para} = \{m_2 n_1^2 + (3m_2 - 2)n_1 - 4m_2 - 8\} \lambda^2 \quad (3-26)$$

となる。ここで、 $n_1$  のとりうる最小の値は、 $n_1=3$  であるため、式(3-26)に代入すると、

$$S' = S_{std} - S_{para} = (14m_2 - 14)\lambda^2 \geq 14\lambda^2 \quad (\because m_2 \geq 2) \quad (3-27)$$

となる。したがって  $\alpha$  が整数以外の場合は、並列 MOSFET で設計したほうが、面積が小さくなり、 $\alpha = (\text{整数部 } \alpha_2) + (\text{小数部 } \alpha_1)$  となるように分割することが求められる。

これまでの理論的に考察した結果をまとめると、まず、設計する  $\alpha$  の値が整数かそれ以外かで分割するかしないかを決定する。整数の場合は、分割せずに基本形である単体 MOSFET で設計したほうが、最小の面積で MOSFET のパターン設計が可能である。一方、整数以外の場合は、2分割し、並列 MOSFET の形で設計を行った方が、最小の面積で所望の  $\alpha$  値を実現できる。このとき2つに分割する方法として、 $\alpha$  値を整数部と小数部に分け、それぞれの値を実現できる2つの MOSFET の並列接続構成にする。以上の結果をまとめると、図3・6に示すフローで面積が最小となる設計方法が決まり、各設計パラメータの値が求められる。

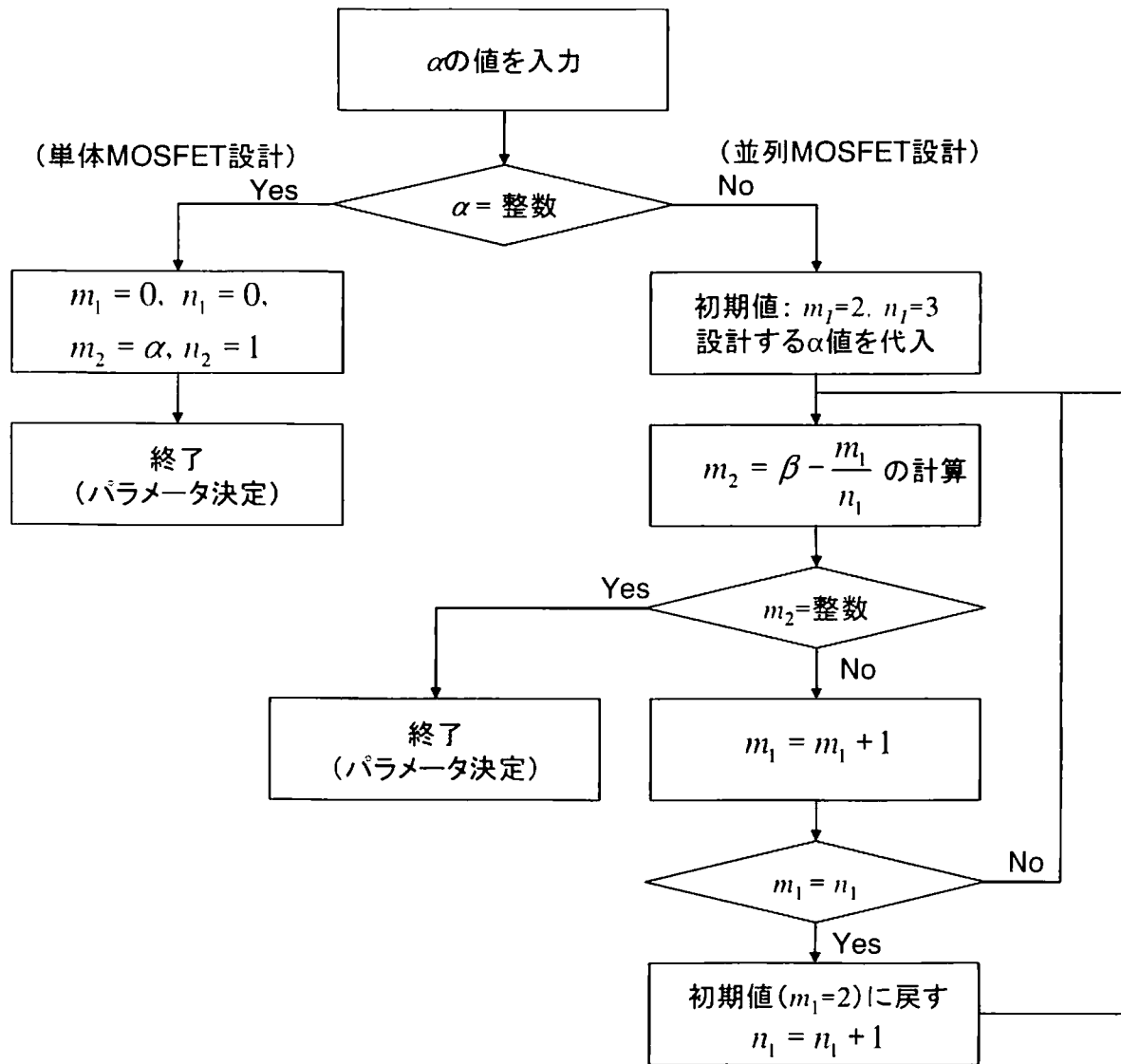


図3-6 省面積化設計における設計パラメータ決定フローチャート

### 3.3 実際の設計による検証

前節の考察から、 $\alpha$ の値に応じて設計方法を考慮すれば、省面積化が図れることが理論的に分かった。そこで、本節では実際にレイアウト設計を行い、省面積化設計法による効果を検証する。レイアウト設計する回路として、アナログ回路の基本回路のひとつであるCMOS差動入力増幅回路を例題とした。従来法で設計した場合とレチクルフリー露光方式で設計した場合のそれぞれの方法で設計し、レイアウト面積の比較を行った。レチクルフリー露光方式については、単体MOSFETで設計した場合と並列MOSFETで設計した場合のそれぞれの方法で設計し、従来の設計法とレイアウト面積を比較した。

#### 3.3.1 差動増幅回路

差動増幅回路は、OPアンプの入力回路をはじめアナログ集積回路の基本回路として用いられている[8-1]。差動増幅回路は、2つの増幅素子があり、その増幅素子のカソード(FETの場合はソース、バイポーラトランジスタの場合はエミッタ)が互いに接続され、その共通のカソード回路に流れる電流がほぼ一定となるような動作をする増幅回路のことである。また、対照的に作られているために、電源電圧や周囲温度の影響を受けにくい。IC化した場合には、さらにトランジスタ・ペアの近接条件がよくなる。今回設計する差動増幅回路を図3-7に示す。回路を構成する各MOSFETの $\alpha = w/L$ は、図3-7に示す値とし、この値から設計のパラメータである $w$ や $L$ の値を計算により求めることから始める。尚、図3-7中に示すM1、M2、M5はn-MOSFETを示し、M3、M4はp-MOSFETを示す。

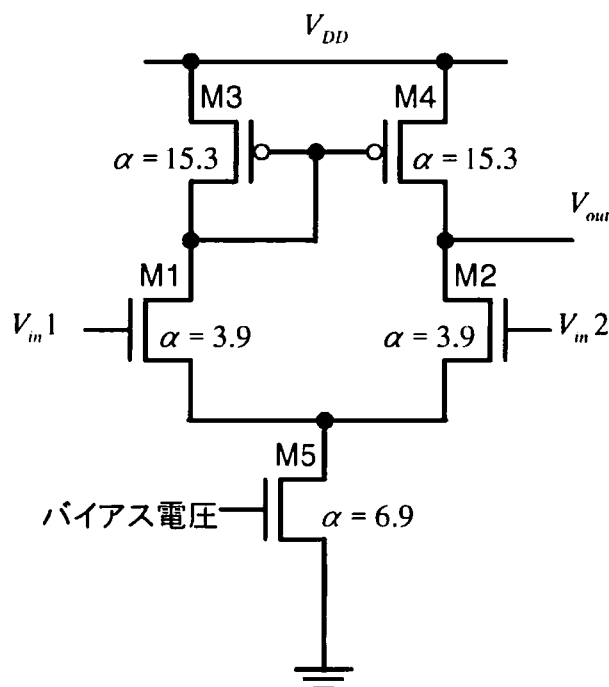


図3-7 レイアウト設計した差動増幅回路

### 3.3.2 レイアウト設計結果

レイアウト設計に用いたデザインルールは、2.3.7項に示したλルールである。また、表3-1にレイアウト設計の制約条件を示す。最小加工寸法はともに5.0 μmとし、従来設計法の設計グリッドサイズは0.1 μm、レチクルフリー露光方式では最小加工寸法の1/2の2.5 μmとした。

表3-1 レイアウト設計の制約条件

	従来設計法	レチクルフリー露光方式
設計グリッド (μm)	0.1	2.5
最小加工寸法 (μm)	5.0	5.0

図3-7に示す回路を構成するMOSFETの設計パラメータである $W$ と $L$ の値をどのように決めるか、M1、M2のMOSFETを例に、パラメータの決め方を示す。

まず、 $L$ は最小加工寸法で設計したほうが最も面積が小さくなるので、 $L = 5 \mu\text{m}$ が決まる。従来設計法では設計グリッドサイズが0.1 μmなので、単純に $W = 3.9 \times 5 = 19.5 \mu\text{m}$ の計算で $W$ が求まる。一方、レチクルフリー露光方式では、設計グリッドサイズが2.5 μmなので、 $W$ のサイズが2.5 μmの整数倍で表せる数値にしなければならない。従来設計法で求めた19.5 μmは2.5 μmの整数倍でないため設計することができない。そこで、単体MOSFETで設計する場合は、式(3-28)に示すように $\alpha$ の値を分数で表し、分母分子それぞれにを2.5倍し、 $W = 97.5 \mu\text{m}$ 、 $L = 25 \mu\text{m}$ が得られる。

$$\frac{W}{L} = 3.9 = \frac{39}{10} = \frac{2.5 \times 39}{2.5 \times 10} = \frac{97.5}{25} \quad (3-28)$$

並列MOSFETで設計する場合は、まず、 $\alpha$ 値を整数部と小数部に分ける。整数部を表す $W/L$ は、 $L$ は最小加工寸法の5 μmとし、 $W = 3 \times 5 = 15 \mu\text{m}$ の単純な計算で求まる。小数部は単体MOSFETで設計する場合と同様に求める。式(3-29)に並列MOSFETで設計する場合の $W$ と $L$ の計算課程を示す。

$$\frac{W}{L} = 3.9 = 3 + 0.9 = 3 + \frac{9}{10} = \frac{15}{5} + \frac{2.5 \times 9}{2.5 \times 10} = \frac{15}{5} + \frac{22.5}{25} \quad (3-29)$$

図3-7に示す回路を構成するMOSFETについて設計パラメータである $W$ と $L$ の値を計算した結果を表3-2にまとめ、図3-8に実際に設計したCAD設計結果を示す。CAD設計結果に示す寸法は、最小加工寸法 $\lambda = 5.2 \mu\text{m}$ を単位としたものである。ここで、それぞれの方法で設計した面積を比較するために、回路を構成するMOSFETの面積を3.2節で示した面積の定義に従って計算し、それらを合計したものを回路の占有面積として比較を行った。また、従来設計法での面積を1としたときの単体MOSFET設計、並列MOSFET設計それぞれが何倍になっているかを計算し、その結果を表3-3に示す。尚、面積についても $\lambda$ を単位として表すことにした。

表3-2 各 MOSFET の  $W$  と  $L$  の設計値

MOSFET記号	$\alpha$ 値	従来設計法	レチクルフリー露光方式	
			単体MOSFETで設計	並列MOSFETで設計
M1, M2	3.9	$\frac{W}{L} = 3.9 = \frac{19.5}{5}$	$\frac{W}{L} = 3.9 = \frac{2.5 \times 39}{2.5 \times 10} = \frac{97.5}{25}$	$\frac{W}{L} = 3.9 = 3 + 0.9 = \frac{15}{5} + \frac{22.5}{25}$
M1, M2	15.3	$\frac{W}{L} = 15.3 = \frac{76.5}{5}$	$\frac{W}{L} = 15.3 = \frac{2.5 \times 153}{2.5 \times 10} = \frac{382.5}{25}$	$\frac{W}{L} = 15.3 = 15 + 0.3 = \frac{75}{5} + \frac{15}{25}$
M5	6.9	$\frac{W}{L} = 6.9 = \frac{34.5}{5}$	$\frac{W}{L} = 6.9 = \frac{2.5 \times 69}{2.5 \times 10} = \frac{172.5}{25}$	$\frac{W}{L} = 6.9 = 6 + 0.9 = \frac{30}{5} + \frac{22.5}{25}$

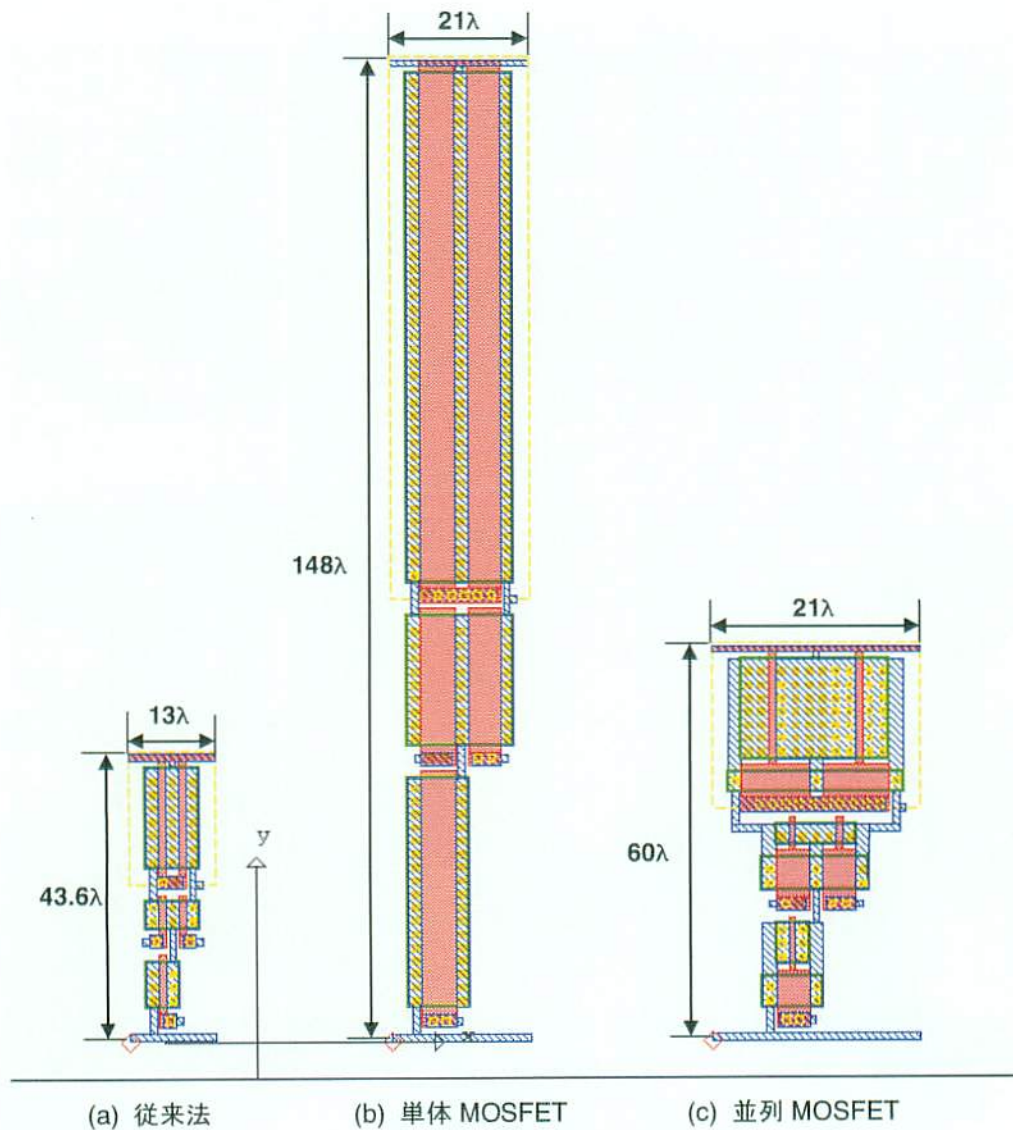


図3-8 レイアウト設計結果

表3-3 レイアウト面積の比較結果

	面積 ( $\lambda^2 \mu\text{m}^2$ )	倍率
従来設計法 (図3-8(a))	427.95	1
単体 MOSFET 設計法 (図3-8(b))	2501.5	5.85
並列 MOSFET 設計法 (図3-8(c))	1247.5	2.92

レイアウト結果からも明らかであるが、単純に単体 MOSFET の構成で設計を行うと、従来設計法の 5.85 倍の面積になることが分かった。これは、設計グリッドサイズの大きさが影響しており、特にこの例題のように  $\alpha$  の値が整数で表せない場合は影響が大きい。一方、省面積化を考慮した並列 MOSFET 構成で設計を行うと、従来設計法の 2.92 倍まで面積を抑えることが分かった。

### 3.4 試作による検証

前節において設計パラメータである $\alpha$ 値により設計方法の場合分けすることで、レチクルフリー露光方式における省面積化設計が可能であることが分かった。そこで本節では、MOSFET の設計と試作を実際に行い、単体 MOSFET と省面積化設計した MOSFET の電流駆動特性の測定を行った。

#### 3.4.1 MOSFET の設計

設計・試作した MOSFET の設計パラメータは $\alpha = 3.3$  とし、各設計方法で設計した MOSFET の  $W$  と  $L$  を表 3-4 に示す。本節の試作においては、図 2-6 (a) に示す LCD レチクルを用いた。この LCD には、表 1-4 に示す TYPE1 の LCD が搭載されており、1 画素サイズが  $26 \mu\text{m}$  であるため、ステップで 1/5 縮小すると  $5.2 \mu\text{m}$  になる。したがって設計グリッドサイズは  $5.2 \mu\text{m}$  とした。省面積化設計法では、 $\alpha = 3.3$  と整数以外の値なので、整数と少数に分けてそれぞれの値を実現する寸法を求めた。

図 3-9 にそれぞれの方法でレイアウト設計を行った結果を示す。また、表 3-5 にレイアウト面積の比較を示す。省面積化設計することにより、単体 MOSFET の 1/3.5 の面積でレイアウト設計が可能であることが分かった。

表3-4 試作 MOSFET の設計パラメータ

$\alpha$ 値	単体 MOSFET 設計	省面積化設計
3.3	$\frac{W}{L} = 3.3 = \frac{33}{10} = \frac{5.2 \times 33}{5.2 \times 10} = \frac{171.6}{52}$	$\frac{W}{L} = 3.3 = 3 + 0.3 = 3 + \frac{3}{10} = \frac{15.6}{5.2} + \frac{15.6}{52} = \frac{W_1}{L_1} + \frac{W_2}{L_2}$

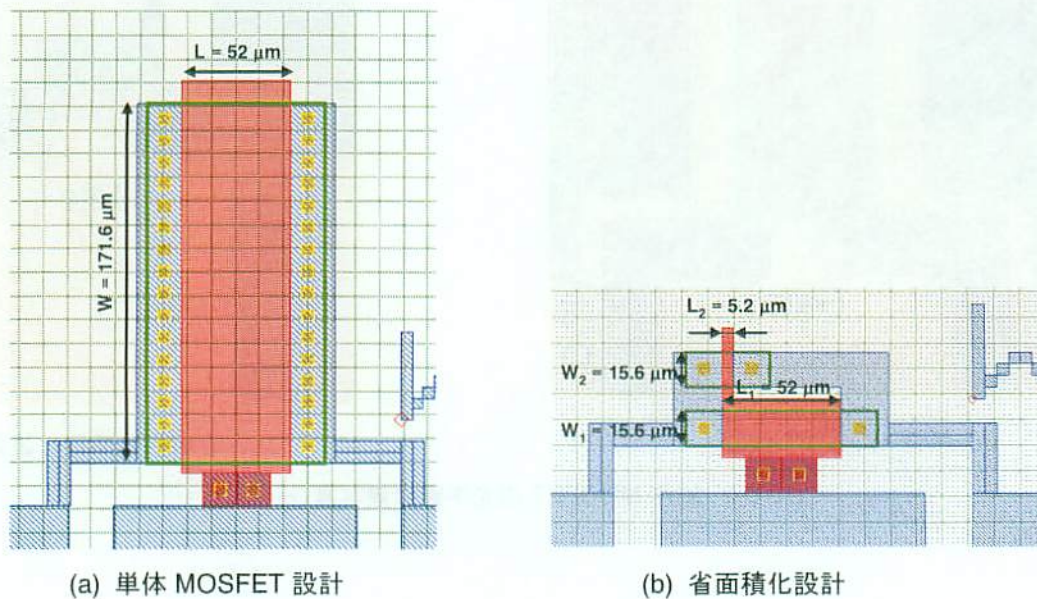


図3-9 試作 MOSFET のレイアウト設計結果( $\alpha = 3.3$ )

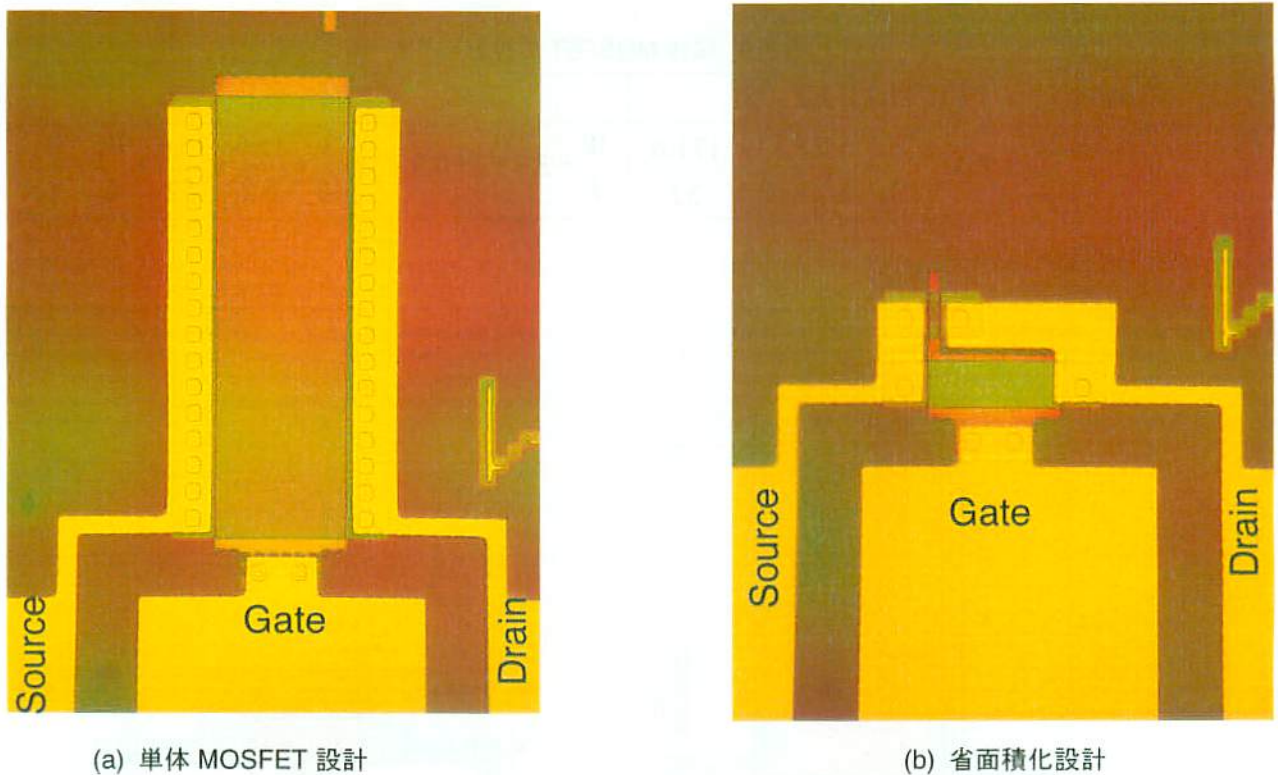
表3-5 試作 MOSFET のレイアウト面積比較結果

	面積( $\mu\text{m}^2$ )	面積比
単体 MOSFET 設計	13249.6	1
省面積化設計	3785.6	1/3.5

### 3.4.2 MOSFET の試作と電流特性測定

MOSFET の試作には、2.4 節で示した試作プロセスフローで試作を行い、ナノプローブシステムを用いて各 MOSFET のドレイン電流の測定を行った。図 3-10 に試作後の各 MOSFET を光学顕微鏡で観察した結果を示す。また、それぞれの方法で設計した MOSFET のゲート電圧を  $V_{GS} = 5\text{ V}$  としたときのドレイン電圧ードレイン電流 ( $V_{DS}$ - $I_{DS}$ ) 特性を図 3-11 に示す。

$V_{DS}$ - $I_{DS}$  特性の飽和領域の電流をそれぞれ比較するとし、ここでは、 $V_{DS} = 5\text{ V}$  の時の  $I_{DS}$  を比較した。比較するにあたって、それぞれの方法で設計し、試作した MOSFET を 3 デバイス測定し、その平均値を比較した。その結果を図 3-12 に示す。この結果から、理論的には同じ電流値になるはずであるが、省面積化設計した MOSFET の方が単体 MOSFET として設計したものより電流値が高いことが分かった。

図3-10 試作 MOSFET の光学顕微鏡写真 ( $\alpha = 3.3$ )



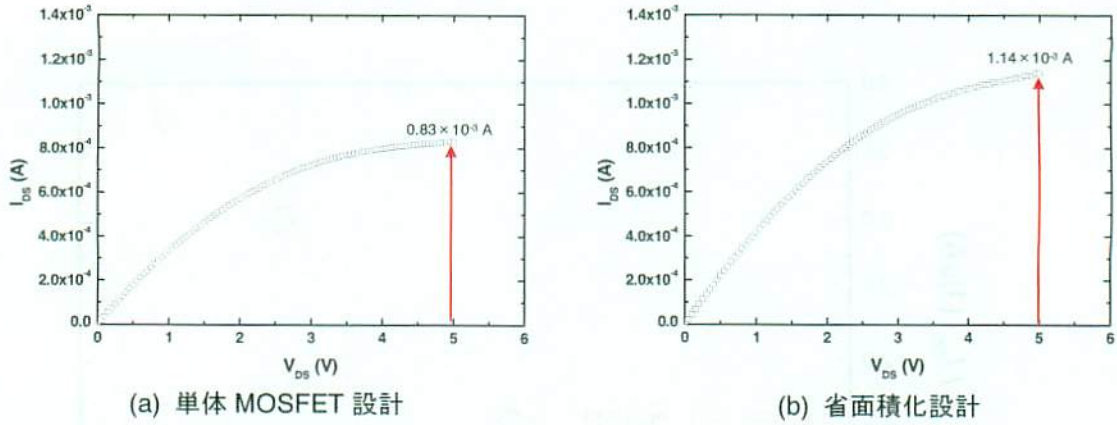


図3-11 試作 MOSFET の  $V_{DS}$ - $I_{DS}$  特性 ( $\alpha = 3.3$ ,  $V_{GS} = 5V$ )

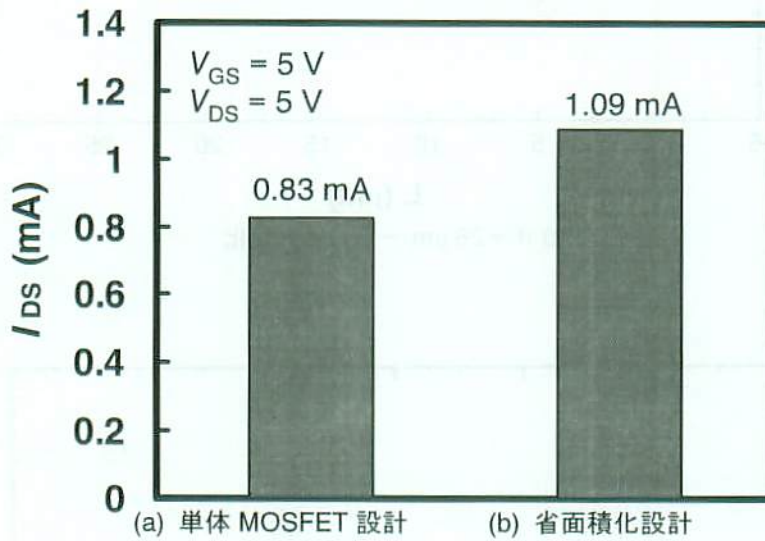
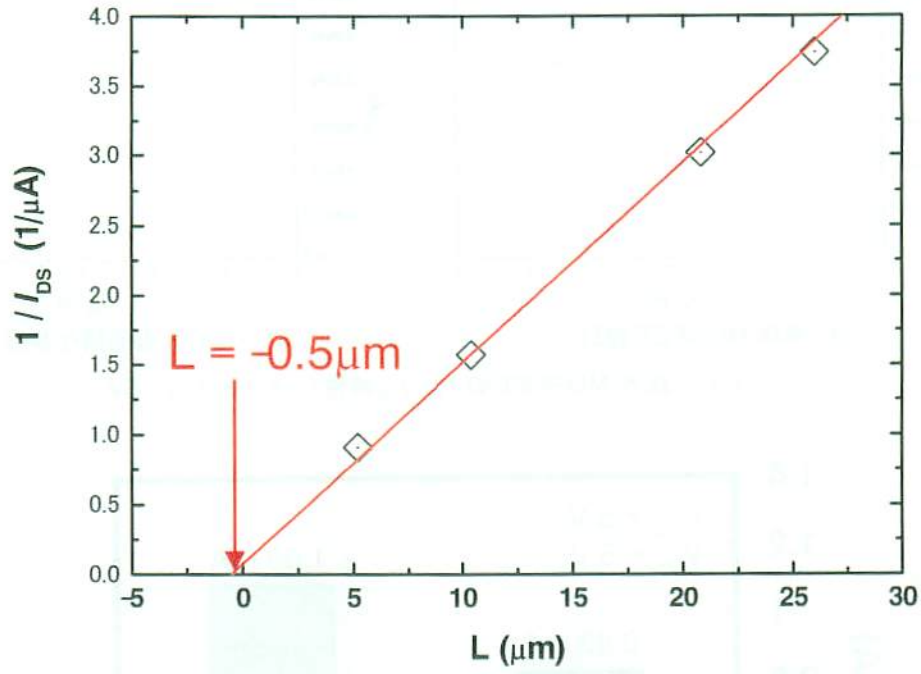


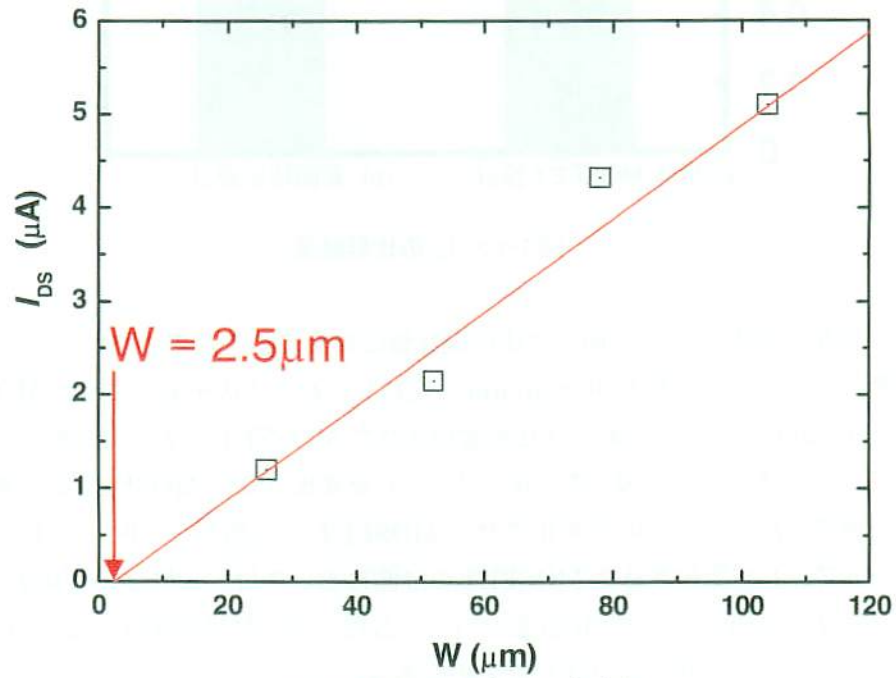
図3-12  $I_{DS}$  の比較結果

この電流の増加の原因として、加工寸法の設計値に対する誤差が考えられる。そこで、同一チップ内に配置しているゲート幅を  $W = 26 \mu\text{m}$  一定にし、 $L$  の寸法を変化させた MOSFET と、ゲート長を  $L = 5.2 \mu\text{m}$  一定にし、 $W$  の寸法を変化させた MOSFET の  $I_{DS}$  の計測を行い、 $W$  と  $L$  の設計値に対する加工寸法誤差を導いた。 $W$  一定で、 $L$  を変化させた MOSFET の計測から、 $L$  の加工寸法誤差を導き、 $L$  一定で、 $W$  を変化させた MOSFET の計測から、 $W$  の加工寸法誤差を導いた。尚、 $W$  一定で、 $L$  を変化させた MOSFET の計測においては、式(3-2)の関係より、 $I_{DS}$  は  $L$  に反比例するため  $L$  の変化に対して  $1/I_{DS}$  をプロットした。その結果を図 3-13 に示す。図中の直線は各データから最小二乗法により求めたものである。

加工寸法が設計値と一致していれば、 $L = 0$  のとき  $1/I_{DS} = 0$ 、 $W = 0$  のとき  $I_{DS} = 0$  となるはずだが、図 3-13 (a) においては、 $L = -0.5 \mu\text{m}$  で  $1/I_{DS} = 0$ 、図 3-13 (b) においては、 $W = 2.5 \mu\text{m}$  のとき  $I_{DS} = 0$  となることが分かった。この結果から  $L$ 、 $W$  それぞれの設計値に対する加工寸法誤差を  $\Delta L$ 、 $\Delta W$  とすると、 $\Delta L = -0.5 \mu\text{m}$ 、 $\Delta W = 2.5 \mu\text{m}$  となる。



(a)  $W = 26 \mu m$  一定で  $L$  を変化



(b)  $L = 5.2 \mu m$  一定で  $W$  を変化

図3-13  $W, L$  寸法と  $I_{DS}$  の関係

この加工寸法誤差の発生原因は、 $\Delta L$ に関してはゲート電極のウェットエッチングによるアンダーカット、 $\Delta W$ に関しては、素子分離層ウェットエッチングによるオーバサイズによるものと考えられる。

以上のようにして求めた設計値に対する加工寸法誤差を考慮し、試作後の MOSFET の  $\alpha$  値を求めた。試作後の単体 MOSFET の  $\alpha$  値を  $\alpha'$  とし、設計値である  $\alpha = 3.3$  に対する比率を計算すると式(3-30)のようになり、設計値に対して約 1.02 倍程度であった。これは、単体 MOSFET で設計したものは、設計値が  $W = 171.6 \mu\text{m}$ 、 $L = 52 \mu\text{m}$  と大きいため、加工後の寸法変動の影響が少ないためだと考えられる。

$$\frac{\alpha'}{\alpha} = \frac{W + \Delta W}{L + \Delta L} = \frac{171.6 + 2.5}{52 - 0.5} \approx 1.02 \quad (3-30)$$

同様に、省面積化設計した MOSFET についても計算すると式(3-31)のようになり、設計値に対して約 1.27 倍になっている。

$$\frac{\alpha'}{\alpha} = \frac{\frac{W_1 + \Delta W}{L_1 + \Delta L} + \frac{W_2 + \Delta W}{L_2 + \Delta L}}{3.3} = \frac{\frac{15.6 + 2.5}{5.2 - 0.5} + \frac{15.6 + 2.5}{52 - 0.5}}{3.3} \approx 1.27 \quad (3-31)$$

省面積化設計した MOSFET は、2 つの MOSFET を並列接続して構成するため、それぞれの MOSFET の加工誤差が含まれ、単体 MOSFET で設計したものより設計値に対する誤差が大きくなったと考えられる。特に  $\alpha$  の整数部を表すために最小加工寸法である  $L = 5.2 \mu\text{m}$  で形成した MOSFET においては、加工による寸法変動の影響が大きいと考えられる。

以上の結果から、図 3-1 2 に対して加工寸法誤差を補正すると図 3-1 4 に示す結果となり、それぞれの方法で設計した MOSFET の電流値がほぼ等しくなる。

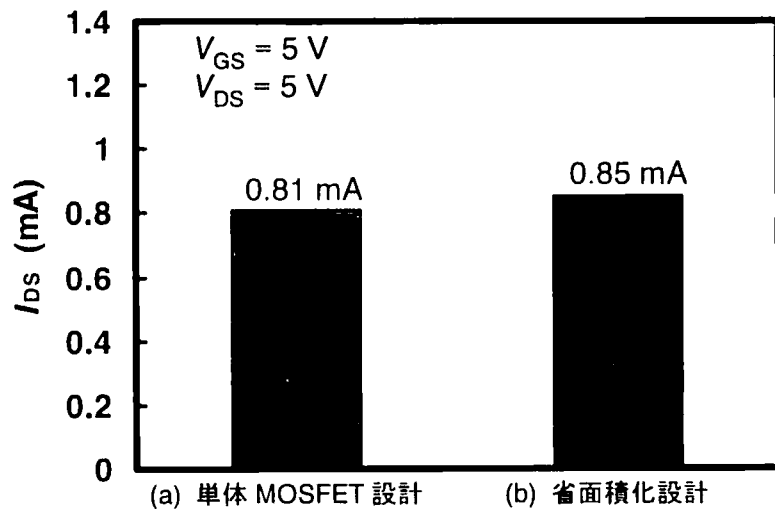


図3-14  $I_{DS}$  の比較結果(加工寸法誤差補正後)

以上の試作と電気特性の測定結果から、省面積化設計法を用いることにより、同じ駆動能力でありながら面積をより小さくできることが実証された。また、任意の $\alpha$ の値に応じて、単体 MOSFET で設計するのか、省面積化設計するのかを考慮することにより、レチクルフリー露光方式における面積の肥大化の問題が解決され、最小の面積で集積回路が構成できる可能性を示した。

### 3.5 まとめ

レチクルフリー露光方式においては、設計グリッドサイズが画素単位あるいは開口単位といった従来の設計グリッドサイズよりも大きいため、所望の駆動能力を得ようとする MOSFET の面積が大きくなるという問題があった。これを解決する手段として、MOSFET を並列に分割することに着目し、駆動能力は同等のもので MOSFET のレイアウト面積が最小となる分割方法について検討を行った。その結果、

1.  $\alpha = W/L$  の値が整数の場合は、単体の MOSFET で設計する。
2.  $\alpha = W/L$  の値が整数以外の場合は、 $\alpha = (\text{整数部}) + (\text{小数部})$  になるように分割し、整数部、小数部それぞれの値を実現する MOSFET を構成し、それらを並列に接続する。

といった手法を用いることで、最小の面積で所望の $\alpha$ 値を実現する MOSFET を設計することが可能であることを理論的に証明した。また、実際に設計と試作および電流駆動特性の評価を行った結果、 $\alpha$ 値が同じ単体 MOSFET で設計したものと同等の電流駆動能力があることが実証され、省面積化設計法が有効であることを実験的にも証明した。

以上の結果から、省面積化設計法を用いることで、レチクルフリー露光方式を用いた場合の集積回路設計におけるレイアウト面積の肥大化の問題が解決され、最小の面積で集積回路が構成できる可能性を示した。

## 第4章 プリント配線基板用オンライン等倍露光装置の開発

### 4.1 はじめに

半導体製造技術の進歩やブロードバンドネットワークの普及により、プリント配線基板やパッケージ基板には高密度実装や高速信号の伝達への対応が要求されるようになってきた。プリント配線基板上の配線寸法は、2007年には20  $\mu\text{m}$  になり、プリント配線板のパターン形成にも半導体と同様のパターン形成方法が適用されるようになってきた。従って、先に述べたように、プリント配線基板においても、微細化を推進し短期間でかつ低コストで電子機器を開発するためには、従来のガラスマスクあるいはレチクルの製造 TAT の長期化と製造コストの高騰化がボトルネックとなってくることが予想される。そこで、本章においては、レチクルフリー露光方式をプリント配線基板用露光装置に応用することを目的とし、より短期間でプリント配線基板の開発を可能とするために、設計システムから露光装置までをすべてオンラインネットワークで接続した、設計と製造を直接結びつける全く新規な生産方式を提案する。

図4-1にオフライン露光方式とオンライン露光方式の概念図を示す。従来、回路設計データとマスクパターン及びマスク描画データは、異なる形態の情報である。特に、回路設計データやマスク描画データは電子データであるのに対して、マスクパターンはガラス基板上に形成された物理的なパターンである。本研究ではこの状態をオフライン露光と呼んでいる。ここで、設計時に得られたデータを露光パターンだけでなく露光制御に対するパラメータとしても利用することが出来れば、回路設計で出力するデータの自由度が上がるだけでなく、露光装置自体の設計も自由度が上がるはずである。本研究ではこの状態をオンライン露光と呼んでいる。オンライン露光方式にすることにより、物理的な媒体を介する必要がなくなるため、不具合が発生した場合の設計までのフィードバックが容易に行えるようになり、電子機器開発期間の短縮化の観点から有効であると考えられる。

本章では、まず、オンライン露光システム全体の構成について検討する。また、開発した露光システムを用いて実証実験を行う。実証実験の結果から、生産個数をパラメータとしてTATの試算を行い、従来方式と比較してどの領域で有効であるかの検討を行う。

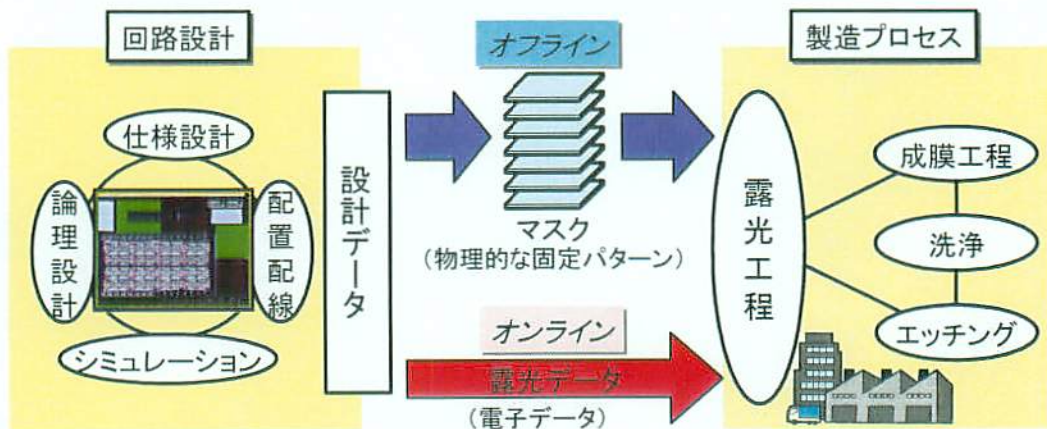


図4-1 オフライン露光方式とオンライン露光方式

## 4.2 オンライン露光システム

図4-2に開発した露光システムの概略図を示す。本システムは以下の構成からなる。

- CADシステム：回路設計を行い、回路設計データを露光用のデータに変換するシステム
- データベースサーバー：露光データや露光情報の管理を行うサーバー
- 露光制御ユニット：アライメント操作、ステージの制御、LCDパネルへの画像転送
- 露光装置：LCD画像の表示、露光シーケンスの実行

これらの各システムおよびユニットがすべてTCP/IPのネットワークで接続されており、ネットワークを介して、露光データや露光情報が各システムおよびユニット間を行き来できるシステムとなっており、設計が完了後、直ちに露光データが露光装置に転送され、露光プロセスへと移行できる。

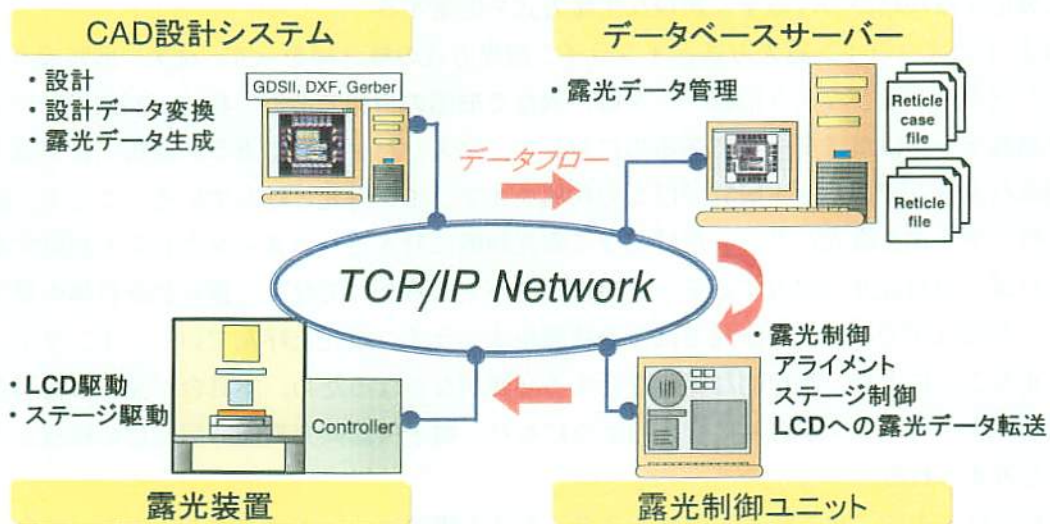


図4-2 プリント配線基板用オンライン露光システムの概略図

### 4.3 露光装置

図4-3に露光装置の概略図を示す。本露光装置に用いたLCDパネルは、画素数が1600×1200ピクセルの透過型LCDを用いている。LCDパネルは、光源と1:1の等倍投影レンズ(ウシオ電機社製：UPL-03DX)の間に設置され、LCD駆動基板に接続されている。LCD駆動基板の制御は、TCP/IPネットワークに接続されている露光制御ユニットにより行い、CADシステムから転送された露光データをLCDに表示させる。露光制御ユニットは、画像の表示切り替えの制御、露光ステージの制御を行い、アライメントスコープの制御によりアライメント操作も行えるようになっている。露光光源は、g線、h線およびi線がそれぞれのバンドパスフィルタを用いることで選択できるようになっており、LCDに表示されたパターンは、等倍投影レンズを介して、直接プリント配線基板上に転写される。1:1の等倍投影レンズの解像度は、L/Sのパターンで7μmのパターンが解像できるレンズ設計となっており、焦点深度は±50μmとなっている。

LCDパネルのピクセルピッチは、23μmで、開口部のサイズがピクセルピッチの約1/2である11.5μmとなっている。本露光システムにおいては、この開口サイズが最小加工寸法に相当する。したがって、開口サイズを最小グリッドサイズとして露光することにより、画素ピッチの2倍の解像度で露光することが可能である。

露光ステージは、非共振型超音波モータ駆動のステージ(熊本テクノロジー社製：NRUSM)でX・Y・θの3軸駆動が可能であり、露光制御ユニットにより制御する構成となっている。露光ステージの各軸のストロークは、X軸が±150mm、Y軸が±200mmで、θ軸が±3°の回転が可能である。実際の露光では、LCDパネルの画面サイズである36.8mm×27.6mmを単位とし、ステージのステップ&リピート動作により画面を繋ぎ、340mm×340mm基板が露光できるようになっている。また、Z軸によりステージの高さ調整がマニュアル操作可能である。

アライメントスコープには、CCDカメラが取り付けられており、基板の画像を取得し、重ね合わせ露光の位置合わせを行う。基板の画像を取得する場合の光源はハロゲンランプにフィルタをかけ、非露光波長で画像を取得する。したがって、重ね合わせ方式は、非露光波長を用いたオン軸系TTL方式となっており、重ね合わせ精度は±0.5μmとなっている。表4-1に露光装置の仕様を示す。また、図4-4に露光装置の外観写真とLCDパネルの仕様を示す。

表4-1 プリント配線基板用オンライン露光システムの仕様

項目	仕様	備考
基板サイズ	340 mm×340 mm	
光源	1kW 超高圧水銀ランプ	g線、h線、i線選択可能
投影レンズ	1:1 等倍投影レンズ	解像度：L/S = 7 μm
最小加工寸法	11.5 μm	LCD 開口部サイズ
重ね合わせ精度	±0.5 μm	

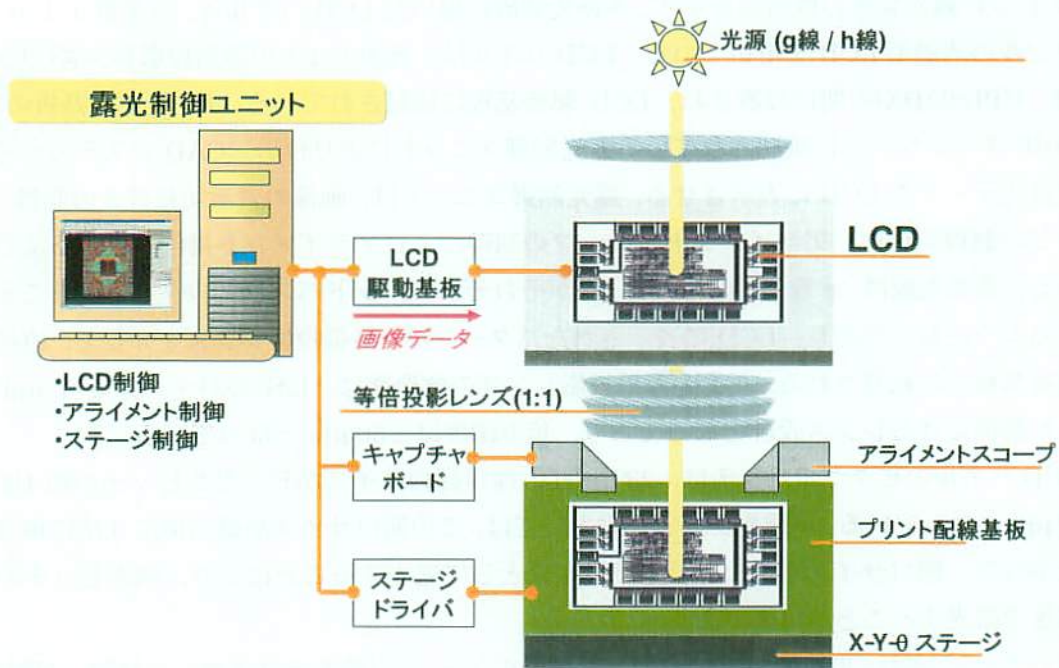


図4-3 露光装置の概略図

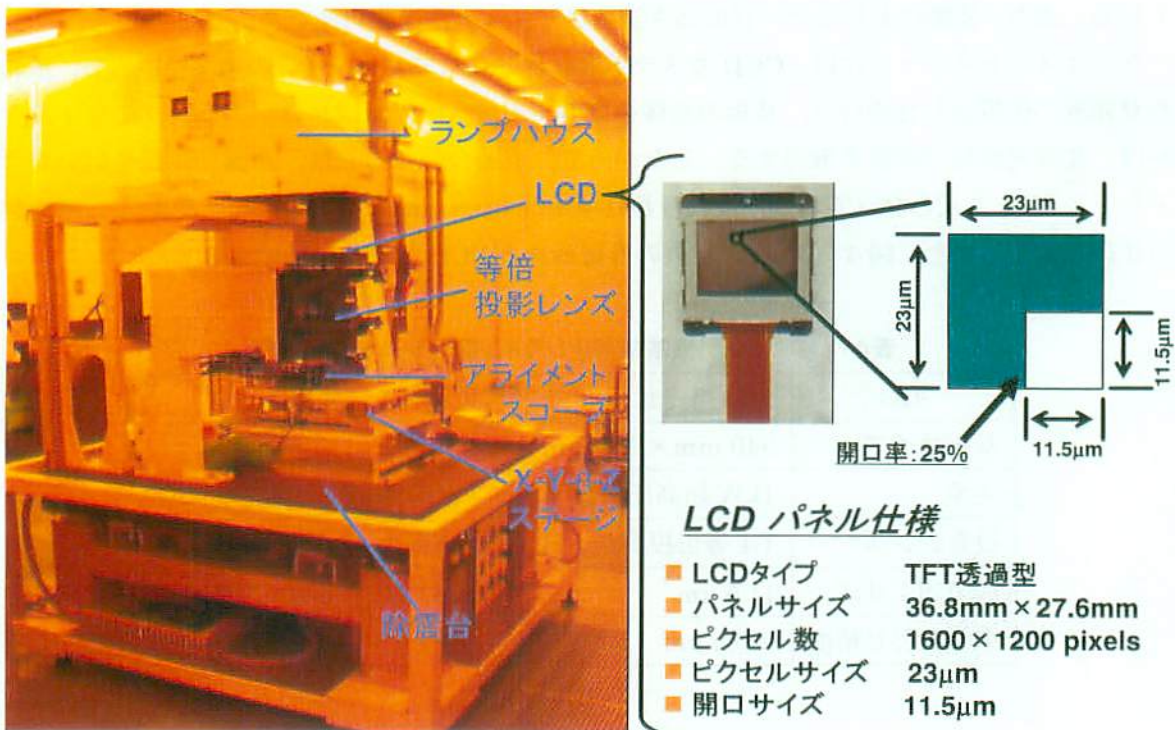


図4-4 露光装置の外観写真とLCDパネルの仕様



#### 4.4 実証実験

本節では、開発したプリント配線基板用オンライン露光システムを用いて、実際にプリント配線基板の露光を行い、本露光システムの実用性の検証を行った。露光データの生成と露光シーケンスについては、1.7.3項で示した方法で露光データの生成を行い、1.7.4項に示した図1-23の開口部サイズを最小単位とした場合の露光シーケンスでパターン形成を行った。

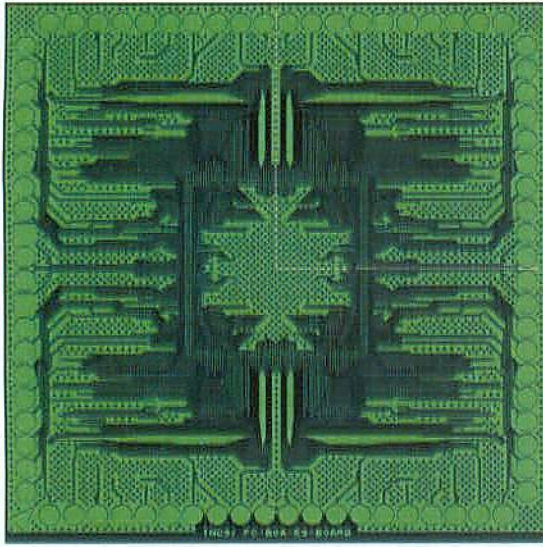
##### 4.4.1 露光実験に用いたプリント配線回路パターンの露光データ生成

図4-5に露光実験に用いたプリント配線基板のCAD回路パターン(凸版NECサーキットソリューションズ社提供サンプルデータ)と生成した露光データを示す。露光実験に用いたプリント配線基板の回路パターンサイズは46mm×46mmで、CADデータのフォーマットは、拡張ガーバーフォーマット形式である。露光データ生成により3200×2400画素の高解像度ビットマップファイルを生成し、その後、4つの1600×1200画素の画面に分割し、レチクルファイルを生成した。露光実験に用いたプリント配線基板の回路パターンのサイズは46mm×46mmであるため、LCDパネル(36.8mm×27.6mm)の4枚分に相当する。したがって、LCDの1画面分の3200×2400画素の高解像度ビットマップファイルを4画面分生成し、それを各々LCDに表示可能な4つの1600×1200画素に分割した。最終的に1600×1200画素のビットマップデータが16画面分生成された。

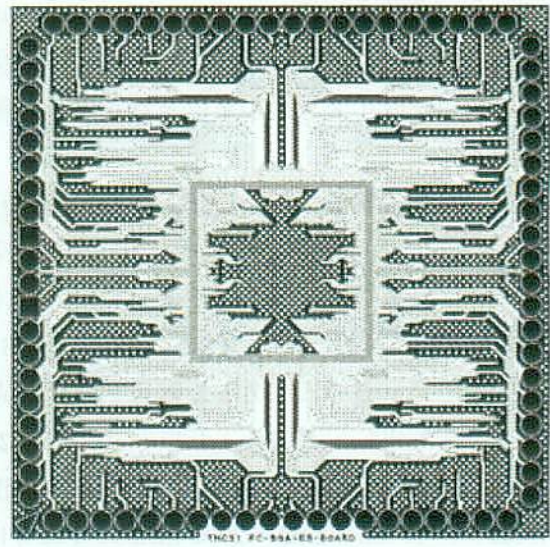
露光データの生成に用いた計算機の性能と、露光データ生成に要した時間を表4-2に示す。この結果から、設計完了後、概ね20min以内に露光データの生成が完了することから、従来のガラスレチクルを作製する場合と比較して、大幅にTATが短縮化されることが分かった。尚、拡張ガーバーフォーマットの設計データは、フォーマット変換プログラム(By Technology社製: LinkCAD5)を用い、GDSIIフォーマットに変換し1.7.3項で示した方法で露光データの生成を行った。

表4-2 露光データ生成時間

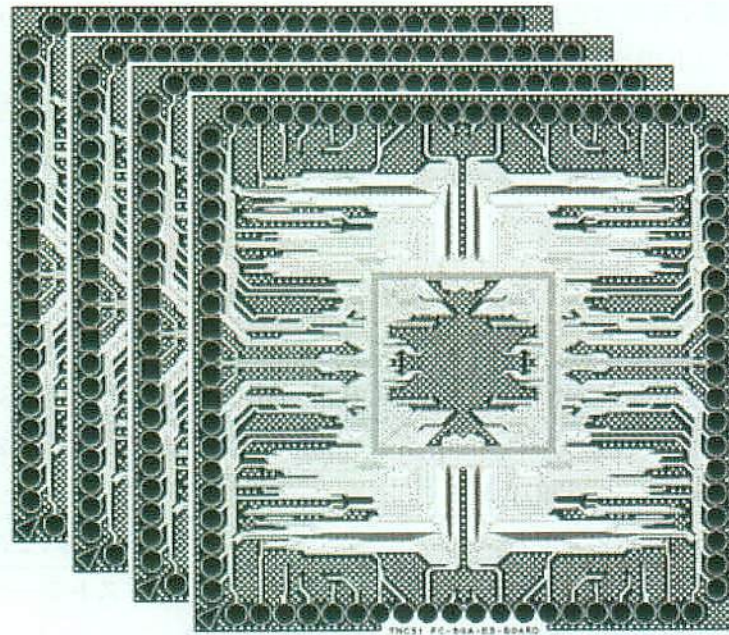
項目	仕様/性能	備考
CPU	Pentium 4 (1.7GHz)	DELL 社製、DIMENSION 4800
メモリ容量	1 GB	ハードディスク容量: 20GB
CAD データ容量	0.912 MB	RS-274X(拡張ガーバーフォーマット)
GDSII データ生成時間	2.0 s	GDSII データ容量: 2.502 MB
フラット化処理・ 頂点座標抽出処理時間	15 min	頂点座標テキストデータ容量: 6.67 MB
露光データ生成	6.0 s	ビットマップデータ容量: 3.66 MB



(a) CAD 設計データ  
(拡張ガーバーフォーマット)



(b) 高解像度ビットマップファイル  
(3200×2400 画素)×4 画面分



(c) レチクルファイル  
(1600×1200 画素×4 画面分)×4 画像

図4-5 露光データの生成結果

## 4.4.2 実験方法

前項で生成した露光データを用いて露光実験を行った。実際に露光実験に用いたパターンは、前項で示した露光データの一部で図4-6に示す4枚のビットマップデータを用いた。露光実験に用いた基板は、膜厚  $25\ \mu\text{m}$  のドライフィルムレジスト(旭化成社製: ASG-251, ネガ型レジスト)が、膜厚  $15\ \mu\text{m}$  の銅箔上に形成されている  $200\ \mu\text{m}$  厚のプリント配線基板を用いた。露光と現像の条件を表4-3に示す。実験は、くまもとテクノ産業財団の共同研究棟のクリーンルームで行った。

表4-3 露光と現像の条件

項目	条件	備考
露光基板	$200\ \mu\text{m}$ 厚プリント配線基板	銅箔膜厚: $15\ \mu\text{m}$
レジスト	ドライフィルムレジスト 膜厚: $25\ \mu\text{m}$	旭化成社製 ASG-251
露光光	gh 線混合	
露光時間	1回露光: 30 s	
	4回多重露光: 120 s	1画面分の露光時間
現像	現像液: 1wt% $\text{Na}_2\text{CO}_3$ 水溶液 現像方法: 浸漬 現像時間: 150 s	

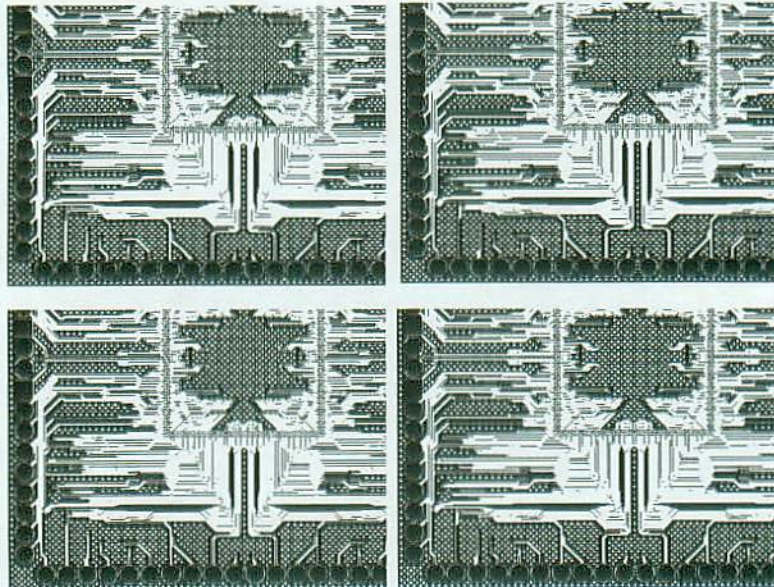
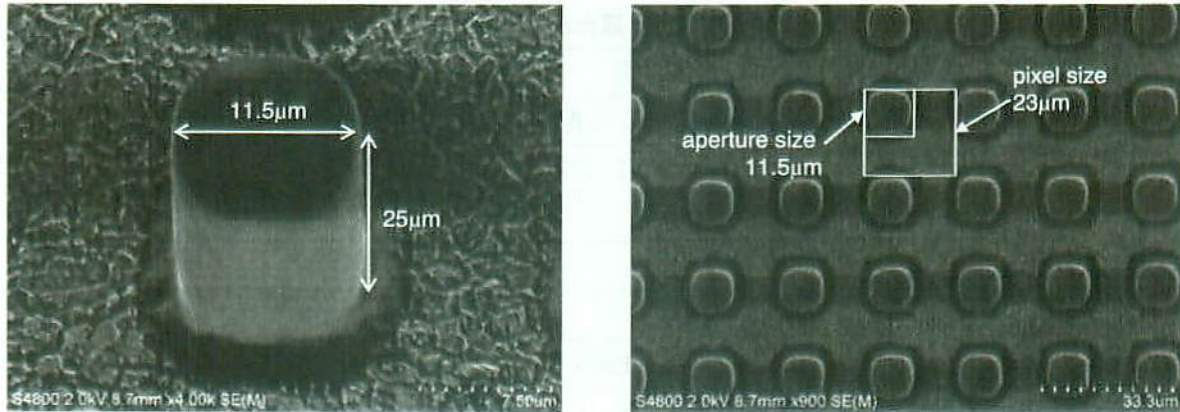


図4-6 実験に用いた露光パターン(1600×1200画素×4画像)

#### 4.4.3 露光実験の結果と考察

まず、開口部サイズを最小単位として1回露光した結果をSEM(日立ハイテクノロジーズ社製: FE-SEM S-4800)で観察した結果を図4-7に示す。この結果から、レジストパターンのエッジが鋭く切れていることが分かり、露光装置の焦点深度が25 $\mu\text{m}$ 厚のドライフィルムレジストに対して十分であることが確認された。また、図4-8に回路パターンを露光した結果を示す。この結果から、4画面の切り替えとステージ微動の連動により、最小線幅34.5 $\mu\text{m}$ のパターン形成が可能であることが確認された。



(a) 開口部パターン拡大写真

(b) 開口部パターンの上面写真

図4-7 1回露光時の開口パターンのSEM観察写真

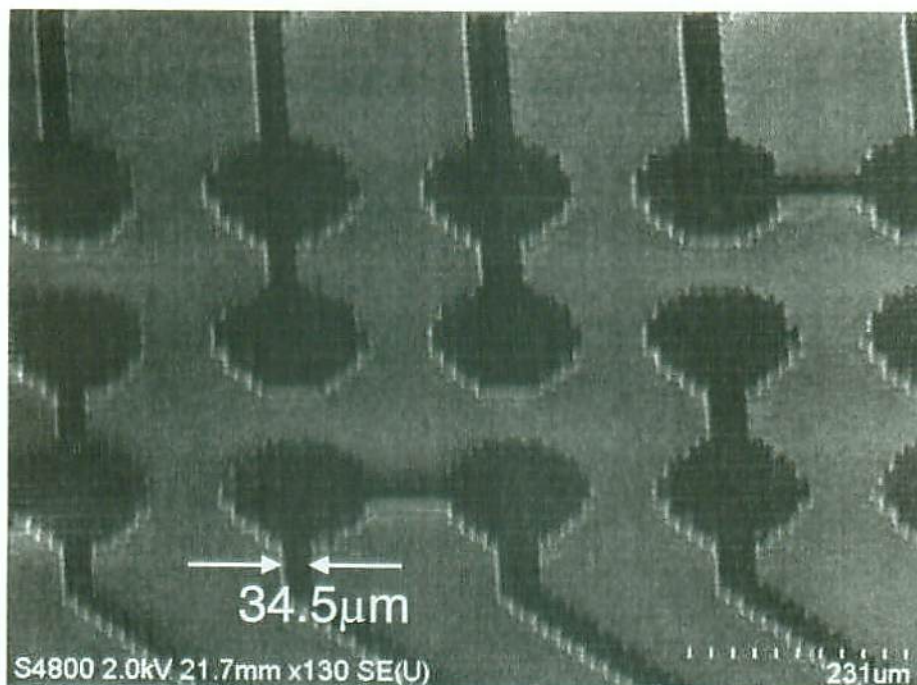


図4-8 プリント配線板回路パターンのSEM観察写真

#### 4.5 TATの試算結果

本節では、実証検証により得られた露光データ生成時間と露光時間を用いて、従来方式とのTATの比較を行った。TATの試算にあたっては、実証実験に用いた46 mm×46 mmの回路パターンを作製することを想定し、式(4-1)を用いて試算を行った。ここで、 $T_{MAKS}$ はマスクの製造TAT、 $T_{EXP}$ は露光時間、 $N$ は生産個数とする。また、試算に用いた各パラメータの値を表4-4に示す。従来方式においては、 $T_{MAKS} = 1$ 日とし、 $T_{EXP}$ は、ガラスレチクルを本露光システムに用いた場合の実験結果から、 $T_{EXP} = 3$ sとした。本露光システムにおいては、露光データ生成時間の計測結果から概ね20 min以内に完了することから、 $T_{MAKS} = 20$  minとし、露光時間に関しては、1回の露光時間が30 sで、LCDパネル1画面分を露光するためには4回多重露光が必要であるため、120 sとなる。さらに、46 mm×46 mmを露光するためには、LCDパネル4画面分の露光領域が必要となるため、総露光時間は、480 s必要となる。

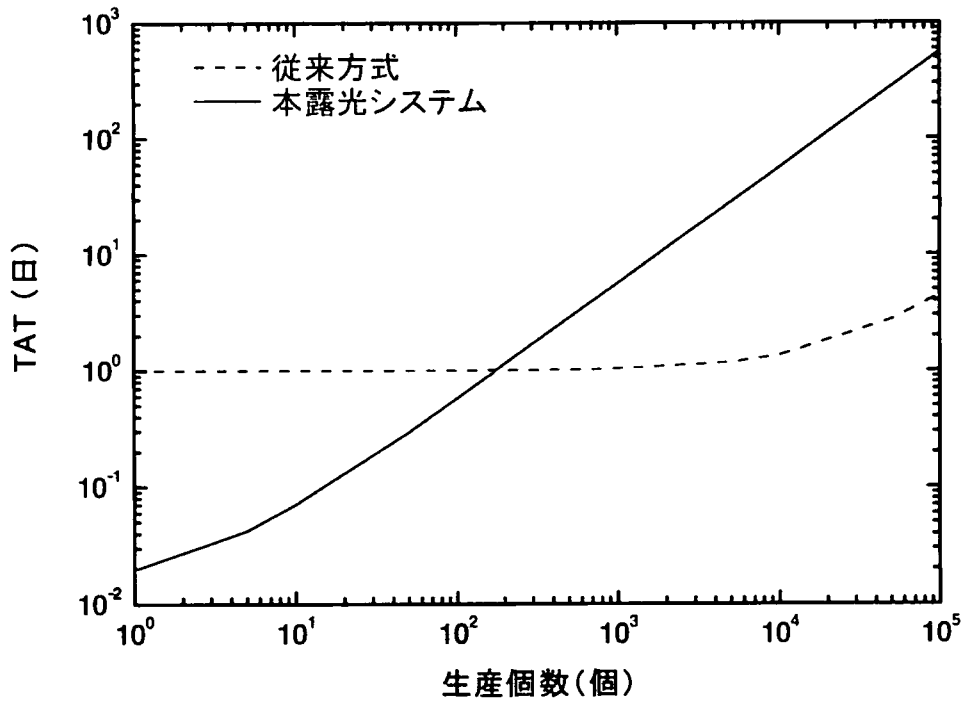
$$TAT = T_{MAKS} + N \cdot T_{EXP} \quad (4-1)$$

表4-4 TATの試算に用いた各パラメータの値

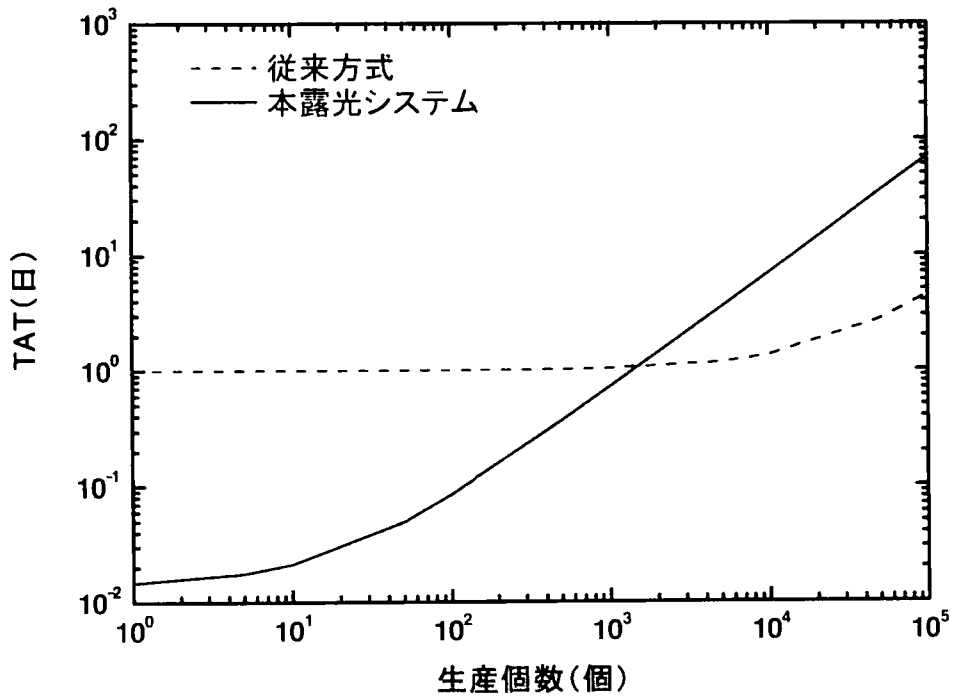
項目	従来方式	本露光システム
$T_{MAKS}$	1日	20 min
$T_{EXP}$	3 s	480 s

図4-9(a)に式(4-1)を用いて、生産個数をパラメータとしTATを試算した結果を示す。この結果から、本露光システムにおいては、生産数量が100個以下の領域で、従来方式に対して有効であることが分かった。したがって、本露光システムは、特に、生産個数が少ない試作段階で大いに威力を発揮するものと考えられる。短期間でかつ低コストで試作を繰り返すことが可能であるため、新規電子機器の開発段階に本技術を適用し、量産が可能となった段階で、従来のガラスマスクに切り替える方式を採用すると、更に有効であると考えられる。

本露光システムの問題点としては、露光時間が長い点が問題である。露光時間が長くなる原因は、LCDパネルの透過率が低いためであり、LCDパネル構造や照明方法の検討により、露光時間を改善することが重要である。そこで、LCDパネルの透過率が2倍になり、4回多重露光が不要となった場合を想定し、TATを試算した結果を図4-9(b)に示す。この場合、露光時間が現行の1/8の60 sになったと仮定した。露光時間が1/8になると生産個数が1000個以下の領域で本システムが優位になることが分かり、露光時間が改善されると、試作段階に利用するだけにとどまらず、実際の製品の生産に利用することも有効であることを示している。



(a) 露光時間:480 s の場合



(b) 露光時間:60 s の場合

図4-9 TAT の試算結果

#### 4.6 まとめ

本章では、レチクルフリー露光方式をプリント配線基板に適用させ、オンライン露光が可能なシステムを構築した。実際にプリント配線基板のテストパターンの露光実験を行い、設計完了後、直ちに露光が可能であることを実証し、産業界における現状の最小加工寸法である 20  $\mu\text{m}$  に対してその約 1/2 の 11.5  $\mu\text{m}$  の最小加工寸法を達成した。本システムは、従来のガラスレチクルを用いた露光方式に置き換わる可能性を持っていることが示され、今後のプリント配線基板の技術革新に大きな影響を与えるもと期待される。特に、新しいデバイスの試作段階に適用することが最も有効であると考えられ、開発コストの大幅な削減と、開発期間の QTAT 化が期待される。しかし、TAT の観点から露光時間が更に改善されることが重要であると考えられ、LCD パネル構造や照明光学系の検討による露光時間の改善が今後の課題である。

## 第5章 レチクルフリー露光方式における露光時間の改善に関する検討

### 5.1 はじめに

レチクルフリー露光方式においては、LCD パネルの透過率が低いために露光時間が長くなるという課題がある(表5-1)。この原因は、LCD パネルの上下に取り付けられている偏光フィルムによる光の吸収や反射などが原因だと考えられる。更に LCD 画素のブラック・マトリクス部を露光するために4回多重露光が必要であり、露光時間の短縮化の観点から1回の露光でパターン転写が可能であることが望まれる。そこで、本章においては、これらの課題を解決するために、現状の LCD パネルの透過率が低い原因を、材料、パネル構造の観点から調査し、透過率の改善と LCD パネルの構造について検討を行う。透過率改善については、透過率が高く、表面に反射防止処理を施した偏光フィルムを選択することを検討した。また、液晶プロジェクターの高光利用効率化技術の一つとして用いられている、原理的に100%に近い偏光光を LCD パネルに入射できる偏光変換素子を用いた照明系の導入を検討した。

LCD パネルの構造に関しては、多重露光が不要となる高精細で高開口率の LCD パネルの導入について検討を行い、透過率の改善とパネル構造の最適化により従来のガラスレチクルを用いた場合の露光時間にどこまで近づけることができるかの検討を行った。

表5-1 露光時間の比較

		従来露光方式 (ガラスレチクル)	レチクルフリー露光方式 (LCD パネル)
露光時間 (s)	ステップ	0.2	3.0×4 回多重露光 = 12.0
	等倍露光装置	1.0	10.0×4 回多重露光 = 40.0

### 5.2 偏光フィルムの構造

偏光フィルムは、あらゆる方向に振動している光(自然光)から一定方向のみに振動する光(直線偏光)を取り出す光学フィルタであり、液晶セルの上下面に配置して用いられ、その品質が LCD の表示品位を左右するといっても過言ではない。LCD に用いられる偏光フィルムは、偏光特性を発現する偏光子と呼ばれるフィルムの両面に保護フィルムであるトリアセチルセルロース(TAC)フィルムを貼り合わせた構造が一般的で、偏光子は一軸に延伸されたポリビニルアルコール(PVA)フィルムに二色性色素を吸着配向させたものが使用される。二色性色素は細長い分子形状をしており、分子長軸方向に振動する光は吸収し、これと直行する方向の可視光は透過する性質(二色性)を有する。この二色性色素を PVA フィルムの延伸方向に吸着配向させて、一方向に均一に配向させることで二色性=偏光性能を発現させている。図5-1に偏光フィルムの構造[85]を示す。

二色性色素としてはポリヨウ素と二色性有機染料が一般的であり、各々、ヨウ素系偏光フィルム、染料系偏光フィルムと呼ばれている。



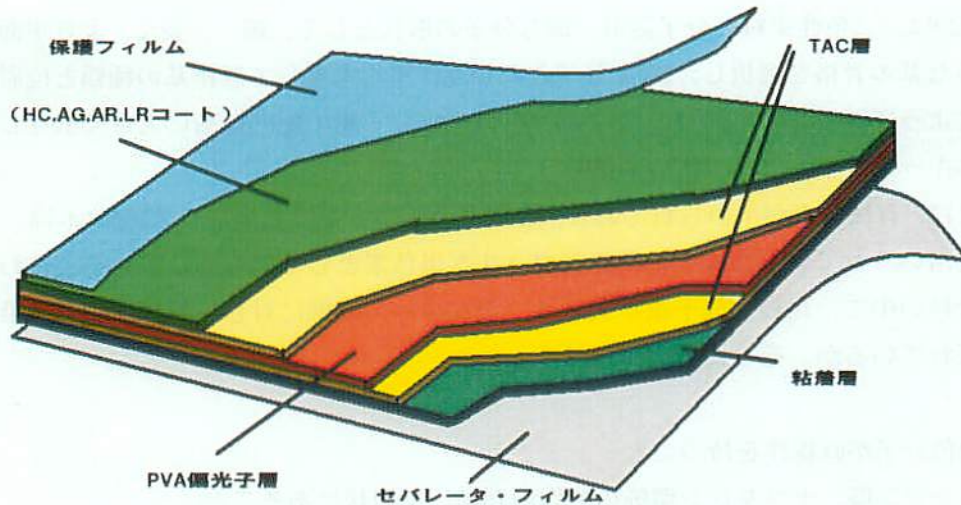


図5-1 偏光フィルムの構造[85]

### 5.3 偏光フィルムの材質と表面処理技術

#### 5.3.1 ヨウ素系偏光フィルム

ヨウ素分子は、PVA 分子と錯体を形成し、ヨウ素がいくつか連なったポリヨウ素を生成する。配向 PVA フィルム中におけるヨウ素-PVA 錯体(ポリヨウ素)は、可視光領域で高い二色性を示すため、ヨウ素系偏光フィルムは偏光性能が非常に高く、高い光学特性が要求される TFT-LCD 用途に多く用いられている[86]。

配向 PVA フィルム中におけるヨウ素-PVA 錯体の構造、生成過程は、ヨウ素系偏光フィルムの高性能化において重要であり、これらを詳細に解析して新たな加工技術が導入されており、高性能なヨウ素系偏光フィルムも製品化されている[86]。しかし、一般的にヨウ素系偏光フィルムは、ヨウ素-PVA 錯体が加熱・加湿に弱く、耐久性能があまり高くない。特に強い光の下で長時間使用する場合には、その性能が経時的に低下するという問題を抱えている。したがって、露光装置の光源からの光が非常に高い強度であることを考慮すると、耐久性、信頼性の観点から、ヨウ素系偏光フィルムは露光装置に不向きであると考えられる。

#### 5.3.2 染料系偏光フィルム

染料系偏光フィルムは、一般的にヨウ素系偏光フィルムと比べて偏光性能は劣るものの耐久性が非常に高く、高耐久性能が要求される車載用 LCD や液晶プロジェクター用に多く用いられている。染料系偏光フィルムは、配向 PVA 分子錯体に沿って二色性染料を吸着配向させたものであり、この二色性染料の配向度を高くすることで高性能化を達成している。この二色性染料分子を高配向させるには次の3つがポイントとなっている[86]。

- 1) 染料分子の吸収の遷移モーメントと染料分子の長軸方向を一致させる。
- 2) 染料分子を PVA 分子鎖に平行に吸着配向させる。
- 3) PVA 分子鎖をフィルム延伸方向に高度に配向させる。

1)と2)は、二色性染料の分子設計、即ち分子の形状として、細く、長く、より平面的な構造となるような基本骨格を選択し、PVA分子との相互作用を考慮して置換基の種類と位置を最適化することによって達成されており、2)と3)は、PVA分子鎖の配向技術に大きく依存し、延伸技術の開発がキーポイントとなっている[86]。

染料には、有機色素が用いられており、既存の染料の中ではセルロース繊維(木綿、レーヨン等)の染色に用いられている直接染料が偏光フィルム用色素として最も適していると言われている。水溶性染料の中で、比較的分子量が大きく、セルロース繊維に対して親和性のある染料を直接染料と呼ばれているが、その構造的長は、

- a) 染色分子が直線性を持つこと
- b) ベンゼン環、ナフタレン環等の芳香環が同一平面状にあること
- c) 長い共役二重結合を有すること
- d) 水素結合形成基を多く有すること

である。内、a)~c)の構造的長は二色性を発現するのに有利であり、また、PVAが水酸基を多く含むことから、d)の点において染色面で有利である。この様なことから偏光フィルム用色素として初期段階では既存の直接染料から選択した色素が使用されていた[87]。しかし、偏光フィルムに対する要求レベルが向上しており、現在では、赤、緑、青の各波長領域での光学特性(透過率、偏光性能)の最適化が行われている[87]。

### 5.3.3 偏光フィルム表面の反射防止処理

LCDの用途がOA用等の屋内用途中心から屋外用途のLCDモニタ付ビデオカメラや携帯情報端末等に広がるにつれ、視認性を向上するために外光の反射を抑える表面処理技術が求められるようになった。特に、反射型LCDにおいては、バックライトなしでも外光を有効に利用して表示を行うためにLCD表面での不必要な反射を避ける反射防止処理技術が不可欠なものとなっている。反射防止膜は、表面に無機誘電体の多層膜を形成して干渉により光学的に外光の反射を低減するものであり、眼鏡レンズやフラットCRT等にも多用されている技術である。偏光フィルム表面に反射防止処理を施すことにより、外光反射低減することができ、透過率を数%向上させることができる。

#### 5.4 液晶プロジェクターの高輝度化技術

100 万画素以上の高精細液晶ディスプレイと高性能投射光学系の開発により、画面全体にわたって鮮明な映像を再現できる液晶プロジェクターは、解像度に関して、現在投射型ディスプレイの主流である CRT 方式のプロジェクターを凌駕するまでに至っている[88]。特に、明るさを向上させるための技術として、光源からの光束の半分以上を偏光フィルムで吸収損失していることに着目し、原理的には、光源からの照明光の偏光成分を全て投射に有効活用できる光学系(偏光変換光学系)が開発されている[88]~[90]。

TN 液晶を用いた液晶ディスプレイの照明光は直線偏光であることが要求される。白色光源からの出射光はあらゆる方向に振動している自然光であり、これを直線偏光化するのに、通常は偏光フィルムあるいは偏光板が用いられる。偏光フィルムを用いた場合、約 60%の光量は吸収損失され、光利用効率が著しく低下する。さらに吸収された光が熱に変わり、偏光フィルムの性能を劣化させるという問題も引き起こす。特に、ヨウ素系偏光フィルムを用いた場合は、輝度を向上させるための高光出力光源の採用に、耐熱性の観点から制限がかかる。したがって、光源からの自然光を液晶ディスプレイに入射する前に、すべて直線偏光に変換することができれば、それは単に光利用効率を 2 倍にすることだけにどどまらず、偏光フィルムの性能劣化の問題も解決することができる。

偏光変換光学系で、自然光のほとんど全てを一定方向に直線偏光した光に変換する方法の原理図を図 5・2 に示す。光源からの自然光を、偏光ビームスプリッタ(PBS: Polarized Beam Splitter)を用い、偏光方向が互いに直行する P 偏光の光と S 偏光の光の二つの直線偏光した光に分離する。次に、偏光フィルムを用いる従来の方法の場合には吸収され、損失となっていた偏光成分(ここでは P 偏光)の光の偏光方向を、偏光回転光学系で  $90^\circ$  回転させる。この結果、P 偏光の光は、もう一方の偏光成分(S 偏光)の光と偏光方向が等しくなる。偏光方向が同じになった二つの直線偏光光を、最終的に合成光学系を用い液晶ディスプレイ上で一光束になるように合成する。したがって、自然光から直線偏光に変換する効率は、原理的には 100%となり、偏光フィルムの変換効率に比べて 2 倍以上になる。

光源からの自然光を全て単一偏光にする偏光変換光学系については、複数の方法が提案されたが、現在は偏光ビームスプリッタと  $1/2$  波長板を組み合わせた方法が採用されている[88][90][91]。その原理図を図 5・3 に示す。第 1、第 2 レンズアレイを用いて光を偏光分離膜に集光する。誘電体多層膜をコーティングした偏光分離膜では、S 波のみが位相がそのまま反射され、透過した P 波は  $1/2$  波長板に入射し、振動方向を  $90^\circ$  回転することにより S 波となり、レンズを用いて 2 つの S 波を合成する。この結果、従来捨てていた P 波を有効に利用することができるようになる。理論的には 2 倍になるところであるが、可視領域全体で広い入射角に対して分離特性を得ることが難しく、同じ光束が得られるのであれば、できるだけ角度分布がない方が偏光分離が効果的に行われるので、同じ光学系においては、できるだけ光源サイズが小さいほど分離効率が高くなると言われている[91]。

このように液晶プロジェクターにおいては、高輝度化を目的として偏光フィルムで吸収損失していた光を有効利用する光学系が開発されており、現在実用化されている。レチクルフリー露光方式における LCD の透過率低下の原因も、偏光フィルムによる光の吸収損失が最も大きく、液晶

プロジェクターの高輝度化技術として開発されている偏光変換光学系を採用することで、同じように光の利用効率を高め、結果的に露光時間が短縮化されることが期待される。

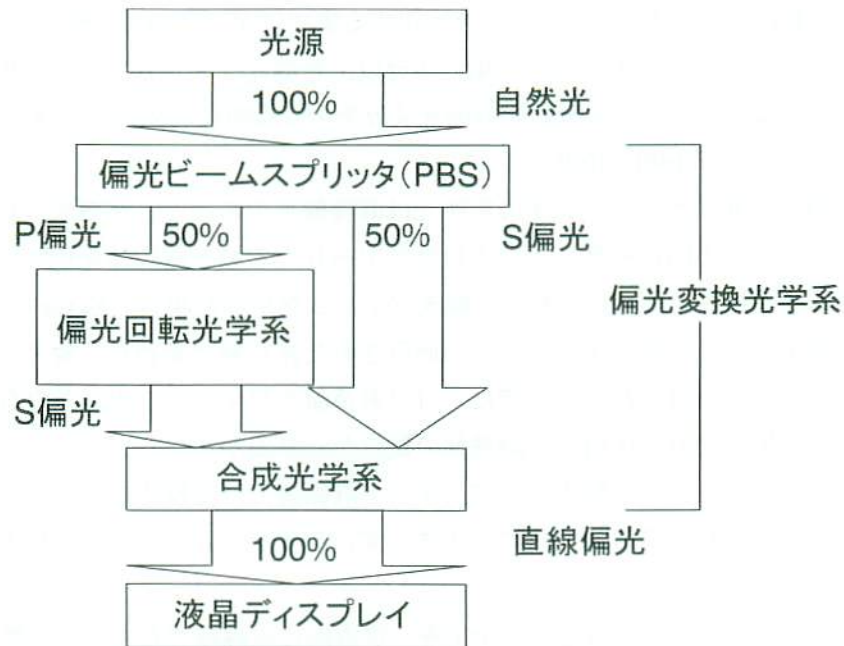


図5-2 偏光変換光学系の原理

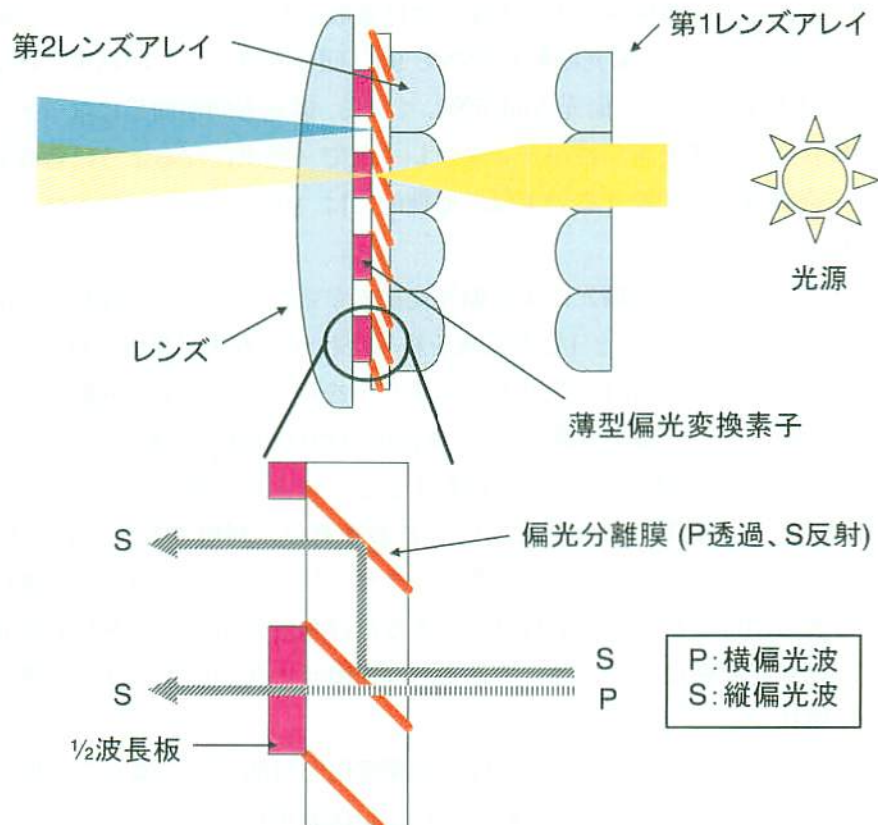


図5-3 偏光分離膜と1/2波長板を用いた偏光変換光学系

## 5.5 高精細液晶ディスプレイ

高精細液晶ディスプレイの中で高温ポリシリコン(HTPS: High Temperature Poly Silicon)TFT液晶ディスプレイを使用したプロジェクションディスプレイは、電磁波やUVの発生も極めて少ないこと、画面のブレがなく、人間の目の残像を利用していないため、目にやさしく疲れにくいといわれており、人にやさしいということで注目されている[92]。HTPSはマイクロディスプレイの中では最も製造プロセスが少なく、低温ポリシリコンやアモルファスシリコンに比べて高い電子移動度の素子を実現でき、駆動回路を同一基板に作りこむことが可能であり、画素を駆動するトランジスタサイズを小さくすることができる。その結果、画素の開口率を高めることができ、高輝度化を実現できるプロジェクター用途に適していると考えられている[92]。開口率を改善できた一つの要素技術として、研磨による平坦化プロセスの導入があり、開口率の改善とともに画素の微細ピッチ化も可能になっている[92]。図5-4にHTPSの画素ピッチと開口率のトレンドを示す[92]。プロジェクター用のHTPSでは最小の12 $\mu\text{m}$ ピッチを開効率50%で実現し、更なる高精細画質を実現している。図5-4のように年々画素の最小ピッチが微細化されており、高開口化技術で開効率は50%以上を維持している。

このように画素ピッチが小さくなり開口率が高くなると、1画素あたりのブラック・マトリクス領域の占める割合が小さくなっていくことが予想される。このブラック・マトリクスの幅が、露光光学系の解像限界以下になれば、ブラック・マトリクスが露光されず、レチクルフリー露光方式における4回の多重露光が不要となり、1回の露光で滑らかなパターン形成が可能となるのではないかと考えられる。したがって、露光時間を短縮化する観点から、高精細で高開口率のLCDパネルを採用することも重要であると考えられる。

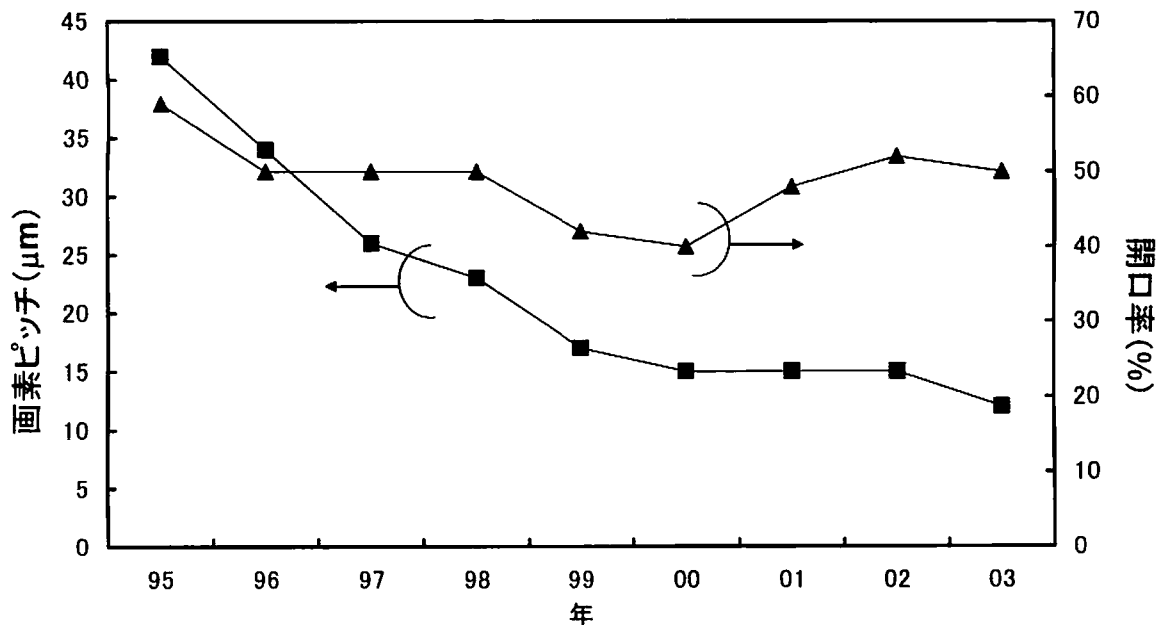


図5-4 HTPSの微細化開発トレンド[92]

## 5.6 光学特性測定実験

本節では、現状の透過率の低下の原因を調査するために、レチクルフリー露光方式で用いている偏光フィルムの透過率測定、およびLCDパネルの透過率測定を行った。また、波長領域で最適化を行った偏光フィルムや、表面処理を施した偏光フィルムの透過率の測定を行い、現状の偏光フィルムとの比較を行った。図5-5に実験に用いた透過率測定光学系を示す。透過率の測定には、前章で述べたプリント配線基板用の等倍投影露光装置の光学系を利用し、実際の露光光で透過率の測定を行った。偏光フィルムは、石英ガラス(厚さ:1.1mm)に貼り付け、石英ガラスをマスクステージに吸着固定し透過率の測定を行った。また、透過率の測定を行ったLCDパネルは、図1-17に示すTYPE2のLCDパネルを測定した。

透過率の測定では、実際の露光光を用いるためにランプハウスにg線用のバンドパスフィルタを挿入し、g線(436nm)のみを用いて測定を行った。まず、マスクステージ上にガラス基板のみを吸着させ、等倍投影レンズを介して基板に照射される光量を測定する。ガラス基板の透過光量を基準とし、偏光フィルムやLCDパネルの透過率を算出した。偏光フィルムの測定は、図5-6に示すようにガラス基板の上側に張ったものを偏光フィルムの単体透過率測定に使い、ガラス基板の上下に偏光フィルムの吸収軸を合わせて貼ったものを平行透過率の測定に用いた。光量の測定には、照度計(ウシオ電機社製:紫外線積算光量計UIT-150-A)と受光器(ウシオ電機社製:受光器UVD-S405)を用い、分光透過特性の測定には、分光器(浜松フォトニクス社製:プラズマプロセスモニタ Model C6670-04)を用いた。

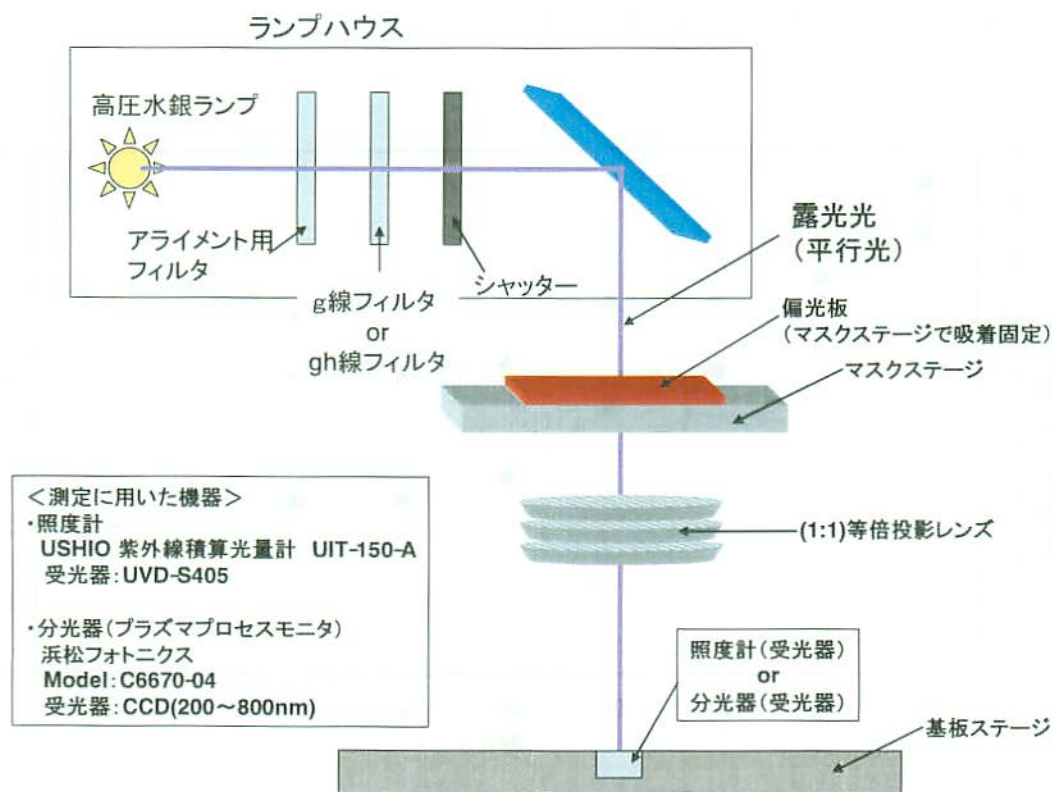


図5-5 透過率測定に用いた光学系の概略図

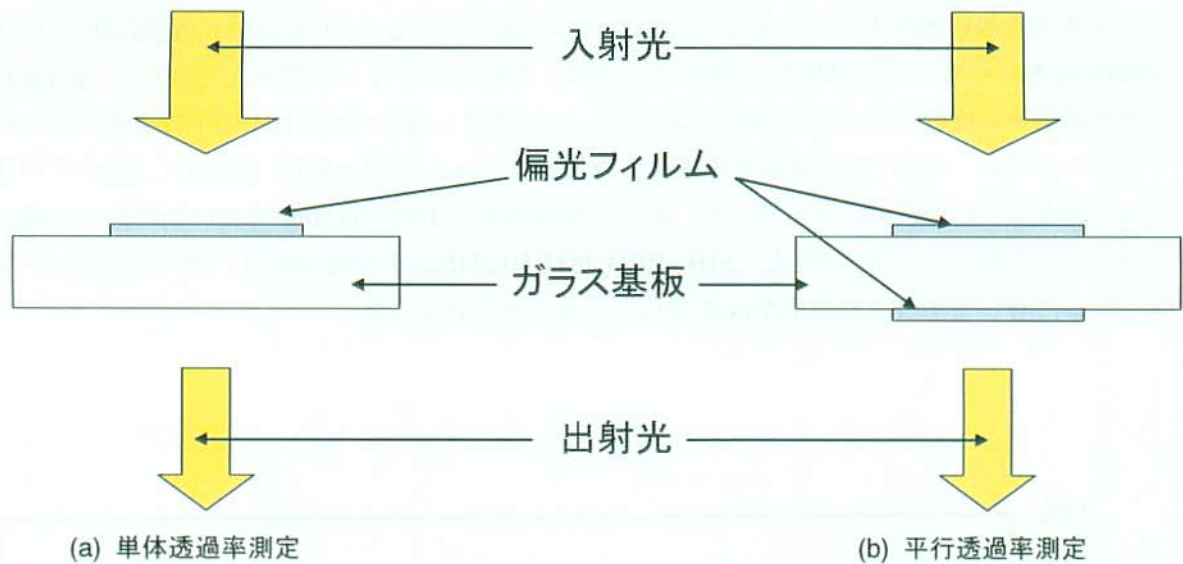


図5-6 偏光フィルム透過率測定方法

### 5.6.1 実験に用いた偏光フィルム

表5-2に透過率の測定を行った偏光フィルムの一覧を示す。測定に用いた偏光フィルムは、全て染料系偏光フィルムであり、ポラテクノ社製のものを用いた。型式 SHC-128UCH は、レチクルフリー露光方式で用いている現行の偏光フィルムである。

表5-2 透過率の測定を行った偏光フィルム

型式	SHC-128UHC	SHC-128UHCAR	SHC-PBW281UHCAR
表面処理	なし	反射防止処理	反射防止処理
厚さ	210 $\mu$ m	210 $\mu$ m	210 $\mu$ m
備考			青色(430~550nm)用

### 5.6.2 透過率測定結果

図5-7に偏光フィルム1枚の分光透過特性(単体透過率)の測定結果と LCD パネルの分光透過特性の測定結果を示す。透過率の算出にあたっては、石英ガラスの透過率を 100%として、各偏光フィルムの透過率を算出した。この結果から、露光光である g 線(436nm)の透過率の比較を行うと、現状の偏光フィルム(型式: SHC-128UHC)の単体透過率は 37.1%であるのに対し、表面に反射防止処理を施した偏光フィルム(型式: SHC-128UHCAR)の単体透過率は、37.9%という結果になっており、反射防止処理により 0.8%透過率が改善されていることが分かった。また、青色(波長: 430~550nm)専用に染料分子の最適化を行っている偏光フィルム(型式: SHC-PBW281UHCAR)の単体透過率は、43.2%と現状の偏光フィルムに対して 6.1%透過率が高いことが分かった。また、LCD パネルの透過率は、72.6%と比較的高い結果となっている。

LCD パネルで画像を表示させるためには、出射光側にも偏光フィルムを使用する必要があるため、実際には2枚の偏光フィルムを介して光が透過する。そこで、石英ガラス基板の上下に、偏光フィルムを吸収軸が平行になるように貼り付け偏光フィルム2枚の分光透過特性(平行透過率)の測定を行った。その結果を、図5-8に示す。各偏光フィルムの露光光であるg線(436nm)付近の透過率の比較を行うと、現状の偏光フィルム(型式:SHC-128UHC)の平行透過率は28.3%であるのに対し、表面に反射防止処理を施した偏光フィルム(型式:SHC-128UHCAR)の平行透過率は、29.7%という結果になっている。また、青色(波長:430~550nm)専用に染料分子の最適化を行っている偏光フィルム(型式:SHC-PBW281UHCAR)の平行透過率は、39.1%と現状の偏光フィルムに対して10.8%透過率が改善されていることが分かった。

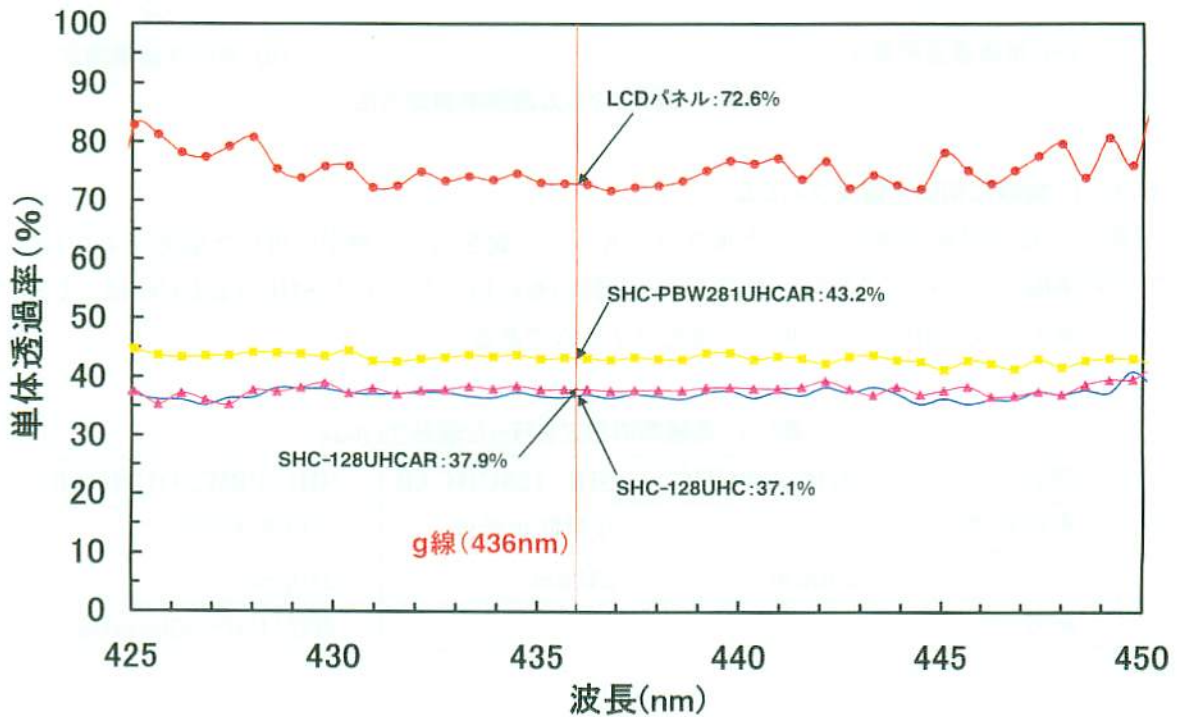


図5-7 偏光フィルムの分光透過特性(単体透過率)とLCDパネルの透過特性



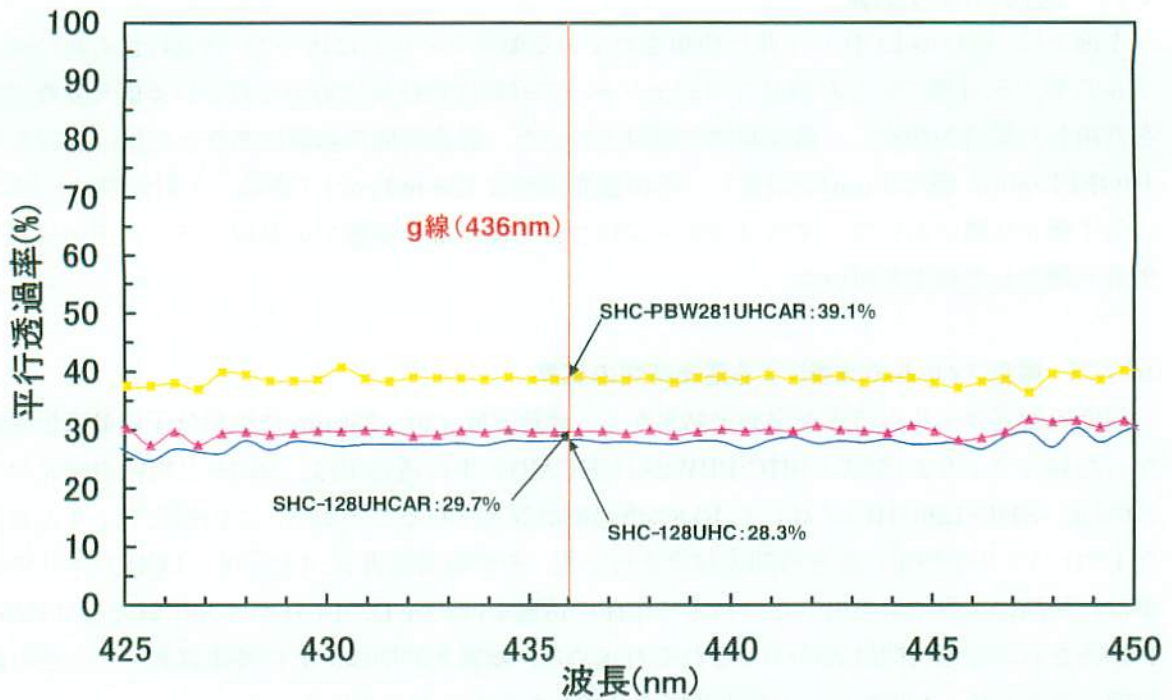


図5-8 偏光フィルム2枚の分光透過特性(平行透過率)

偏光フィルムの単体透過率と平行透過率の測定結果から、各偏光フィルムの出射光側の偏光フィルムの透過率を算出したものを表5・3に示す。現行の偏光フィルム(型式：SHC・128UHC)は、単体透過率 37.1%に対し平行透過率は 28.3%と 8.8%減少している。また、現行の偏光フィルムの表面に反射防止膜を形成した偏光フィルム(型式：SHC・128UHCAR)は、単体透過率 37.9%に対し平行透過率は 29.7%と 8.2%減少している。この透過率の減少の原因は、偏光フィルム材料の光吸収や石英ガラスとの接着界面での反射などが考えられる。一方、青色専用に染料分子を最適化した偏光フィルム(型式：SHC・PBW281UHCAR)は、単体透過率 43.2%に対し平行透過率は 39.1%と 4.1%減にとどまり、染料分子の最適化を行った結果、材料による光の吸収が抑えられたものと考えられる。したがって、結果的に出射側偏光フィルムの透過率が最も高い結果となった。

表5-3 出射側偏光フィルムの透過率算出結果

偏光フィルム型式	SHC・128UHC	SHC・128UHCAR	SHC・PBW281UHCAR
単体透過率(%)	37.1	37.9	43.2
平行透過率(%)	28.3	29.7	39.1
出射側偏光フィルム 透過率(%)	76.3	78.4	90.5

以上の結果と、現状の LCD パネルの透過率の測定結果から、入射光側の偏光フィルムによる光の損失が大きいことが裏付けられた。

## 5.7 露光時間の試算

本節では、現行の LCD パネルに使用されている偏光フィルムに比べて、透過特性の高い偏光フィルムや、5.4節で示した液晶プロジェクターの高輝度化技術に用いられている偏光変換光学系を適用した場合を想定し、露光時間の試算を行った。露光時間の試算にあたっては、g 線レジスト(OFPR-800, 膜厚 1 μm)を想定し、その露光感度は 128 mJ·cm<sup>-2</sup>である。入射光量は、図 5-5 に示す露光装置において、マスクステージになにも置かない状態での基板ステージ上の光量を照度計で測定した結果を用いた。

### 5.7.1 偏光フィルムの改善による露光時間の試算

前節の偏光フィルムの透過率測定結果から、波長領域 430~550nm に染料分子の最適化をおこなった偏光フィルム(型式: SHC-PBW281UHCAR)の平行透過率は、39.1%と現状の偏光フィルム(型式: SHC-128UHC)に対して 10.8%透過率が改善されることから、この偏光フィルムを用いた LCD パネルを想定し露光時間の試算を行った。その結果を表 5-4 に示す。LCD パネルの透過率は、前節の実験結果を用いた。パネル全体の透過率は式(5-1)、LCD パネル出射光量は式(5-2)、1 回あたりの露光時間は式(5-3)でそれぞれ求めた。総露光時間は、4 回多重露光したときの露光時間であるため、1 回あたりの露光時間を 4 倍したものとなっている。

$$\text{パネル全体透過率(\%)} = \frac{\text{LCDパネル透過率(\%)} \times \text{偏光フィルム平行透過率(\%)}}{100} \quad (5-1)$$

$$\text{LCDパネル出射光量(mW} \cdot \text{cm}^{-2}\text{)} = \frac{\text{入射光量(mW} \cdot \text{cm}^{-2}\text{)} \times \text{パネル全体透過率(\%)}}{100} \quad (5-2)$$

$$\text{1回あたりの露光時間(s)} = \frac{\text{レジスト感度(mJ} \cdot \text{cm}^{-2}\text{)}}{\text{LCDパネル出射光量(mW} \cdot \text{cm}^{-2}\text{)}} \quad (5-3)$$

表5-4 露光時間の試算結果(偏光フィルムの最適化)

		現行の LCD パネル	偏光フィルムを最適化
入射光量 (mW·cm <sup>-2</sup> )		44.5	44.5
透過率	LCD パネル透過率 (%)	72.6	72.6
	偏光フィルム平行透過率 (%)	28.3	39.1
	パネル全体透過率 (%)	20.5	28.4
LCD パネル出射光量 (mW·cm <sup>-2</sup> )		9.1	12.6
1 回あたりの露光時間 (s)		14.1	10.2
4 回多重露光時間 (s)		56.4	40.8

この結果から、偏光フィルムの最適化と偏光フィルムの反射防止処理を施すことにより、1 回あたりの露光時間は、3.9 s。総露光時間では 15.6 s の露光時間の改善が見込まれる。

5.7.2 偏光変換光学系を適用した場合の露光時間の試算

本項では、LCD パネルの透過率改善のために、5.4 節で示した偏光変換光学系を適用した場合を想定し露光時間の試算を行った。露光時間については、図 5-9 に示すそれぞれの LCD パネル構成の場合で比較を行った。(a)は現行の LCD パネル構成、(b)は現行の LCD パネル構成に偏光変換光学系を適用したもの、(c)は更に偏光フィルムに青色専用染料分子を最適化した偏光フィルム(型式：SHC-PBW281UHCAR)を用いたものを示す。

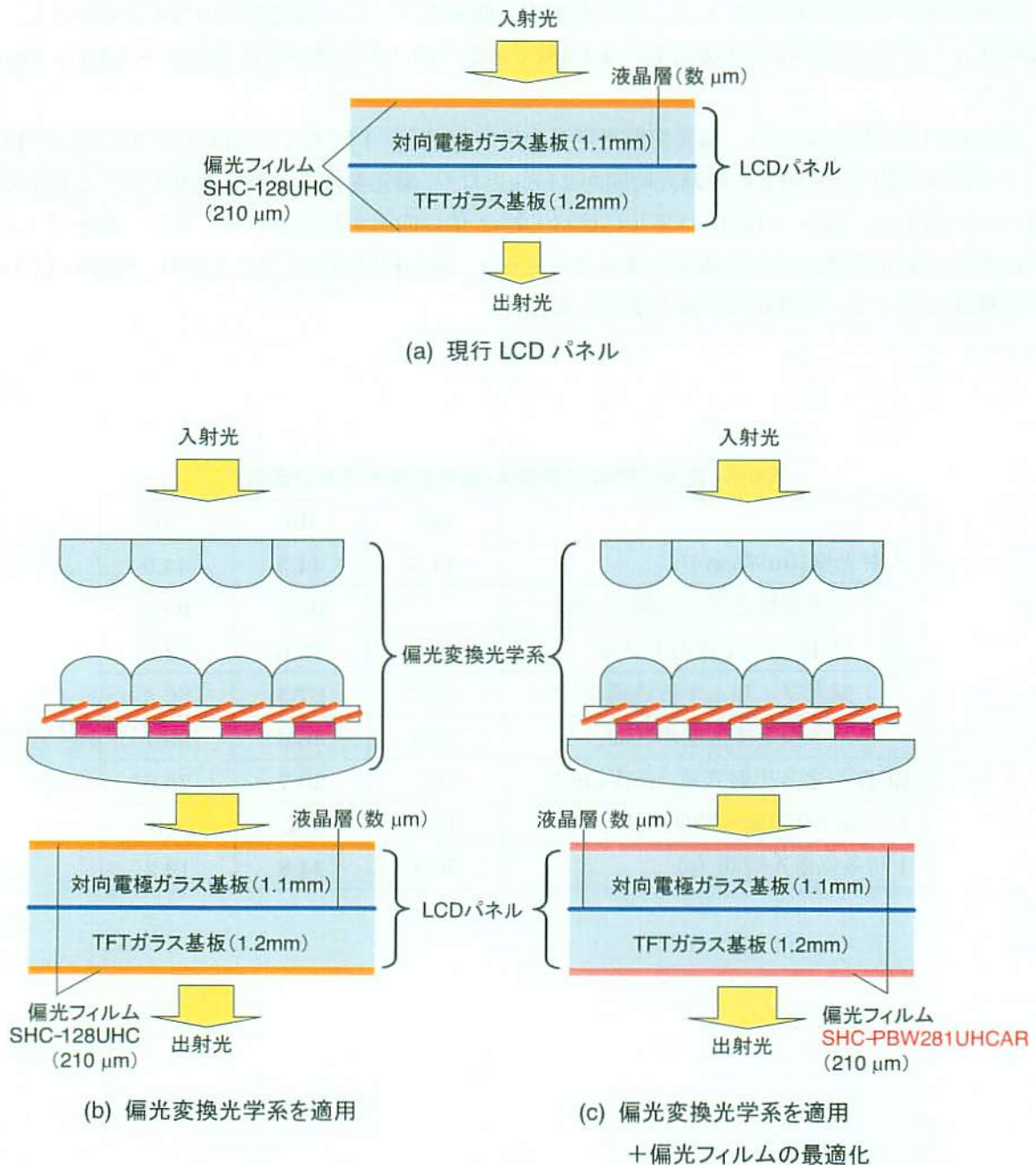


図5-9 偏光変換光学系を適用した場合の LCD パネル構成図

それぞれの LCD パネル構成での露光時間の試算結果を表 5-5 に示す。表中の(a), (b), (c)はそれぞれ図 5-9 の(a), (b), (c)に対応する。偏光変換光学系の透過率は文献[88]の値を用い、LCD パネルの透過率は測定結果の値を用いた。偏光フィルムの平行透過率については、(a)の場合は平行透過率の測定結果の値を用いた。(b)の場合は、偏光変換光学系により直線偏光された光が偏光フィルムに入射するため、表 5-3 で求めた出射光側偏光フィルム透過率が入射光側偏光フィルムの透過率(単体透過率)に相当するものとし、測定結果から平行透過率は単体透過率の 8.8%減であるため、平行透過率は  $76.3\% - 8.8\% = 67.5\%$  とした。(c)の場合も(b)と同様に入射光側偏光フィルムの透過率(単体透過率)を表 5-3 で求めた出射光側偏光フィルム透過率に相当するものとし、測定結果から平行透過率は単体透過率の 4.1%減であるため、平行透過率は  $90.5\% - 4.1\% = 86.4\%$  とした。

露光時間の試算結果から、偏光変換光学系を用いた場合、1 回あたりの露光時間が現行の LCD パネル構成の約半分の 6.2 s、総露光時間が 24.8 s となり、偏光変換光学系を適用することにより、光の利用効率は、現行の LCD パネルに比べて約 2 倍の向上が見込まれる。更に、偏光フィルムの最適化と偏光変換光学系の適用を組み合わせると、光の利用効率が更に上がり、現行の LCD パネル構成に比べて、約 2.9 倍の向上が見込まれる。

表 5-5 露光時間の試算結果(偏光変換光学系の適用)

		(a)	(b)	(c)
入射光量 ( $\text{mW}\cdot\text{cm}^{-2}$ )		44.5	44.5	44.5
透過率	偏光変換光学系透過率 (%)	—	95.1	95.1
	LCD パネル透過率 (%)	72.6	72.6	72.6
	偏光フィルム平行透過率 (%)	28.3	67.5	86.4
	パネル全体透過率 (%)	20.5	46.6	59.7
LCD パネル出射光量 ( $\text{mW}\cdot\text{cm}^{-2}$ )		9.1	20.7	26.6
1 回あたりの露光時間 (s)		14.1	6.2	4.8
4 回多重露光時間 (s)		56.4	24.8	19.2

## 5.8 画素構造に関する検討

前節で、偏光フィルムの最適化と液晶プロジェクターの高輝度化技術で利用されている偏光変換光学系を適用することにより、露光時間が改善できることを示した。しかし、4回多重露光が必要なため1回露光が可能な従来のガラスレチクルと比べて、単純に4倍の露光時間がかかってしまう。

そこで本節では、画素ピッチと開口率に注目し、4回多重露光が不要となるための画素構造の検討を行う。ブラック・マトリックスの寸法が露光光学系の解像限界以下になれば、ブラック・マトリックスが解像されず、これまでの4回多重露光が不要となる。そこで、画素ピッチと開口率の関係から、露光光学系の解像限界以下になるためのブラック・マトリックスの寸法を試算した。図5-10にLCDの1画素の構造を示す。画素ピッチを $A \mu\text{m}$ 、ブラック・マトリックス寸法を $X \mu\text{m}$ 、画素の開口率を $\gamma$ とする。ここで、露光光学系の投影レンズの解像度を $T$ 、投影レンズの縮小率を $\alpha$ とすると、ブラック・マトリックス寸法が露光光学系の解像限界になるための条件は、式(5-4)で表される。

$$X < \alpha T \quad (5-4)$$

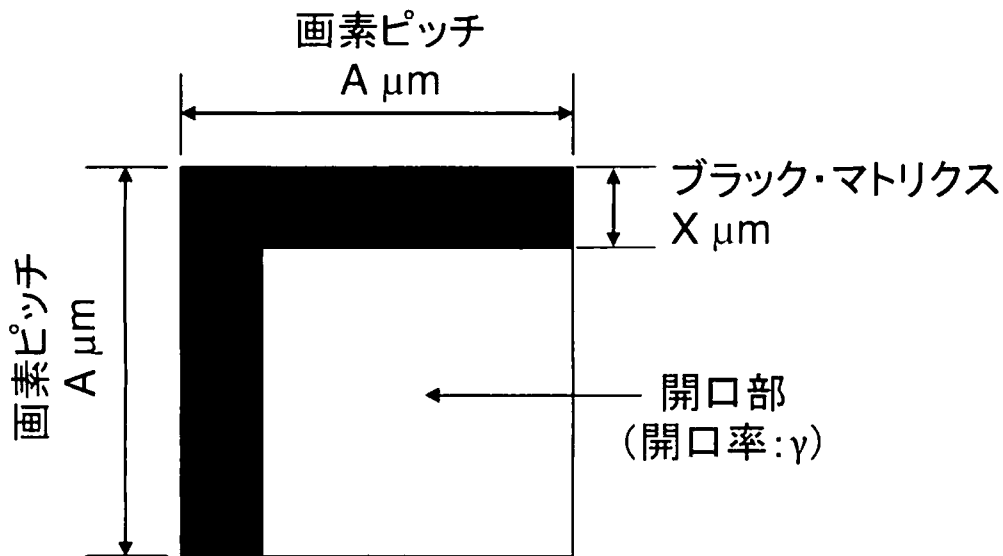


図5-10 LCDの1画素形状

露光装置にg線縮小投影露光装置(g線ステップ:Nikon NSR-1505G3A)を用いたと仮定すると、この装置の解像度は $T = 1 \mu\text{m}$ 、縮小倍率は $\alpha = 5$ であるため、ブラック・マトリックスの寸法が解像限界になるためには、 $X < 5 \mu\text{m}$ となる必要がある。このような条件を満たすLCDパネルを調査したところ、図5-11に示すLCDパネルが市販されていることが分かった。このLCDパネルは、セイコーエプソン社製のプロジェクター用LCDパネル(L3D07Hシリーズ)で、画素ピッチが $12 \mu\text{m}$ 、開口率が50%のものである。

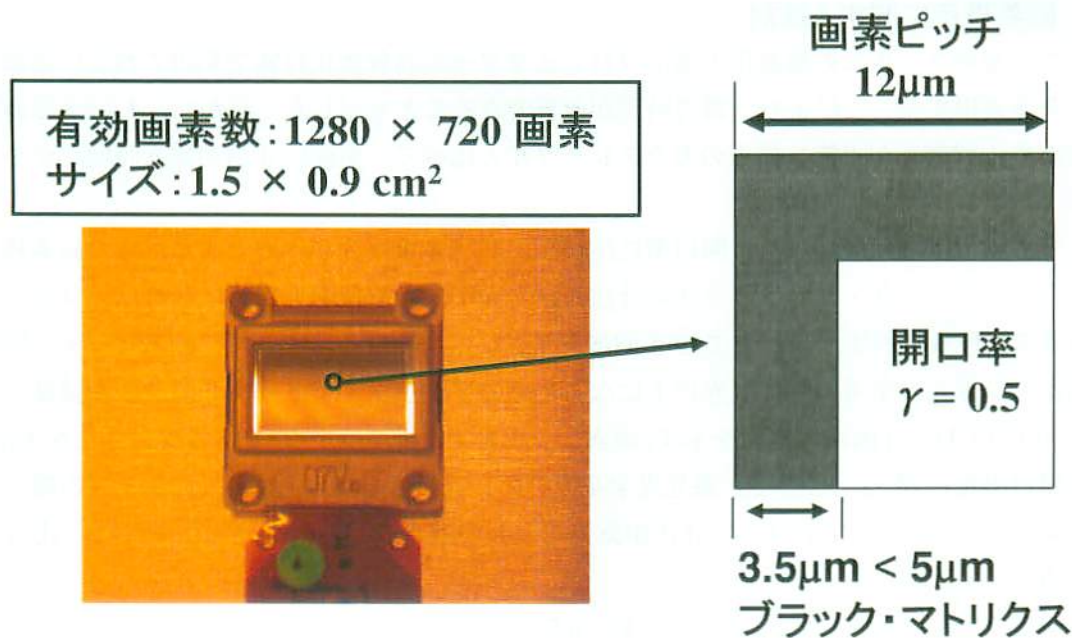


図5-11 ブラック・マトリクス解像不可の条件を満たす LCD パネルの例

この LCD パネルを用いれば、ブラック・マトリクスが解像されず、1回の露光で滑らかなパターン形成が期待される。そこで、図5-11に示す LCD パネルを用い、かつ偏光フィルムを最適化し、偏光変換光学系を適用したと仮定し、これを新規 LCD パネル構造とする。この新規 LCD パネル構造の露光時間を試算し、従来のガラスレチクルを用いた場合、および、現行の LCD パネル構成と露光時間の比較を行った。その結果を表5-6に示す。露光時間の試算にあたって、ガラスレチクルの透過率を 99%とした。また、現行の LCD パネル構造における透過率は、表5-5(a)のパネル全体の透過率の値を用い、新規 LCD パネル構造における透過率は、表5-5(c)のパネル全体の透過率の値を用いた。ガラスレチクルの透過率は 99.0%でありほとんど光の損失がなく、また、1回の露光でパターンの形成ができるため、総露光時間は 2.9 s となる。それに対し現行の LCD パネル構造では、透過率が 20.5%と低く、かつ4回の多重露光が必要であるため総露光時間はガラスレチクルの約 19.4 倍の 56.4 s となっている。一方、新規 LCD パネル構造では、透過率はガラスレチクルに比べると 59.7 %と低くなっているが、高精細高開口率 LCD パネルを用いているため4回多重露光が不要となり、総露光時間は 4.8 s という試算結果となった。この結果から、新規 LCD パネル構造を適用した場合の露光時間は、従来ガラスレチクルの約 1.7 倍となっている。現行の LCD パネル構造が約 19.4 倍であることを考慮すると、大幅に露光時間が改善され、新規 LCD パネル構造を適用することにより、ガラスレチクルの露光時間に近づける可能性が示された。

表5-6 露光時間の試算結果(新規 LCD パネル構造)

	ガラスレチクル	現行の LCD パネル構造	新規 LCD パネル構造
入射光量 (mW・cm <sup>-2</sup> )	44.5	44.5	44.5
透過率 (%)	99.0	20.5	59.7
出射光量 (mW・cm <sup>-2</sup> )	44.1	9.1	26.6
1 回あたりの 露光時間 (s)	2.9	14.1	4.8
4 回多重露光の有無	無し	有り	無し
総露光時間 (s)	2.9	56.4	4.8

## 5.9 まとめ

LCD パネルを用いた露光方式においては、LCD パネルに取り付けられている偏光フィルムの透過率が低いために露光時間が長くなるという課題があった。この課題を解決するために、まず、現行の LCD パネルの透過率が低い原因を調査するために現行の偏光フィルムの透過率測定、および LCD パネルの透過率測定を行った。また、染料材料を青色(波長: 430~550nm)の波長領域で最適化を行った偏光フィルムや表面への反射防止膜を形成した偏光フィルムの透過率測定を行い、現状の偏光フィルムとの比較を行った。その結果、現行の偏光フィルムの単体透過率が 37.1%、平行透過率が 28.3%と非常に低い値であることが分かり、偏光フィルムによる光の損失が大きいたことが原因であることが裏付けられた。一方、染料材料を青色波長領域で光の透過特性や偏光性能を最適化した偏光フィルムは、単体透過率が 43.2%、平行透過率が 39.1%と現行の偏光フィルムに対して透過率が高いことが分かり、偏光フィルム材料の最適化と表面の反射防止膜の形成により、透過率を高くすることが可能であることが測定により示され、LCD パネル全体の透過率を試算したところ、現状の LCD パネル全体の透過率は 20.5%であるのに対して、28.4%と 7.9%改善され、露光時間の試算の結果から、1 回あたりの露光時間は 3.9 s、総露光時間は 15.6 s の改善できる見込みが得られた。

更に、液晶プロジェクターの高輝度化技術の一つとして用いられている偏光変換光学系を適用した場合の露光時間の試算を行った。その結果、偏光フィルムの最適化と組み合わせることによって、現行の LCD パネル全体の透過率に対して、39.2%の透過率の改善が見込まれ、露光時間の試算結果から、1 回あたりの露光時間は 6.2 s、総露光時間は 24.8 s とそれぞれ現行の LCD パネル構造の約半分の露光時間まで改善できる見込みが得られた。

また、4 回多重露光が不要となるための画素構造の検討を行い、画素ピッチと開口率の関係からブラック・マトリクス寸法が、露光光学系の解像限界以下になれば、1 回の露光でパターン形成が可能であることを示した。また、このような画素構造をもった LCD パネルを採用し、偏光フィルムの最適化および偏光変換光学系を適用したものを新規 LCD パネル構造とし、露光時間の試算を行った。その結果、新規 LCD パネル構造にすることで、透過率が現行の約 2 倍である 59.7% となり、4 回多重露光が不要となるため、総露光時間が現行 LCD パネル構造の約 1/10 の 4.8 s と

なる見込みが得られた。従来のガラスレチクルと比較すると、約 19 倍の露光時間が必要だったものが、新規 LCD パネル構造を適用することで、約 1.7 倍まで抑えることが可能であるという見込みが得られた。

以上の結果から、露光時間を改善する観点から、現行の LCD パネル構造においては入射光側の偏光フィルムでの光の吸収損失をいかに抑えるかが重要であることが示され、偏光変換光学系の適用が最も効果的であることを示した。また、高精細高開口率 LCD パネルを適用することにより 4 回多重露光が不要となるため、現行の露光時間を単純に 1/4 に短縮化する可能性を示した。

本章で検討した改善策を実際にレチクルフリー露光方式に適用させるためには、光学設計、高精細高開口率 LCD パネルの設計が必要であり、今後の課題である。



## 第6章 結論

半導体集積回路やプリント配線基板等の電子機器産業の製造工程の QTAT 化と開発コストの低減を目指し研究を行った。

第2章では、最も低コストな方法で QTAT オンライン電子回路パターンニング技術を実現できるレチクルフリー露光方式を用い、半導体集積回路の設計と試作を行い本技術の実用性を検証した。まず、ステッパに導入するための課題となっていた各層の重ね合わせ露光に対応するために、アライメントマークを搭載した LCD レチクルを新規に開発および試作し、重ね合わせ露光の検証を行った。その結果、従来のガラスレチクル同様に、重ね合わせ露光が可能であることを示した。また、実際に4層構造の MOSFET 集積回路の設計を行った結果、従来と同じ設計基準で設計が可能であることを示し、その試作を行った結果、重ね合わせ露光が可能であり、MOSFET が動作することを実証した。以上のことから、レチクルフリー露光方式を既存のステッパに適用することが可能となり、最も低コストな方法で本技術を実現することができ、半導体集積回路を QTAT でかつ低コストな方法で作製できることを実証した。

第3章では、本技術の実用性を検証するにあたり、回路パターン設計の観点からレチクルフリー露光方式における MOSFET の省面積化設計法の検討を行った。LCD パネルを用いたパターン形成においては、回路パターンの寸法調整は、画素単位で変更することとなり従来のガラスレチクルのように細かいグリッドサイズでの回路寸法の微調整ができないため、所望の駆動能力を得ようとする MOSFET の面積が肥大化するという問題があった。これを解決するためにレチクルフリー露光方式に特徴的な任意の利得係数に対し MOSFET を最適に分割する設計方法を提案した。この手法を用いることで MOSFET の設計面積が省面積化されることを理論的に証明し、実際の設計および試作による検証を行い、駆動能力が同等で省面積化された MOSFET が得られることを実証した。

第4章では、本技術のプリント配線基板への応用を示し、設計システムから露光装置までを全てオンライン化した露光システムを構築した。実際にプリント配線基板のテストパターンの露光実験を行い、設計完了後、直に露光が可能であることを実証し、産業界における現状の最小加工寸法である  $20\ \mu\text{m}$  に対して、その約  $1/2$  の  $11.5\ \mu\text{m}$  の最小加工寸法を達成した。本システムは、従来のガラスレチクルを用いた露光方式に置き換わる可能性を持っていることが示され、今後のプリント配線基板の技術革新に大きな影響を与えるものと期待される。特に、新しいデバイスの試作段階に適用することが最も有効であると考えられ、開発コストの大幅な削減と、開発期間の QTAT 化が期待される。

第5章では、レチクルフリー露光方式における露光時間の改善に関する検討を行った。LCD パネルを用いた露光技術においては、LCD パネルの透過率が低いために従来技術に比べて露光時間が長くなるという課題があった。この原因を解明するために、偏光フィルムや LCD パネルの透過率の評価を行った。その結果、偏光フィルムによる光の損失が最も大きいことが実験的に示された。また、偏光フィルムの適切な選択と偏光フィルム表面の反射防止処理により、LCD パネル全体の透過率が改善され、露光時間を短縮化できる見込みを得た。更に、液晶プロジェクターにおける高光利用効率化技術として用いられている偏光変換光学系を用いることにより、約2倍の光

利用効率となり、現行の露光時間である 56.4 s に対して、24.8 s と約半分の露光時間に短縮化できる見込みを得た。また、4 回多重露光が不要となるための画素構造の検討を行い、画素ピッチと開口率の関係からブラック・マトリクス寸法が、露光光学系の解像限界以下になれば、1 回の露光でパターン形成が可能であることを示した。偏光フィルムの最適化、偏光変換光学系の適用および高精細高開口率 LCD パネルを採用したものを新規 LCD パネル構造とし、露光時間の試算を行った。その結果、新規 LCD パネル構造にすることで、透過率が現行の約 2 倍である 59.7% となり、4 回多重露光が不要となるため、総露光時間が約 1/10 の 4.8 s となる見込みが得られた。従来のガラスレチクルと比較すると、現行の LCD パネルでは約 19 倍の露光時間が必要だったものが、新規 LCD パネル構造を適用することで、約 1.7 倍まで抑えることが可能であるという見込みが得られ、従来技術の露光時間に近づけるための方針を示した。

以上のように、本研究を通して短工期でかつ低コストに電子機器を生産するのに不可欠なオンライン電子回路パターンニング技術を実用化するうえでの数々の知見が得られた。これらの知見は、今後の電子機器産業のさらなる発展に貢献できる重要な成果であると考えている。

## 参考文献

- [1] Gordon E. Moore. "Lithography and the Future of Moore's Law." Proc. SPIE, Vol. 2440, pp. 2-17, 1995.
- [2] 奥村勝弥, "ミニ・ファブとメガ・ファブ", BREAK THROUGH, 2002年5月号, No. 190-2, SIPEC Corp.
- [3] 日経マイクロデバイス, 2003年8月号, p. 106, 日経BP社.
- [4] T. Nakasugi, A. Ando, R. Inanami, N. Sasaki, T. Ota, O. Nagano, Y. Yamazaki, K. Sugihara, I. Mori, M. Miyoshi, K. Okumura, and H. Fujioka. "Maskless lithography using low-energy electron beam: Recent result for proof-of-concept system." J. Vac. Sci. Technol B, 20, pp. 2651-2656, Nov/Dec. 2002.
- [5] International Technology Roadmap for Semiconductors 2003 Edition. "Assembly & Packaging".
- [6] 中村一光, 森本達郎, 久保田弘, 中田明良, 赤道孝之, 井口恒夫, 占部憲治, 小坂光二, 小坂哲也, 藤井敏夫, 高山由則, 鈴木信二, 若杉雄彦, 中村博文, "レチクルフリー露光技術開発の展開", 熊本地域結集型共同研究事業, 超精密半導体計測技術開発 第4回技術シンポジウム資料, pp. 15-22, 2003年6月20日, KKR ホテル熊本.
- [7] Kazunori Kato. "New Era of Advanced Back-end Process," International Symposium on Semiconductor Manufacturing ISSM2004 Conference Proceedings, pp. 527-530, Sep. 2004.
- [8] 田辺功, 竹花洋一, 法元盛久共著, 「フォトマスク技術のはなし」, 工業調査会, p. 10, 2003年6月.
- [9] 東木達彦著, 「光リソグラフィ技術－実践的基礎と課題－」, EDリサーチ社, 2002年7月.
- [10] 西澤潤一監修, 「半導体プロセス技術」, 培風館, p. 76, 2000年3月.
- [11] 日経マイクロデバイス, 2003年9月号, pp. 61-70, 日経BP社.
- [12] 笹子勝, 遠藤正孝, "リソグラフィの最近の話題", 応用物理, 第73巻, 2号, pp. 199-205, 2004年.
- [13] Lars W. Liebmann. "Resolution Enhancement Techniques in Optical Lithography. It's not just a Mask Problem," Proc. SPIE, Vol. 4409, pp. 23-32, 2001.
- [14] Kevin Lucas, "Model Based OPC for 1st Generation 193nm Lithography." Proc. SPIE, Vol. 4346, pp. 119-130, 2001.
- [15] R. E. Szupillo, "Chromium masks," Solid State Technol, Vol. 12, No. 9, p. 58, 1996.
- [16] Yoshiyuki Tanaka, M. Matsuda, Tsuyoshi Tanaka, and Ryoichi Kobayashi, "Development of 0.35  $\mu\text{m}$  generation reticles using advanced mask blanks." SPIE, Vol. 2254, pp. 178-182, Photomask and X-Ray Mask Technology, Nov. 1994.
- [17] アドバンテスト坂本樹一著 「"マスク・コスト・ゼロ" の設計環境が EB 技術で離陸」, 日経マイクロデバイス, 2002年6月号, p. 116, 日経BP社.

- [18] 高木清, 「ビルドアップ多層プリント配線板技術」, 日刊工業新聞社, 2002.
- [19] Morihiro Kada, "The Dawn of 3D Packaging as System-in-Package (SIP)," *IEICE Trans. Electron.*, Vol. E84-C, No. 12, pp. 1763-1770, Dec. 2001.
- [20] 盆子原学, 高橋健司, 石野正和, "SiP 技術と三次元実装技術の動向と将来", *電子情報通信学会論文誌*, Vol. J87-C, No. 11, pp. 791-801, Nov. 2004.
- [21] 中前幸治, 藤岡弘, "LSI テスティングの最近の動向", *電子情報通信学会論文誌*, Vol. J86-C, No. 2, pp. 103-114, Feb. 2003.
- [22] 久慈憲夫, 竹田忠雄, 小峰行雄, "LSI の回路修正容易化設計", *電子情報通信学会論文誌*, Vol. J84-C, No. 11, pp. 1106-1112, Nov. 2001.
- [23] Seiji Funaba, Akihiro Kitagawa, Toshiro Tsukuda, and Goichi Yokomizo. "A Fast and Accurate Method of Redesigning Analog Subcircuits for Technology Scaling," *IEICE Trans. Fundamentals.*, Vol. E82-A, No. 2, pp. 341-347, Feb. 1999.
- [24] Kenichi Okada, Hidetoshi Onodera, and Keikichi Tamaru. "Layout Dependent Matching Analysis of CMOS Circuits," *IEICE Trans. Fundamentals.*, Vol. E82-A, No. 2, pp. 348-355, Feb. 1999.
- [25] Design Wave Magazin, 2003年6月号, pp. 20-76, CQ出版.
- [26] Design Wave Magazin, 2004年6月号, pp. 65-90, CQ出版.
- [27] 池田修二, 三井泰裕, 尾内享裕, 徳永尚文, "システム LSI を支えるデバイス, プロセス技術", *電子情報通信学会誌*, Vol. 8-1, No. 8, pp. 584-591, Aug. 2001.
- [28] Yuuichi Mikata and Toshikatsu Masuda, "Improvement of fab availability simulation by using semi-dynamical model," *International Symposium on Semiconductor Manufacturing ISSM2004 Conference Proceedings*, pp. 107-110, Sep. 2004.
- [29] 見方裕一, "HALCA ミニファブ", 九州半導体イノベーション協議会平成16年度 第5回製造装置研究会予稿集, 2005年2月4日, 熊本テルサ.
- [30] W. Deweerdt, T. Schram, G. Catana, D. Shamiryan, S. Garaud, D. Hellin, S. De Gendt, M. Heyns, S. Wickramanayaka, T. Kawashima, N. Yamada, J. Vertommen, and R. Lander. "Introducing novel metal gate materials for decananometer CMOS in the agile fab: a case study," *International Symposium on Semiconductor Manufacturing ISSM2004 Conference Proceedings*, pp. 53-56, Sep. 2004.
- [31] Jun Hao, Colm Sweeney, and Thuc Dam, "Multi Layer Reticle (MLR) Reducing Product Cost Now and In the Future," *International Symposium on Semiconductor Manufacturing ISSM2004 Conference Proceedings*, pp. 161-164, Sep. 2004.
- [32] Christoph Brandstatter, Hans Loeschner, Gerhard Stengl, Gertraud Lammer, Herbert Buschbeck, and Elmar Platzgummer, "Projection Mask-Less Lithography," *Proc. SPIE*, Vol. 5374, pp. 601-609, *Emerging Lithographic Technologies VIII*, May. 2004.
- [33] 星野裕美, 荻野宏三, 町田泰秀, 宮島正明, "100nm-node 以降デバイスに向けた EB 部分一括露光用データ", *電子情報通信学会論文誌*, Vol. J84-C, No. 12, pp. 1215-1226, Dec. 2001.
- [34] 早田康成, 小島義克, "電子ビーム直接描画技術の現状と課題", *電子情報通信学会論文誌*, Vol. J84-C, No. 12, pp. 1192-1199, Dec. 2001.

- [35] Dario Gil, Rajesh Menon, Xudong Tang, Henry I. Smith, and D. J. D. Carter. "Parallel maskless optical lithography for prototyping, low-volume production, and research," *J. Vac. Sci. Technol. B* 20 (6), pp. 2597-2601, Nov/Dec. 2002
- [36] D. J. D. Carter, Dario Gil, Rajesh Menon, K. Mondol, Henry I. Smith, and Erik H. Anderson, "Maskless, parallel patterning with zone-plate array lithography," *J. Vac. Sci. Technol. B* 17 (6), pp. 3449-3452, Nov/Dec. 1999.
- [37] R. Seltmann, W. Doleschal, A. Gehner, H. Kuck, R. Melcher, J. Panfler, and G. Zimmer. "NEW SYSTEM FOR FAST SUBMICRON OPTICAL DIRECT WRITING," *Microelectronic Engineering* 30, pp. 123-127, 1996.
- [38] SEMATECH Maskless Lithography Workshop August, 2001. [Online] .Available: <http://www.sematech.org/resource/litho/meetings/ngl/20010827/index.htm>.
- [39] Design Wave Magazine, 2004年5月号, pp. 109-110.
- [40] Ball Semiconductor Inc. [Online]. Available: <http://www.ballsemi.com/NEW/products/mes/mes3.asp>.
- [41] Kin Foong Chan, Zhiqiang Feng, Ren Yang, Akihito Ishikawa, and Wenhui Mei, "High-resolution maskless lithography," *J. Microlith., Microfab., Microsyst.*, Vol. 2, No. 4, pp. 331-339, Oct. 2003.
- [42] イシカワアキラ, 「マスクレスフォトリソグラフィシステム」特許出願 平 11 年 7 月 8 日, 出願人 ポール セミコンダクター インコーポレイティッド.
- [43] 高橋幸郎, 瀬戸山淳一, "DMD を用いた紫外線露光機", *電子情報通信学会論文誌*, Vol. J82-C-II, No. 3, pp. 92-94, March. 1999.
- [44] Yan Wang, Jeffrey Bokor, and Arthur Lee, "Maskless Lithography Using Drop-On-Demand Inkjet Printing Method," *Proc. SPIE* Vol. 5374, pp. 628-636, *Emerging Lithographic Technologies VIII*, May. 2004.
- [45] 上原秀夫, 「IC パターニング装置」特許出願 昭 55 年 4 月 22 日, 出願者 シチズン時計株式会社.
- [46] 宮内建興, 水越克郎, 本郷幹雄, 「パターン形成方法」特許出願 昭 54 年 9 月 7 日, 出願者 株式会社日立製作所.
- [47] T. Horiuchi, T. Miyakawa, and S. Hosoda, "A New Projection Exposure Method Using a Liquid Crystal Display as a Switching Matrix in Place of a Reticle," *Jpn. J. Appl. Phys.* Vol. 39, pp. 324-329, 2000.
- [48] T. Horiuchi and H. Kobayashi, "Improvement of Liquid-Crystal-Display Matrix Exposure Using an Aperture Place for Reshaping Cell Windows," *Jpn. J. Appl. Phys.* Vol. 43, No. 1, pp. 394-400, 2004.
- [49] 小林宏史, 堀内敏行, "液晶パネルとセル開口を制限するマスクを用いたつなぎ投影露光の検討", 第 49 回応用物理学関係連合講演会, 講演予稿集, No. 2, p. 723, 2002.
- [50] 大谷綾香, 堀内敏行, "微小セル液晶パネルを用いたマトリックス投影露光による微細パタンの形成", 第 65 回応用物理学学会学術講演会, 講演予稿集, No.2, p. 617, 2004.
- [51] T. Horiuchi, S. Aichi, and Y. Kawamura, "New Projection Exposure Using a Double-line

- Matrix of Optical Fibers in Place of a Reticle.” Jpn. J. Appl. Phys. Vol. 42. pp. 1820-1827, 2003.
- [52] 中村一光, 久保田弘, 中田明良, 井口恒夫, 小坂光二, “液晶ディスプレイ投影露光を用いたレチクルフリー露光技術の開発”, 熊本地域共同研究事業, 超精密半導体計測技術開発 セミコン・ジャパン 2001 熊本フォーラム資料, pp. 65-72, 2001 年 12 月.
- [53] 赤道孝之, 羽山隆史, 中田明良, 久保田弘, 中村一光, 小坂光二, 井口恒夫, “液晶パネルを用いたレチクル交換レス露光技術の開発”, 第 16 回熊本県産学官技術交流会講演論文集, 論文番号 520, pp. 256-257, 2002 年 1 月 22 日.
- [54] 赤道孝之, 中村一光, 井口恒夫, 小坂光二, 中田明良, 久保田弘, “縮小投影露光用液晶ディスプレイの波長依存性の計測”, 第 49 回応用物理学関係連合講演会, 講演予稿集, No. 2, p. 718, 2002.
- [55] K. Nakamura, H. Kubota, A. Nakada, T. Inokuchi, and K. Kosaka, “Development of Reticle-Free Exposure Method with LCD Projection Image,” Proc. SPIE, Vol. 4754, pp. 737-744, Photomask and Next-Generation Lithography Mask Technology IX, 2002.
- [56] T. Morimoto, K. Nakamura, H. Kubota, A. Nakada, T. Akamichi, T. Inokuchi, and K. Kosaka, “Arbitrary pattern fabrication with a LCD reticle-free exposure method.” Proc. SPIE, Vol. 5130, pp. 347-356, Photomask and Next-Generation Lithography Mask Technology X, 2003.
- [57] 木村雅之, 久保田悦雄, 別所信夫, 福田一郎, “液晶式光造形システムの開発”, 電子情報通信学会論文誌, C-II, Vol. J79-C-II, No. 3, pp. 118-127, 1996.
- [58] 藤掛英夫, 滝沢國治, 菊池宏, 藤井孝憲, 河北真宏, “空間光変調素子用ポリマー分散型液晶の構造設計”, 電子情報通信学会論文誌, Vol. J80-C-II, No. 5, pp. 164-171, May, 1997.
- [59] L. J. M. Schlangen, J. G. Kloosterboer, F. J. Touwslager, and H. J. Cornelissen, “Electro-optics of Polymer Dispersed Liquid Crystals with Varying Crosslink Density.” Euro Display '96, pp. 519-522, 1996.
- [60] 森本達郎, 「画像表示デバイスを用いたオンライン露光方式に関する研究」博士学位論文, 東北大学, 2004 年 3 月.
- [61] 赤道孝之, 「液晶ディスプレイを用いたレチクルフリー露光方式に関する研究」平成 13 年度卒業論文, 熊本大学工学部電気システム工学科, 2002 年 2 月.
- [62] 赤道孝之, 「レチクルフリー露光技術を用いたフレキシブル基板対応アライメント方式に関する研究」平成 16 年度修士論文, 熊本大学大学院自然科学研究科, 2004 年 2 月.
- [63] 松岡真二, 「レチクルフリー露光システムの開発およびその評価」平成 14 年度卒業論文, 熊本大学工学部電気システム工学科, 2003 年 2 月.
- [64] 金谷晴一, 中村徹哉, 川上晃治, 吉田啓二, “コプレーナ線路整合回路を用いた無線通信用 RF-CMOS フロントエンドの開発”, 電子情報通信学会論文誌, C-I, Vol. J87-C-I, No. 12, pp. 1-7, 2004.
- [65] Haruichi Kanaya, Yoko Koga, Jun Fujiyama, Go Urakawa, and Keiji Yoshida, “Design and Performance of High Tc Superconducting Coplanar Waveguide Matching Circuit for RF-CMOS LNA,” IEICE Trans. Electron., Vol. E86-C, No. 1, pp. 37-41, 2003.

- [66] 水野皓司, “MEMS が開く新しい高周波技術”, 電子情報通信学会誌, Vol. 87, No. 11, pp. 919-924, 2004.
- [67] 積知範, “RF MEMS スイッチ”, 電子情報通信学会誌, Vol. 87, No. 11, pp. 930-933, 2004.
- [68] 江刺正喜, 「半導体集積回路設計の基礎」, 培風館.
- [69] Nell. H. E. Weste, Kamran Eshranghian: *Principles of CMOS VLSI Design -A System Perspective*, Second Edition., (Addison-Wesley Publishing Co., 1993) Chap. 3. p. 142.
- [70] 理化学辞典, 第4版, 岩波書店.
- [71] 日経マイクロデバイス, 2004年11月号, pp. 44-49, 日経BP社.
- [72] Hiromasa Noda, Hideyuki Sakiyama, Yasushi Goto, Tokuo Kure, and Shinichiro Kimura, “Tungsten Gate Technology for Quarter-Micron Application,” Extended Abstract of the 1995 International Conference on Solid State Devices and Materials, pp. 225-227, 1995.
- [73] N. Yamamoto, S. Iwata, N. Kobayashi, and T. Terada, “Tungsten Gate Electrode and Interconnect for MOS VLSIs,” Extended Abstract of the 15th Conference on Solid State Devices and Materials, pp. 217-220, 1983.
- [74] 河瀬康弘, 石川誠, 齊藤範之, 「タングステン合金のエッチング液及びエッチング方法」, 公開特許公報(A), 特開 2004-31791, 2004年1月29日公開.
- [75] 細見彰良, 細田篤史, 木暮直毅, 「エッチング液」, 公開特許公報(A), 特開 2002-53984, 2002年2月19日公開.
- [76] 小島定夫, 「Ti-W の選択的エッチング液及びそのエッチング方法」, 公開特許公報(A), 特開 2000-311891, 2000年11月7日公開.
- [77] L. Ventura, A. Slaoui, J. C. Muller, and P. Siffert, “Rapid thermal annealing of thin doped and undoped spin-on glass films,” Materials Science and Engineering B31, pp. 319-326, 1995.
- [78] Kiju Im, Hyungsang Hwang, Won-ju Cho, Seongjae Lee, and Kyoungwan Park, “Formation of a Shallow Junction by Using the Spin-Coating Solid-Phase Diffusion Method for Sub-Micron SOI MOSFETs,” Journal of the Korean Physical Society, Vol. 42, No. 2, pp. 229-232, Feb. 2003.
- [79] 加沢エリト, 上野武司, “スピノンガラスを用いた p-n 接合形成”, 東京都立産業技術研究所研究報告, 第4号, pp. 1-4, 2001.
- [80] Kouji Kosaka, Tetsuya Iwabuchi, Tetsuya Kosaka, Tetsuro Baba, Satoru Okudera, Kouji Takaki, Yasuhiro Maeda, Fumito Imura, Akira Nakada, and Hiroshi Kubota, “Development of Vacuum Environment Compatible nano-probe System,” in Digest of Papers, Microprocesses and Nanotechnology Conference (MNC2003), 30P-7-39, pp. 246-247, Tokyo, Japan, Oct. 2003.
- [81] Keijiro Itakura, Fumito Imura, Akira Nakada, Kouji Kosaka, Atsushi Arao, and Hiroshi Kubota, “A Nano-Probing System for Measurement of Micro-Device,” in Abstracts of the 1st International Symposium on Active Nano-Characterization and Technology, P-64, pp. 225-226, Tsukuba, Japan, Nov. 2003.
- [82] 中田明良, 居村史人, 板倉敬二郎, 久保田弘, 小坂光二, 荒尾淳, “Development of nano-probing

- system for metallization-free measurement”, 2003 年電子情報通信学会総合大会講演論文集, pp. S-67-S-68, 2003 年 3 月 19 日.
- [83] S. M. Sze 著, 南日康夫, 川辺光央, 長谷川文夫訳, 「半導体デバイス 第 2 版 基礎理論とプロセス技術」, 産業図書株式会社, 2004 年 3 月 20 日.
- [84] Design Wave Magazine 2002 年 11 月号, pp. 148-155, CQ 出版.
- [85] 株式会社ポラテクノ社ホームページ <http://www.polatechno.co.jp/>.
- [86] 染谷保行, 蔵田信行, 東浩二, 本田卓, 清水郎子, 林成年, 波岡誠, 松元浩二, 水口圭一, “LCD 用偏光フィルムの高性能化と新しい展開” 住友化学, Vol. 2000-I, pp. 29-36, 2000.
- [87] 栢根豊, 荻野和哉, 太田義輝, 芦田徹, 山中利彦, “液晶表示装置用二色性色素の開発”, 住友化学, Vol. 2002-II, pp. 23-30, 2002.
- [88] 今井雅雄, 坂本幹雄, “偏光変換光学系による液晶プロジェクターの高輝度化”, 光技術コンタクト, Vol. 32, No. 10, pp. 28-35, 1994.
- [89] 坂本幹雄, “最近の液晶プロジェクター光学系とその課題” 光技術コンタクト, Vol. 37, No. 9, pp. 39-47, 1999.
- [90] Keiichi Kubota, Masao Imai, Setsuo Kaneko, Yoshiharu Tashiro, Kazuo Mochizuki, Mikio Sakamoto, and Takayuki Matsumoto, “High Resolution High Brightness Liquid Crystal Projector for Work Station,” Proc. of SPIE Vol. 2407, pp. 119-124, Projection Display. Apr. 1995.
- [91] 杉谷晃彦, “最近のプロジェクタの現状と動向”, ウシオ技術情報誌 ライトエッジ 第 15 号, 1998 年 11 月, [Online]. Available: [http://www1.ushio.co.jp/tech/le/le15/15\\_idx.htm](http://www1.ushio.co.jp/tech/le/le15/15_idx.htm)
- [92] 小池啓文, “プロジェクター用高温ポリシリコン(HTPS)液晶パネル技術”, 月刊ディスプレイ, 2004 年 7 月号, pp. 73-78.
- [93] S. Slonakaer, K. Konno, R. Miller, S. Murakami, N. Magome, T. Umatate, and Tateno, “Enhanced global alignment for production optical lithography.” Proc. of SPIE Vol. 922, pp. 73-81, Optical/Laser Micro lithography. 1988.
- [94] S. Wittekeoek, M. van den Brink, H. Linders, J. W. D. Martens, and Ritvhie, “Deep UV wafer stepper with through the lens wafer to reticle alignment,” Proc. of SPIE Vol. 1264, pp. 534-547, Optical/Laser Micro lithography, 1990.
- [95] T. Higashiki, T. Tojo, M. Tabata, T. Nishizaka, M. Matsumoto, and Y. Sameda, “A Chromatic Aberration-free Heterodyne Alignment for Optical Lithography,” Jpn. J. Appl. Phys., Vol. 29, No. 11, pp. 2568-2571, 1990.
- [96] 田幸敏治, 辻内順平, 南茂夫編, 「光測定ハンドブック」, pp. 647-655, 朝倉書店, 1994.
- [97] 東木達彦著, 「光リソグラフィ技術 II - 計測と制御 -」, ED リサーチ社, 2003 年 6 月.



## 謝辞

本論文は、熊本大学大学院自然科学研究科博士後期課程において行われた研究を取りまとめたものである。本研究を遂行するにあたり久保田弘教授、中田明良助教授には終始懇切丁寧な御指導と御鞭撻を賜りました。また、研究、教育、地域に密着した産業に対する情熱的かつ革新的な先生方の御姿勢から多くを学ぶことができました。ここに深甚なる感謝の意を表します。

本論文をまとめるにあたり、それぞれの御専門の立場から数々の有益な御教示、心温まる激励、そして御審査いただきました宮原邦幸教授、三田長久教授、松本泰道教授、中村有水教授に深く感謝いたします。

本研究の遂行にあたり、理想を見据えた研究開発方針の御教示をいただきました東北大学の犬見忠弘教授に深く感謝いたします。

本研究の遂行にあたり、実用化を目指した開発指針の御教示をいただきましたキヤノン株式会社の松本繁幸客員教授に深く感謝いたします。

本研究の当初から要素技術開発、実用化向け装置開発を実施され、本研究の基礎を築きあげてこれられ、実験や理論、装置開発にあたり様々な面で御指導および御助言いただきました財団法人くまもとテクノ産業財団の中村一光氏に深く感謝申し上げます。

本研究の基礎を築きあげられ、ともに研究開発に取り組んでいただきました東北大学の森本達郎助手、2003年度博士前期課程修了の赤道孝之氏、2002年度卒業の松岡真二氏、2003年度卒業の原弘一氏、吉野彰一郎氏に深く感謝申し上げます。

プリント配線基板用露光装置の開発において、技術開発面において多大なご協力をいただきました、株式会社ソニーセミコンダクタ九州の井口恒夫氏、占部憲治氏、有限会社熊本テクノロジーの小坂光二氏、小坂哲也氏、馬場哲郎氏、テクノス株式会社の八重津真彬代表取締役社長、相川創氏、ウシオ電機株式会社の鈴木信二氏、直原正人氏、株式会社トッパン NEC サーキットソリューションズの中村博文氏、株式会社プレシードの高山由則氏に深く感謝申し上げます。

半導体集積回路プロセスの立ち上げにおいて、半導体製造装置関係で多大なご協力をいただきました、株式会社エイコーエンジニアリングの我妻勇夫氏、池田一雄氏、綿引俊光氏、株式会社ラジカル宗雲幹久氏、株式会社東京電子冶金研究所の西原孝義氏、株式会社フジキンの中村修氏、ケイ・エス・ティ・ワールド株式会社の藤沼正朗氏、アルバック九州株式会社の小田隆一氏に深く感謝申し上げます。また、ウェハの洗浄装置関係で多大なご協力をいただきました、野村マイクロ・サイエンス株式会社の前田伸幸氏、佐伯正彰氏、山田正明氏、有限会社熊本バイオシステムの松本俊右氏、信越石英株式会社の河北利彦氏、内川一哉氏、井上喜株式会社の伊藤達彦氏、堤琢磨氏に深く感謝申し上げます。

LCD レチクルの作製に関しまして、多大なご協力をいただきました、ユニオンホールディングス株式会社の中原幹治氏、佐藤昌孝氏、HOYA 株式会社熊本工場の中村和成氏に深く感謝申し上げます。

液晶ディスプレイおよび偏光変換光学系を快く貸与していただきました、セイコーエプソン株式会社の伊藤治郎氏、橋爪俊明氏に深く感謝申し上げます。

本研究を行うにあたり、物品購入や事務手続き等で終始御協力いただきました財団法人くまもとテクノ産業財団特定プロジェクト室の皆様に深く感謝申し上げます。

研究室生活を送るにあたり、事務処理等で大変お世話になりました研究室秘書の堤貴子さん、山本哉美さん、中村恵美さん、奥村(旧姓：石崎)敬子さん、江口泰代さん、道添こずえさんに心から御礼申し上げます。また、研究室のサーバー管理、ネットワーク管理関係で大変お世話になりました吉岡昌雄技官に心から御礼申し上げます。

本研究を行うにあたり、半導体プロセスの立ち上げにおいて、いくつもの問題解決に共に尽力していただき、共に実験し、共に議論していただきました博士後期課程3年の林直毅氏、2001年度卒業の村川和績氏、2002年度卒業の田中秀之氏に深く感謝申し上げます。

本研究を行うにあたり、半導体プロセス開発におきまして多大なご協力、御助言、御議論いただきました研究員の大嶋一郎氏、博士後期課程3年の本武幸一氏、羽山隆史氏、森川晃次氏、田北進也氏、博士後期課程1年の居村史人氏に深く感謝申し上げます。また、半導体デバイスの計測に関しまして、多大なご協力をいただきました博士前期課程2年の板倉敬二郎氏に深く感謝申し上げます。

本研究を行うにあたり、熊本大学大学院自然科学研究科博士後期課程に進学させていただき、また、画期的な半導体製造および計測技術に関する研究プロジェクトである熊本県地域結集型共同研究事業に参画させていただき、本研究においても半導体の設計、生産の面で貴重なアドバイスと多大なご協力を頂きました株式会社ロジック・リサーチの土屋忠明代表取締役社長に心から感謝申し上げます。

本研究を行うにあたり、回路設計から試作プロセス立ち上げ、試作および評価まで共に実験を進め、議論した博士前期課程1年の脇元聡氏、学部4年の岩崎吉記氏、緒方智博氏に深く感謝申し上げます。更に、終始御協力いただきました久保山研究室、中田研究室のスタッフ並びに学生諸氏に心から深く感謝申し上げます。

本研究は、このように非常に多くの方々の御指導、御協力のもとに行われたものであり、皆様に改めて厚く御礼申し上げます。

なお本研究は、(独)科学技術振興機構、熊本地域結集型共同研究事業「超精密半導体計測技術開発」、経済産業省平成14年度即効型地域新生コンソーシアム研究開発事業「QTAT(短工期)オンライン電子回路パターンニング技術の開発」、文部科学省地域科学技術振興事業費補助金「レチクルフリープロキシミティ露光技術の研究開発」及び文部科学省科学研究費若手研究(B)「画像表示デバイスを用いた微細任意パターン形成技術の汎用化と集積回路設計への応用」の御支援により行われたものである。

最後に、私を理解し、博士後期課程への進学に快く賛成し、仕事と博士後期課程における研究生生活の両立を常に支え、また、暖かく見守り続けてくれた家族に心から感謝申し上げます。

## 付録 A アライメント技術

半導体集積回路の製造プロセスでは、イオン注入、拡散、酸化、薄膜堆積、リソグラフィ、エッチングといった多くのステップからなっている。これらのステップを経て、個々の回路要素(トランジスタ、ダイオード、キャパシタ、抵抗)を形成する。このプロセスの流れでの中で、回路パターンを描画したレチクルは、リソグラフィ工程ごとに作製される。特に、現在においては、高集積化するために素子や配線を高さ方向に積層していく多層構造をとっており、実際のデバイス作製には数十枚の異なったマスクパターンをウェハ上に転写していく。この時、レチクルの数だけ順次ウェハ上に重ね合わせ露光が行われる。この重ね合わせを行う工程をアライメント(Alignment)と呼んでいる[9]。

図 A-1 に基本的な重ね合わせの工程を示す。露光装置にウェハがロードされ、次工程のマスクとロードしたウェハの位置合わせを行い、露光工程を経てウェハの交換を行う。ここで、アライメントとは露光装置がウェハの位置計測を行うことであり、位置を計測するために形成された基準マークをアライメントマーク(Alignment Mark)、このアライメントマークを計測する機構をアライメントセンサ(Alignment Sensor)と呼ぶ。そしてアライメント露光した結果、第  $k$  層目のマスクで形成されたパターンと第  $k+1$  層目のマスクで形成されたパターンのウェハ上での相対的なずれ量を重ね合わせ精度という。

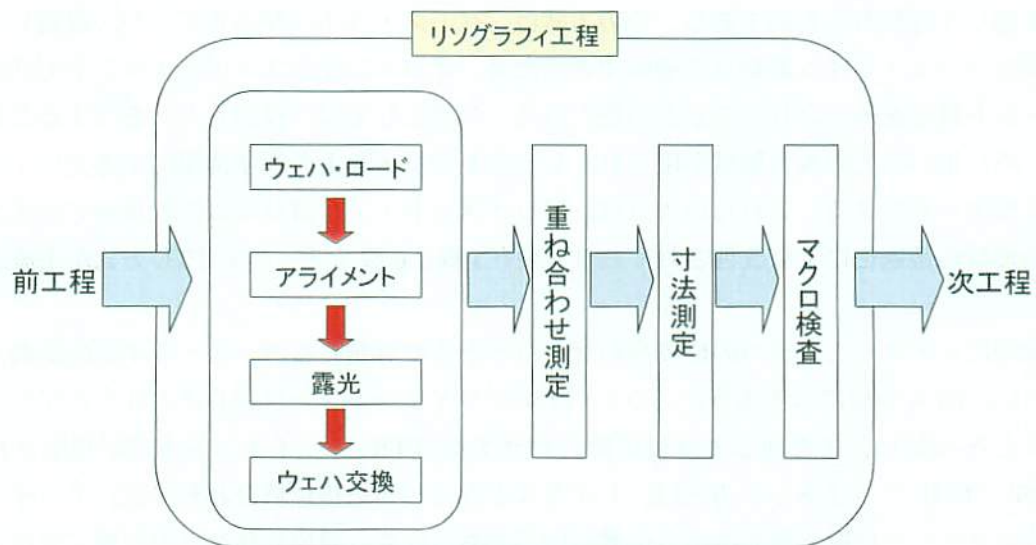


図 A-1 重ね合わせ露光工程[9]

## A. 1 アライメント方式

図 A-2 に示すように光露光装置で使用されているアライメント方式を 4 つに分類する。第 1 は光学系、第 2 はアライメントに用いる光の波長、第 3 は検出方法、第 4 はアライメントマーク位置の選択方式である。

第 1 の光学系の分類として、図 A-3 に示すような光学系による分類ができる。間接的にマスクとウェハを合わせる方法としては、オフ・アクシス・アライメント(off-axis alignment)と TTL(Through the Lens)方式、直接、マスクとウェハを合わせる方法としては、TTR(Through the Reticle)方式が挙げられる。図 A-3(a)は、オフ・アクシス・アライメント方式で、投影レンズとは別の光軸(off-axis)をもったアライメントマーク検出光学系によって、ウェハ上のマーク座標を予め測定し、その後ウェハをベース・ライン(露光位置とアライメントマーク検出位置の距離)だけ移動させて露光を行う[93]。

一方、マスクは別のアライメント光学系で位置決めされる。このようにオフ・アクシス・アライメントは投影レンズを介さずにアライメントマーク位置を検出するので、アライメント光学系やアライメント光の選択に自由度が増すというメリットがある。その反面、ウェハ上のアライメントマーク位置を測定する座標と露光する座標が異なるため、環境や外乱などの影響を受けやすい。この方式においては、ベース・ラインの測定精度がアライメント精度に直接影響するため、ベース・ライン測定精度を向上させるためには、露光装置本体の熱ドリフト、振動など熱的、機械的な誤差をいかに低減させるかが重要となる。

もう一つの間接的にマスクとウェハの位置合わせを行う TTL 方式は、ウェハ位置計測が投影レンズを通して行われるものである。この方式は、ベース・ラインが小さく、かつ投影レンズの変動によるベース・ライン変動量を吸収できるため、オフ・アクシス・アライメント方式に比べアライメント精度を向上させることが可能となる。欠点としては、投影レンズを介するためアライメント時に用いる光の波長領域が限られ、レジストやウェハ上の光学薄膜による光の干渉の影響を受けやすい点がある。これらの欠点は、アライメント・アルゴリズムの改良やアライメントマークの形状の最適化により改善されており、現在 i 線、g 線ステップで TTL 方式が主流となっている。

間接的にレチクルとウェハの位置合わせを行うときに計測するベース・ラインの変動を解決するために、図 A-3(b)に示すように、ウェハ上のアライメントマークとレチクル上のアライメントマークとを投影レンズを通して直接位置合わせする TTR アライメント方式が提案されている[94][95]。TTR アライメント方式は、レチクルとウェハを直接位置合わせでき、アライメントを行う時のステージ位置と露光を行う位置が同じであるため、環境外乱などの影響を受けにくいという利点がある。前述した 2 つの間接的なアライメント方式と比較しても、最もアライメント光学系として安定性が高いと言える。しかし、TTR アライメントには、アライメント光の選択に柔軟性が無く、一般的にアライメント精度がプロセス変動に対して影響を受けやすい。

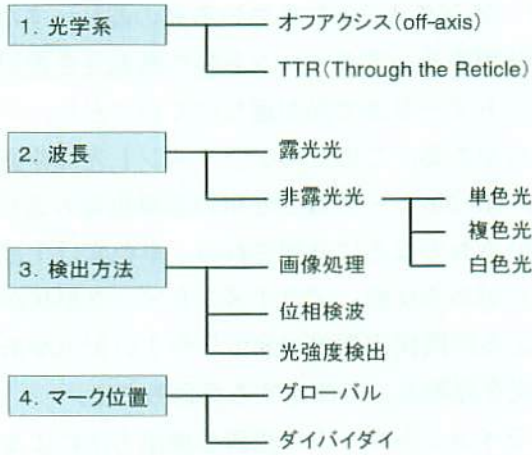


図 A-2 アライメント方式の分類[9]

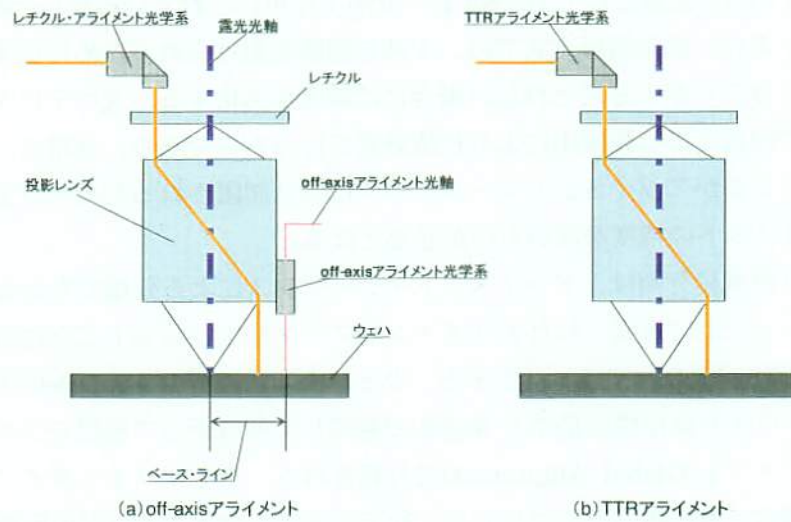


図 A-3 アライメント光学系の分類[9]

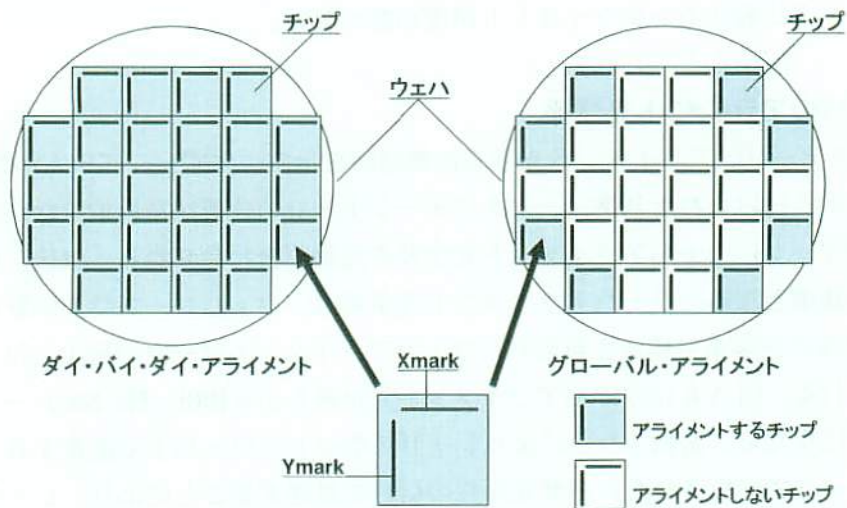


図 A-4 アライメントマーク位置の選択[9]

第2の分類方法として、アライメントにもちいる光の波長、すなわちアライメントに用いる光が露光光か非露光光かで分類する。アライメント光に露光光を選択した場合は、アライメント光がレジスト下のアライメントマークまで光が通りにくいことや、アライメント光によってレジストが露光されてしまう欠点がある。このためアライメント光は非露光光を使用する方式が大多数である。非露光光方式は、He-Ne レーザなどを用いる単色光方式や複数の波長の光を混在して使用する方式や白色光を用いるものなどに分類される。単色光は干渉性が高いので低段差マークなども位置検出ができる利点がある反面、アライメントマーク形状が平坦化や成膜プロセスの変動によって変化することによる位置検出誤差が発生しやすい欠点がある。その欠点を解決するために、白色光などの広帯域光を光源として使用する場合もある。

第3の分類方法は、アライメントマークの位置の検出方法による分類である。具体的には、レーザスキャン方式、画像処理方式、光ヘテロダイン方式などがあり、その特徴に応じて各露光工程で使い分けられている。レーザスキャン方式は、アライメントマークからの散乱光や回折光を検出するものである。光源として He-Ne レーザが主に用いられているが、その単色性により干渉の影響を受けやすい。画像処理方式では、干渉の影響を避けられるために広帯域光源を用いているが、像コントラストが十分にとれない場合には精度が劣化する。光ヘテロダイン方式は、レーザを光源として回折光の位相検出により位置計測を行うものであり、高精度、高分解能が期待されるが、計測レンジがアライメントマークピッチにより制限されるため、ウェハロード時に行われるプリアライメントの精度が高いものが必要となる。

第4のマーク位置の分類は、アライメント・シーケンスによる分類でもある。図 A-4 に示すようにウェハ・チップ上に形成されたアライメントマークを1ショットごとに計測して露光するダイ・バイ・ダイ(Die by Die)アライメントと、ウェハ上の数箇所のショットのアライメントマーク位置を計測し、ウェハ面座標を最小2乗近似で補間して基板チップ座標を求めて露光を行うグローバル・アライメント(Global Alignment)に分類される。ダイ・バイ・ダイアライメントを適用した場合は、測定点数が多いのでプロセス工程で発生するウェハ歪などの影響を低減でき、アライメント精度が高い。その反面、露光ショットごとにアライメントを行うためウェハ処理時間が長くなる。一方、グローバル・アライメントは、ウェハ処理時間が短くなるが、ダイ・バイ・ダイアライメントと比較するとアライメント精度が悪くなる。

## A. 2 ステップのアライメント光学系

図 A-5 にステップのアライメント光学系の概略図を示す。まず、システムが起動すると、XY ステージ上に取り付けられた基準マークをステージ干渉計で位置を読み取りながら所定の位置に移動し、基準マークにウェハアライメント光学系の光軸が合わせられる。以後、ウェハアライメント光学系が基準となる。ウェハアライメント光学系は、ウェハロード時の回転を補正するための2チャンネルの光学系で構成されており、ウェハアライメントマークの検出には、振動型光電顕微鏡が用いられる。図 A-6 にウェハアライメント光学系を示す[96]。He-Ne レーザ光を対物レンズでウェハ上に集光し、振動ミラーによりレーザスポットをウェハ上で走査する。ウェハ上のアライメントマークで回折されたレーザ光からの信号を処理することにより、レーザスポットの振幅中心(光軸)に対して、ウェハ上のアライメントマークがどれだけ変位しているか計測する。ウェハ上に形成されるアライメントマークは回折光を得やすいように、所定の回折格子状の段差をも

った形状をしており、回折光を利用することにより、いわゆる暗視野検出ができる。暗視野検出により、例えば、同一材料にエッチングで形成した微小段差のウェハアライメントマークなどのように、正反射光でのコントラストが小さいような場合でも高い S/N 比で信号を得ることができる。

レチクルアライメント光学系は、レチクルを X、Y、 $\theta$  の 3 自由度について XY ステージに対して位置合わせするためのアライメント光学系で、レチクル上に形成されている  $R_{xy}$  マークとステージ上の基準マークを用いて、レチクルの X-Y 座標系とステージの X-Y 座標系の位置合わせを行う。また、 $R_{\theta}$  マークでレチクル X-Y 座標系とステージ X-Y 座標系の回転を補正する。レチクルアライメントマークの検出には、ウェハアライメント光学系と同様に振動型光電顕微鏡が用いられる。ステッパにレチクルが導入されると、まず、このレチクルアライメントシーケンスが行われ、ウェハステージの座標系とレチクルの座標系を一致させる。

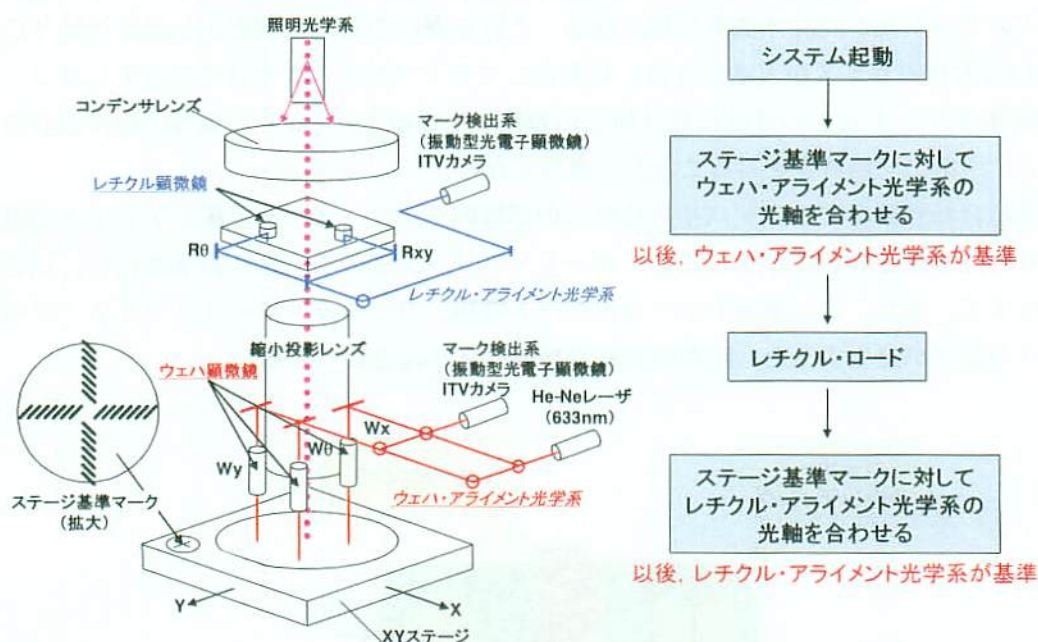


図 A-5 ステッパのアライメント光学系[96]

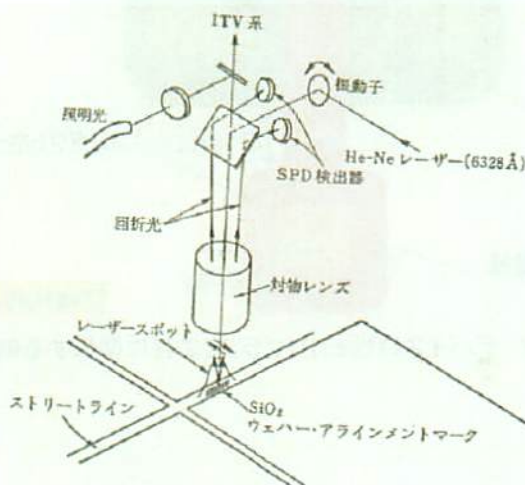


図 A-6 ウェハアライメント光学系[96]

### A.3 デバイス特性とリソグラフィ技術

半導体のリソグラフィ工程においては、デバイス回路設計の要請で、回路パターンの解像度、寸法精度、重ね合わせ精度の規格が決定される。規格を厳しくすれば半導体製造ができなくなる反面、規格を安易に緩めると半導体の電気特性が劣化する。設計マージンの狭いリソグラフィでは、デバイス設計とリソグラフィ設計のお互いを理解し、最適なリソグラフィ規格を決めなくてはならない[97]。本項では、デバイス特性とリソグラフィの関係を述べる。

図 A-7 にリソグラフィにおける寸法精度と重ね合わせ精度がデバイス特性に影響を与える例を示す。まずは寸法精度によるデバイス特性への影響例を示す。MOSFET において、ゲート長(チャンネル長)が短くなるとドレインおよびソースにおける空乏層の広がりの影響が顕著になり、ゲート電圧で制御可能な空乏電荷が減少する。ゲート先端部のアクティブ領域からの突き出し(ゲート・フリンジ)が短くなる(ショートニング)と、ゲート先端部角の加工形状が丸みを帯びるために、その直下のゲート長が設計寸法より短くなる。これを避けるために突き出し長さを余分に長くすると MOSFET のサイズが大きくなり、結果としてチップサイズが大きくなってしまう。また、ゲート幅  $W$  やゲート長  $L$  の寸法に設計値との誤差が生じると、ドレイン電流の値に設計値とのずれが生じ、所望の回路特性を得ることができなくなる。

次に重ね合わせ精度によるデバイス特性への影響例を示す。ゲート電極とアクティブ領域の重ね合わせに設計値との誤差が生じると、ゲート・フリンジ部のチャンネル長が変化し、しきい値電圧が変化する。また、コンタクトホールとゲート電極、コンタクトホールとアクティブ領域に重ね合わせの誤差が発生すると、回路の短絡や接続不良が起きたりする。

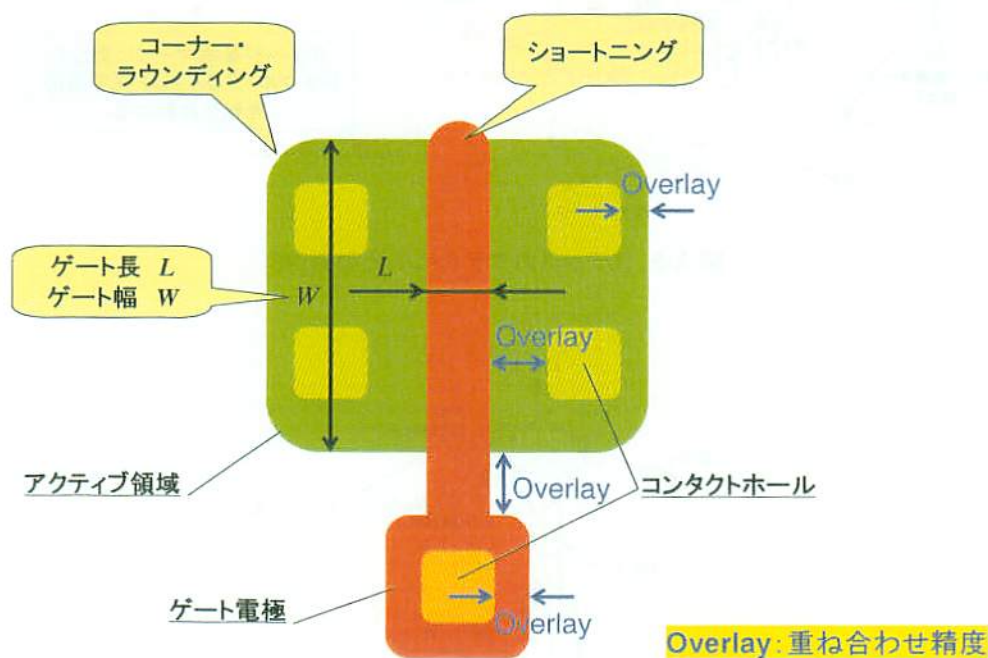


図 A-7 デバイス特性とリソグラフィ工程に関する例[97]



## 本研究に関する発表等

### 学術論文

1. Katsuhiko Wakasugi, Satoshi Wakimoto, Akira Nakada, Ichiro Ohshima, Hiroshi Kubota, and Kazumitsu Nakamura, "Design and Fabrication of MOS Device Circuits with Reticule-Free Exposure Method," Japanese Journal of Applied Physics, Part 1, Vol. 44, No. 4B, April 2005, accepted. (第2章に関する発表)
2. Katsuhiko Wakasugi, Satoshi Wakimoto, Takayuki Akamichi, Akira Nakada, Hiroshi Kubota, Tsuneo Inokuchi, Shinji Suzuki, Sou Aikawa, Kouji Kosaka, Kazumitsu Nakamura, and Tatsuo Morimoto, "Development of QTAT Online Electronic Circuit Patterning System," IEEE Transactions on Semiconductor Manufacturing, 投稿中 (2005年2月15日受付) (第4章, 第5章に関する発表)

### 国際会議

1. Katsuhiko Wakasugi, Satoshi Wakimoto, Akira Nakada, Hiroshi Kubota, Kazumitsu Nakamura, and Tatsuo Morimoto, "Development of QTAT Online Electronic Circuit Patterning System," Conference Proceedings of the International Symposium on Semiconductor Manufacturing 2004, September 2004, pp. 542-545. (第4章に関する発表)
2. Katsuhiko Wakasugi, Satoshi Wakimoto, Akira Nakada, Ichiro Ohshima, Hiroshi Kubota, and Kazumitsu Nakamura, "Design and Fabrication of MOS Device Circuits with Reticule-Free Exposure Method," Extended Abstract of the 2004 International Conference on Solid State Device and Materials, pp. 480-481. (第2章に関する発表)

### 国内発表

1. 脇元聡, 若杉雄彦, 岩崎吉紀, 中田明良, 久保田弘, 中村一光, 「多角形ゲート MOSFET の試作とその電流駆動特性の測定」, 第52回応用物理学関係連合講演会講演予稿集, No. 2, 講演番号 31a-P5-14, 2005年3月31日.
2. 脇元聡, 若杉雄彦, 岩崎吉紀, 中田明良, 久保田弘, 中村一光, 「グリッドパターン転写方式における MOSFET の省面積化設計」, 電子情報通信学会 2005年総合大会, 講演番号 C-11-3, 2005年3月22日.

3. 若杉雄彦, 脇元聡, 大嶋一郎, 中田明良, 久保田弘, 中村一光, 井口恒夫, 「レチクルフリー露光方式を適用した半導体集積回路の設計と試作」, 第 65 回応用物理学会学術講演会講演予稿集, No. 2, 講演番号 2p-R-19, p. 620, 2004 年 9 月 20 日.
4. 脇元聡, 若杉雄彦, 大嶋一郎, 中田明良, 久保田弘, 中村一光, 「レチクルフリー露光技術による半導体集積回路の設計・試作」, 第 57 回電気関係学会九州支部連合大会講演予稿集, 講演番号 05-2P-04, p. 311, 2004 年 9 月 28 日.
5. 中村一光, 森本達郎, 久保田弘, 中田明良, 赤道孝之, 井口恒夫, 占部憲治, 小坂光二, 小坂哲也, 馬場哲郎, 藤井敏夫, 相川創, 高山由則, 鈴木信二, 若杉雄彦, 中村博文, 「レチクルフリー露光技術開発」, 熊本地域結集型共同研究事業「超精密半導体計測技術開発」第 5 回技術シンポジウム資料, pp. 23-28, 2004 年 6 月 18 日.
6. 中田明良, 若杉雄彦, 赤道孝之, 板倉敬二郎, 脇元聡, 久保田弘, 中村一光, 森本達郎, 小坂光二, 相川創, 鈴木信二, 井口恒夫, 土屋忠明, 阿部和夫, 「QTAT を実現するレチクルフリー露光技術と超精密検査技術」, (独) 日本学術振興会, 結晶加工と評価技術第 145 委員会, 第 100 回研究会資料, pp. 10-17, 2004 年 5 月 21 日.
7. 赤道孝之, 吉野彰一郎, 原弘一, 脇元聡, 若杉雄彦, 中田明良, 久保田弘, 中村一光, 森本達郎, 井口恒夫, 藤井敏夫, 相川創, 小坂光二, 小坂哲也, 鈴木信二, 直原正人, 高山由則, 中村博文, 「レチクルフリー露光技術の開発」, 第 18 回熊本県産学官技術交流会講演論文集, 論文番号 652, pp. 304-305, 2004 年 1 月 27 日.
8. 中村一光, 森本達郎, 久保田弘, 中田明良, 赤道孝之, 井口恒夫, 占部憲治, 小坂光二, 小坂哲也, 馬場哲郎, 藤井敏夫, 相川創, 高山由則, 鈴木信二, 若杉雄彦, 中村博文, 「レチクルフリー露光技術開発」, セミコン・ジャパン 2003 超精密半導体計測技術フォーラム資料, pp. 37-46, 2003 年 12 月 3 日.
9. 若杉雄彦, 土屋忠明, 久保田弘, 中田明良, 赤道孝之, 松岡真二, 吉野彰一郎, 原弘一, 脇元聡, 中村一光, 森本達郎, 井口恒夫, 小坂光二, 小坂哲也, 鈴木信二, 直原正人, 藤井敏夫, 相川創, 高山由則, 中村博文, 「QTAT オンライン電子回路パターンニング技術」, 第 4 回熊本半導体・ナノテクノロジー研究会, 第 1 回 1QTAT 熊本研究会合同シンポジウム「映像情報デバイス先端講座シンポジウム」資料, pp. 3-11, 2003 年 11 月 7 日.
10. 赤道孝之, 吉野彰一郎, 若杉雄彦, 中田明良, 久保田弘, 森本達郎, 中村一光, 井口恒夫, 小坂光二, 「液晶ディスプレイを用いたレチクルフリー露光におけるアドレスグリッドの最適化」, 第 64 回応用物理学会学術講演会講演予稿集, No. 2, 講演番号 1p-R-9, p. 643, 2003 年 9 月 1 日.

11. 中村一光, 森本達郎, 久保田弘, 中田明良, 赤道孝之, 井口恒夫, 占部憲治, 小坂光二, 小坂哲也, 藤井敏夫, 高山山則, 鈴木信二, 若杉雄彦, 中村博文, 「レチクルフリー露光技術の展開」, 熊本地域結集型共同研究事業「超精密半導体計測技術開発」第4回技術シンポジウム資料, pp. 15-22, 2003年6月20日.

#### 解説・特集

1. 久保田弘, 中田明良, 森本達郎, 若杉雄彦, 「QTAT 生産技術への挑戦」, 技術総合誌 OHM オーム社出版, 第91巻, 第5号, pp. 10-11, 2004年5月.