

動的リコンフィギャラブルシステムの部分再構成技術に関する研究

数理情報システム工学科 柴村 英智

1. はじめに

リコンフィギャラブルシステムとは、アプリケーションに応じて自らのハードウェア構成を適応的に変更（再構成）しながら処理を行うコンピューティングシステム（図1）の総称である。また、システムの稼動中にも時々刻々と新しい機能を再構成し、動作回路の時間的・空間的局所性を大いに活用するものを動的リコンフィギャラブルシステムと呼ぶ。従来、ハードウェアというものは一度設計・製作してしまえば変更は難しく汎用性も低いため、現在主流であるノイマン型コンピュータでは、ハードウェア（プロセッサ）の構造・機能にアルゴリズムを適応させたソフトウェア（プログラム）によって柔軟性を持たせていた。ところが、FPGAのような必要に応じて内部回路を変更できるリコンフィギャラブルロジックの登場によってハードウェアによる動的な適応性の活用が可能となり、これまでに商用FPGAを用いたリコンフィギャラブルシステムの研究開発が数多く行われその有効性が示されてきた。一方、従来のFPGAはこのようなシステムを念頭に設計されていないため、他のアプリケーションや別機能に変更する場合には、「再構成に伴う処理の一時停止」と「再構成時間の遅さ」という問題によってシステム全体の性能が低下してしまう。これら解決策として、必要な構成データ（機能）を予めリコンフィギャラブルロジック内部に保持しておき適宜切替えるマルチコンテキスト技術や、局所的に構成データを置き換える部分再構成技術が提案されている。しかし、部分再構成技術に関しては再構成領域を始め、配線や内部メモリなどの資源管理が非常に複雑であるため、効果的な手法は未だ明らかになっていない。

本研究では、動的リコンフィギャラブルシステムの部分再構成技術の確立を目的とし、研究期間内に次世代リコンフィギャラブルロジック向け部分再構成戦略を提案するとともにその有効性を探った。

2. 部分再構成に係わる諸問題

従来のFPGAを基とし、部分再構成が可能なリコンフィギャラブルロジックを仮定する。このようなデバイスをリコンフィギャラブルシステムに適用し

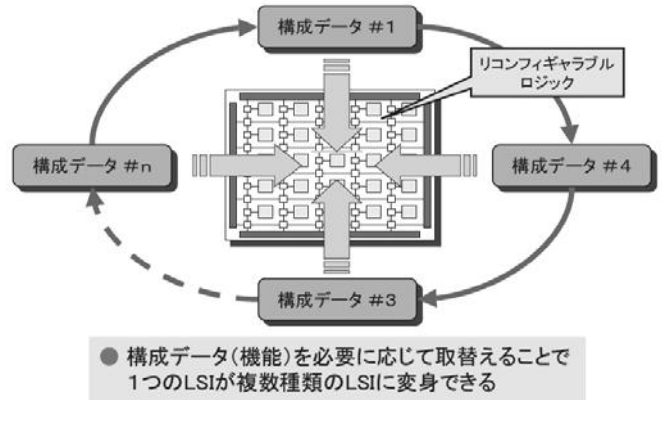


図-1 リコンフィギャラブルシステムの概念

た場合には以下の様な問題が発生する。

(a) 再構成領域の断片化問題

部分再構成可能なリコンフィギャラブルロジックを利用する場合、機能に応じて再構成領域の使用量（面積）が異なる。したがって、再構成が繰り返されると、再構成領域の合計量は十分あるが目的の機能を再構成できないといった、仮想記憶システムと同様の断片化問題が発生する。

(b) 再構成領域の配線問題

機能間におけるデータ交換は、リコンフィギャラブルロジック内の配線を利用し直接あるいはメモリを介して行われる。分散して再構成された機能間に配線が存在する場合は後に再構成する機能間の配線可能性を抑制したり、その配線遅延が処理性能に影響を及ぼす恐れがある。

(c) リコンフィギャラブルロジックの資源管理問題

複数の機能が独立あるいは協調して動作するため、入出力ピンや内部メモリに対する資源獲得競争が発生し、デッドロックに陥る可能性がある。

これらに対峙し、システム全体の停止を防ぎつつ再構成時間の隠蔽を実現するために、部分再構成型リコンフィギャラブルロジックを対象としたデバイス再構成戦略、および再構成処理やシステム資源を統括・管理するデバイス再構成スケジューラの開発を行った。また、部分再構成型FPGAを搭載した実験システムを用いて、実践的なアプリケーションによる性能評価を行いその有効性を確認した。

3. 部分再構成技術に関する研究成果

3. 1. デバイス再構成戦略

従来のリコンフィギャラブルシステムが持つ問題を解決する新しいデバイス再構成戦略を提案した。特に、これまで研究開発を進めてきた、効率の良いデバイス再構成を実現する Reconfiguration on Demand (要求時再構成), ならびに再構成処理にかかる時間を隠蔽する On-the-fly Reconfiguration (実行時再構成) と呼ぶ二つの再構成戦略を基に, 部分再構成型リコンフィギャラブルロジックへの適応を図り, 部分再構成が招く問題点を明確にした。(文献[1])

3. 2. デバイス再構成スケジューラ

動的リコンフィギャラブルシステムでは, 機能(構成データ)やハードウェア資源を効率良くスケジューリングし, 適切なタイミングでデバイスに再構成することが重要である。従来研究および計算機シミュレーションでの評価を通じて, 様々な再構成タイミングにおけるシステムの実行特性や資源利用状況を基に, 部分再構成型リコンフィギャラブルロジック向けのデバイス再構成スケジューラを設計した。(文献[2],[3])

3. 3. リコンフィギャラブル実験システム

CPU 混載部分再構成型 FPGA を搭載したリコンフィギャラブル実験システム EXPRESS-2 (図 2) を開発した。EXPRESS-2 では, 部分再構成型の FPGA である米国 Xilinx 社 Virtex-II Pro を採用しており, 機能(タスク)の実行スケジューリングや資源管理を行うためにデバイス内部に組込まれた CPU (IBM PowerPC)上で Linux が動作する。また, ICAP と呼ぶ専用インタフェースを介したデバイス内部からのセルフ再構成を可能としており, インターネットを経由した機能の取得・再構成を行うことができる。

第 3.1 章, および第 3.2 章で開発した技術の試験的な実装を行い, その実行可能性について検討した。そして, 3DES や MPEG2 などの実践的なアプリケーションによる性能評価を行った。さらに, 本研究を通じて次世代リコンフィギャラブルシステムに求められる基盤技術に対する一つの指針, ならびに, 部分再構成可能なリコンフィギャラブルデバイスに対する要件を示した。(文献[4], [5])

4. まとめ

部分再構成可能な CPU 混載 FPGA を用いたリコンフィギャラブル実験システム EXPRESS-2 の開発を行った。デバイス内部の CPU からシステム自身の再構

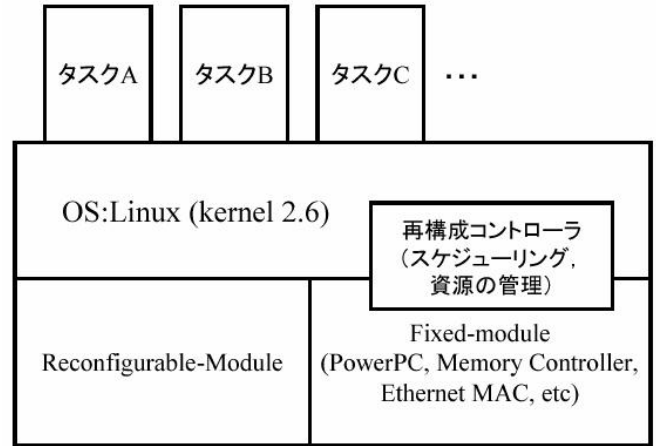


図-2 EXPRESS-2 のシステム階層

成を行う再構成制御機構, および効率よくハードウェア資源を運用するデバイス再構成スケジューラを開発し, 実践的なアプリケーションによる性能評価を行った。また, 従来の FPGA をリコンフィギャラブルシステムに適用した場合に問題となる点を明確にするとともに, リコンフィギャラブルシステム向け次世代 FPGA への要件を示した。

- [1] I. Sakamoto, T. Susaki, H. Shibamura, M. Iida, M. Kuga, T. Sueyoshi, “Development of a Run-Time Reconfigurable System using Partially Reconfigurable FPGA,” Proc. ITC-CSCC2005 Vol.2, pp.599-600, 2005.
- [2] 坂本伊左雄, 須崎貴憲, 柴村英智, 飯田全広, 久我守弘, 末吉敏則, “プロセッサ混載 FPGA における部分再構成制御機構の開発,” 電子情報通信学会技術報告, Vol.105, No.287, pp.43-48, 2005.
- [3] 須崎貴憲, 坂本伊左雄, 柴村英智, 飯田全広, 久我守弘, 末吉敏則, “動的リコンフィギャラブルシステムにおける再構成管理機構の開発,” 電子情報通信学会技術報告, Vol.105, No.452, pp.1-6, 2005.
- [4] 坂本伊左雄, 須崎貴憲, 柴村英智, 飯田全広, 久我守弘, 末吉敏則, “CPU 混載部分再構成型 FPGA を用いた動的再構成システムの開発,” Electronic Design and Solution Fair 2006, FPGA/PLD Design Conference ユーザプレゼンテーション, 2006.
- [5] H. Shibamura, T. Kisanuki, I. Sakamoto, M. Iida, M. Kuga, and T. Sueyoshi, “An Implementation of Video Streaming Processing on a Dynamically Self-Reconfigurable System,” Proc. ITC-CSCC2005 Vol.1, pp.399-400, 2005.