

研究種目：基盤研究(B)

研究期間：2006 ~ 2008

課題番号：18300015

研究課題名（和文） 再構成可能デバイス向け統合 EDA ツールに関する研究

研究課題名（英文） A study of the integrated EDA tools for reconfigurable logic

研究代表者

飯田 全広 (IIDA MASAHIRO)

熊本大学 大学院 自然科学研究科・准教授

研究者番号：70363512

研究成果の概要：本研究は、システム LSI に搭載されるプログラマブルロジックの実現に向けて、デバイス・アーキテクチャに即した EDA ツールを開発することを目的とする。そして、それを用いることでシステム LSI の生産性の向上と多品種展開を実現する。本研究で開発した EDA ツールは、部分再構成、マルチコンテキスト、クラスタリングなど新しい機能を最大限に活用する統合 EDA ツールであり、これにより低消費電力化や高性能化を実現した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006 年度	4,600,000	1,380,000	5,980,000
2007 年度	4,400,000	1,320,000	5,720,000
2008 年度	3,900,000	1,170,000	5,070,000
年度			
年度			
総計	12,900,000	3,870,000	16,770,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：設計自動化

1. 研究開始当初の背景

現在のシステム LSI の開発は、どうやって少品種大量生産設備で多品種小量生産を実現するかという課題を抱えている。その解決策として、システム LSI 上にプログラマブルロジックを搭載することを期待されているがいまだ実現していない。その理由として、第一に現在の FPGA 等では面積効率や実行速度が不十分である。さらに消費電力の問題や配線遅延なども解決しなければならない問題として存在する。第二にシステム LSI 上のプログラマブルロジックを生かす EDA ツールの研究・開発が進んでいないことが挙げられ

る。

2. 研究の目的

提案者らは、同じ回路を LUT ベースの FPGA と比べ約 1/3 のトランジスタ数で実現でき、さらに ASIC に匹敵する高速性を持つ論理セルを提案している。これにより、第一の理由は解決の見通しが立っていると言える。この論理セルは半導体理工学研究センター (STARC) と共同出願中であり、半導体産業界に対してすぐに実用化に入れる体制は整っている。しかし、第二の理由は重要にもかかわらず未着手の課題である。本研究は、シ

システム LSI に搭載されるプログラマブルロジックの実現に向けて、これまでの研究してきたデバイス・アーキテクチャを活かす専用の EDA ツールを開発することを目的とする。そして、それを用いることでシステム LSI の生産性の向上と多品種展開を実現する。本研究で開発する EDA ツールは、部分再構成、マルチコンテキスト、クラスタリングなど新しい機能を最大限に活用する統合 EDA ツールであり、これにより低消費電力化や高性能化を実現する。

3. 研究の方法

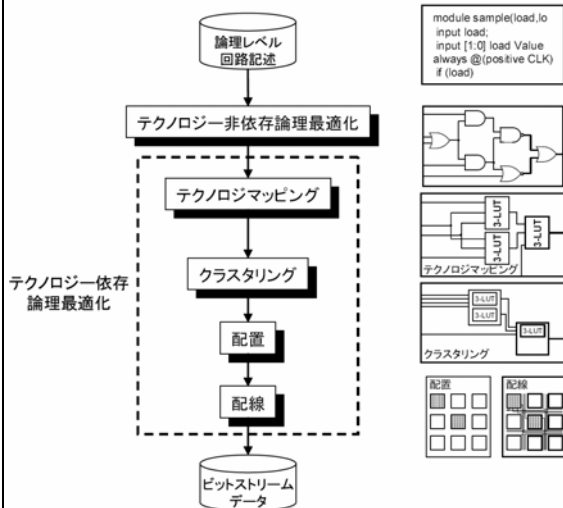
従来のプログラマブルロジックは ASIC の EDA ツールを流用できたが、リコンフィギュラブルロジックではマルチコンテキスト化などのために複数の回路を生成する機能が必要である。また、複数の回路は論理合成、テクノロジマッピング、クラスタリングされた後、同一デバイス上に実装するために統合する必要もある。以下に各フェーズの具体的な目標を示す。

- (1) マルチコンテキスト化手法：分割回路が同程度の回路規模でかつより小さく高速な回路にするための条件の見積り方法の確立と回路分割の自動化を実現する。
- (2) クラスタリング手法：これまではクラスタリングという組み合わせ最適化問題を SA (Simulated Annealing) で解いているが、より高速な手法を開発する。
- (3) コンテキスト統合アルゴリズム：再構成コストの高い配線部分の再構成を避けるために、コンテキスト間で配線を共有する方式を提案する。
- (4) 配置配線手法：既提案の配線構造に適した配置配線アルゴリズムの開発を行う。

4. 研究成果

図 1 に本研究テーマである FPGA 設計フローと EDA ツールの概要を示す。FPGA の一般的な設計フローは、ソースコードである HDL(Hardware description language)記述の論理合成に始まり、テクノロジマッピング、クラスタリング、配置配線を経てビットストリームの生成で終わる。論理合成では HDL 記述からゲートレベルのネットリストを生成し、テクノロジマッピングではこのネットリストを LUT レベルのネットリストに変換する。クラスタリングは複数の LUT と FF(Flip Flop) を一つの論理ブロック (LB; Logic Block) にまとめる工程である。そして、配置配線ツールで LB をデバイス上に配置し、LB 間の接続を配線構造上にルーティングする。これらの工程の中でクラスタリングと配置配線が消費電力問題、配線遅延問題では特に重要である。以下に各項目の成果をまとめる。

図 1 設計フローと各 EDA ツール



(1) コンテキスト統合アルゴリズムの開発

FPGA は、デバイスの可変構造性に起因する本質的なオーバーヘッドを持つため、消費電力の削減および処理時間の短縮が課題となる。これまで、再構成時間のオーバーヘッドを削減するために、複数の回路情報をチップ内に保持するマルチコンテキスト機能を持つデバイスが提案されている。また、マルチコンテキストデバイスにおけるコンテキスト切替えの際の消費電力を削減するために、図 2 に示す配線共有型マルチコンテキスト化手法が提案している。この手法は、複数のコンテキスト間で共通の配線構成を用い、論理ブロックのみの再構成でコンテキスト切替えを実現する。しかし、配線共有型マルチコンテキスト内の論理ブロック数が多くなると、論理ブロックによる消費電力が大きくなるため、回路全体の消費電力があまり削減できない。

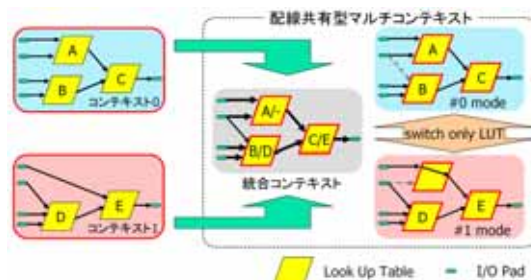


図 2 配線共有型マルチコンテキスト手法

本研究では配線共有型マルチコンテキストの消費電力削減を目的とし、論理ブロック数削減および配線のトグル率を考慮することで回路全体の消費電力を削減する手法を提案した。提案手法は、配線共有型マルチコンテキスト向けのマッピング手法に新しいコスト関数を付加する。これにより、マッピング後の論理ブロック数を削減し、

かつトグル率の高い配線を論理ブロック内に隠蔽することで消費電力を削減した。

結果として、提案手法は従来の配線共有型マルチコンテキスト手法に比べ、消費電力を平均 12%、最大 18%削減することに成功した。また、LUT 数を平均 24%、最大 36%削減することに成功した。しかし、オリジナル回路に比べて、消費電力は平均 1%の改善、LUT 数は平均 28%の改善となった。

(2) テクノロジマッピング手法およびツールの開発

これまでに粒度可変構造をもつ再構成論理セル、VGLC (Variable Grain Logic Cell) を提案している。この論理セルは、ホモジニアスなセル構造に対して、様々な演算機能を自身の粒度を切り替えながら実装可能であるという特徴をもつ。これまでの評価から、LUT をベースとしたリコンフィギュラブルロジックと比較した場合、算術演算の実装において VGLC はより高い面積効率で回路を実装可能であるという結果を得ている。ただ、VGLC は 4 入力論理演算までは全ての論理を実装できるが、5 入力以上の論理演算は実装できる論理が限られている。また、4 入力 LUT と比較し現在の VGLC は面積が大きい。もし、面積の増加を抑えつつ単一の VGLC へ 5 入力以上の論理演算の実装が可能となれば、論理演算の割合が多い回路を実装する際に、現状と比較し遅延の削減や実装効率の改善が期待できる。本研究では、VGLC へ実装する最適な粒度の探索、および VGLC を構成する BLE (Basic Logic Element) の粒度拡張手法の提案と評価を行った。

本研究では、提案論理セル向けのテクノロジマッピング・アルゴリズムの作成にあたり、HeteroMap アルゴリズムをベースとした VGLC-HeteroMap アルゴリズムの提案を行った。本来、LUT 向けのテクノロジマッピング・アルゴリズムは多入力 1 出力のノードを基本としているため、マクロブロックの多入力多出力に対応する必要がある。そこで、多入力多出力のマクロブロックから出力数分のノードを作成し、各ノードにマクロブロックへの全ての入力を接続し、多入力 1 出力の複数のノードとして実装する。Misc.Logic は、テクノロジマッピングによって生成された論理が同じ入力数であっても、使用 BLE 数に応じて遅延が異なる。一方、HeteroMap は、LUT を対象としているアルゴリズムであり、入力数ごとに 1 つ遅延しかもたないため問題となる。この問題に対処するため、入力数ごとではなく、使用 BLE 数ごとに遅延を与えマッピングを行うアルゴリズムに改良した。図 3 はランダムロジック演算をマッピングする部分の擬似コードである。

```
program VGLC HeteroMap(network)
  for n := each PI to PO do /* n is node */
    min label := ∞;
    if n equal macro then
      マクロの種類に応じた Label(n) と Cut(n)
      を計算;
    else
      for 各粒度の CF と Misc 機能に対して do
        遅延と入力数に応じた Label(n) と Cut(n)
        を計算;
        if Misc 機能 then
          if パタンがミスマッチ then continue;
          if Label(n) < min label then
            min label := Label(n); min cut := Cut(n);
          end if
        end for
      Label(n) := min label; Cut(n) := min cut;
    end for
  選択されたファンクションでマッピング;
end program
```

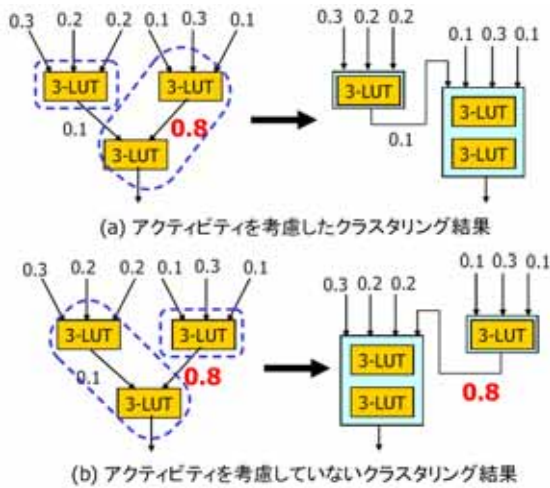
図 3 テクノロジマッピング・アルゴリズムの擬似コード

(3) クラスタリング手法およびツールの開発

クラスタリング最適化目標として、配線面積の最適化に加え、消費電力削減への別の要因であるアクティビティを考慮したクラスタリング手法を提案した。提案クラスタリング手法を用いてクラスタリングを行うことによって、消費電力の改善を確認した。アクティビティとは、クロック毎の信号の High と Low の平均切り替え回数のことである。

図 3 (a),(b) はそれぞれ異なるクラスタリング結果を表している。図中の値は、アクティビティを表している。2 つのクラスタリング結果の最も異なっている点は、アクティビティが 0.8 と高い配線がクラスタ内にあるかどうかである。(a) のクラスタリングでは、アクティビティが 0.8 の配線が同一クラスタ内の LUT を接続するクラスタ内部の配線になっている。クラスタ内部の配線はクラスタ外部の配線に比べて負荷容量が非常に小さい。そのため、クラスタ内部の配線のアクティビティが高くても、負荷容量による充放電の量自体は少量である。よって、動的電力に与える影響は少ない。一方、(b) のクラスタリングでは、アクティビティが 0.8 の配線がクラスタ間を接続する外部の配線になっている。負荷容量が大きいクラスタ外部の配線のアクティビティが高いということは、負荷容量による充放電の量が深刻なものになり、動的電力の増加を招いてしまう。以上のことから、アクティビティが高い配線をできる限りクラスタ内部に取り込んでしまうことで、動的電力を削減できることがわかる。

図 3 アクティビティを考慮したクラスタリング



本研究で提案するクラスタリング手法を用いてクラスタリングを行うことによって、消費電力を T-RPack と比較して最大 58.6%、平均で 48.9%改善し、P-T-VPack と比較して最大 6.9%、平均 3.0%改善した。しかし、その提案手法にクラスタの過疎化という考えを付加した手法は、オリジナルの提案手法より消費電力が平均で 1.7%改悪した。

(4) 配置配線手法およびツールの開発

本研究では、既提案の Small World ネットワーク理論を適用した FPGA 配線構造向けの配置配線ツールに関する研究を行っている。Small World ネットワーク配線構造 FPGA は従来の規則的な配線構造にショートカットの役割を担う斜め配線を追加した FPGA アーキテクチャである。先行研究において、Small World ネットワーク配線構造 FPGA を使い、クリティカルパス遅延改善をおこなった。その結果、ショートカットの役割を果たす SW ラインを配線として使用することでクリティカルパス遅延は改善された。しかし、追加した SW ラインの使用率は平均して約 10%程度であり、使用されていない SW ライン配線リソースが大量に存在する。そこで、使用していない SW ラインを多用し、配線を行う手法を提案し、消費電力の削減を目指した。

提案している Small World ネットワーク配線構造を持つショートカット配線に、スイッチングアクティビティの高いネットに割り当てる配線手法を用い、ダイナミックパワー削減を図る。表 1 に消費電力測定結果を示す。Regular は Regular 配線構造の評価結果であり、SWN は SWN 化配線構造の評価結果を示す。削減率にばらつきはあるものの、すべての回路において消費電力が削減する結果となった。また、電力削減率では SWN 化配線構造において回路 diffeq における削減率が約 12% で最大であった。一方、最も削減率の低かった回路では 3.61%

であった。また、全ての回路を平均すると約 8.3% 削減した。

表 1 消費電力の比較

circuits	Regular (W)	SWN (W)	削減率 (%)
alu4	0.0589	0.0546	7.3
apex2	0.0620	0.0567	8.56
apex4	0.0276	0.0266	3.61
diffeq	0.0213	0.0187	11.6
ex5p	0.0256	0.0241	6.07
misex3	0.0463	0.0431	6.94
s298	0.0398	0.0359	9.71
tseng	0.0227	0.0202	10.7

【研究成果のまとめ】

LSI は材料やプロセスによって性能の上限が決められるが、その上限まで性能が出せるかどうかはデバイス・アーキテクチャと EDA ツールのでき如何である。本研究で提案している EDA ツールは、FPGA の性能を引き出す手段として有効である。

システム LSI 上にプログラマブルロジックを搭載するという問題は、ある特定の一つの技術だけでの解決は困難である。今後、日本の半導体産業界は、得意とする下流の材料やプロセスの研究のみならず、これまで苦手としてきた上流の工程に注力することで複数の技術が融合し、システム LSI の問題解決を加速できるのではないだろうか。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

(雑誌論文)(計 4 件)

Kazunori MATSUYAMA, Motoki AMAGASAKI, Hideaki NAKAYAMA, Ryoichi YAMAGUCHI, Masahiro IIDA, Toshinori SUEYOSHI, Evaluating Variable-Grain Logic Cells using Heterogeneous Technology Mapping, P.C.Diniz et al. (eds.) : Reconfigurable Computing: Architectures, Tools and Applications, Lecture Notes in Computer Science (LNCS) 4419, Springer-Verlag Berlin Heidelberg, pp.142-154, Mar. 2007, 査読有。

M.Kobata, M.Iida and T.Sueyoshi, "Clustering Technique to Reduce Chip Area and Delay for FPGA," Electronics and Communications in Japan, Part 2, Vol.90, No.6, pp.34-46, Jun. 2007, 査読有。

H.Shinohara, H.Monji, M.Iida and

T.Sueyoshi, ``A Novel Technique to Design Energy-Efficient Contexts for Reconfigurable Logic Devices,'` IEICE TRANSACTIONS on Information and Systems, vol. E90-D, no. 12, pp. 1986-1989, Dec. 2007, 査読有.

木幡雅貴, 飯田全広, 末吉敏則, ``FPGA のチップ面積および遅延を最適化するクラスタリング手法,'` 信学論, vol. J89-D, no. 6, pp. 1153-1162, Jun. 2006, 査読有.

[学会発表](計 10 件)

Q.Zhao, et al., ``Efficient Permutation-based Boolean Matching for VGLC Technology Mapping,'` Proc. 2008 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 12-1P-05, Oita, Japan, Sep. 2008.

H.Shinohara, et al., ``A Novel Technique to Create Energy-Efficient Contexts for Reconfigurable Logic,'` Proc. 15th Annual IEEE Symposium on Field-programmable Custom Computing Machines (FCCM2007), pp.309-310, Napa, California, Apr. 2007.

K.Matsuyama, et al., ``An Implementation Technique for Variable Grain Logic Cell to Reduce Delay and Configuration Memories,'` Proc. 2007 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 11-2P-03, Okinawa, Japan, Sep. 2007.

H.Shinohara, et al., ``A Context Design Method to Improve Power Efficiency for Reconfigurable Logic Device,'` Proc. 2007 Joint Conference of Electrical and Electronics Engineers in Kyusyu, 11-2P-04, Okinawa, Japan, Sep. 2007.

K. Matsuyama, et al., ``Evaluating Variable-Grain Logic Cells using Heterogeneous Technology Mapping,'` Proc. International Workshop on Applied Reconfigurable Computing (ARC2007), pp.142-154, Mangaratiba, Brazil, Mar. 2007.

Qian Zhao, et al., ``A Boolean Matching Method for VGLC Technology Mapping,'` 情報処理学会九州支部若手の会セミナー, pp.23-24, 福岡県, Sep. 2008.

篠原 拓, et al., ``FPGA 向けクラスタリング及び配置における同時最適化手法の一検討,'` 信学技報, RECONF 研究会, 2007-22, vol.107, no.225, pp.41-46, 立命館大学, 滋賀県, Sep. 2007.

山口良一, et al., ``粒度可変構造を持つ再構成論理セル向けマッピング手法の一検討,'` 信学技報, RECONF 研究会,

2006-1, vol.106, no.49, pp.1-6, 東北大学, 宮城県, May 2006.

門司秀明, et al., ``配線共有型マルチコンテキスト手法を用いた低消費電力化,'` 信学技報, RECONF 研究会, 2006-50, vol.106, no.394, pp.25-30, 北九州国際会議場, 福岡県, Nov. 2006.

山口良一, et al., ``粒度可変構造を持つ再構成可能論理セル向けマッピング手法の評価,'` 第 14 回 FPGA/PLD Design Conference, ユーザプレゼンテーション論文集, pp.25-32, パシフィコ横浜, 神奈川県, Jan. 2007.

6. 研究組織

(1) 研究代表者

飯田 全広 (IIDA MASAHIRO)
熊本大学・大学院自然科学研究科・准教授
研究者番号 : 70363512

(2) 研究分担者

末吉 敏則 (SUEYOSHI TOSHINORI)
熊本大学・大学院自然科学研究科・教授
研究者番号 : 00117136

(3) 連携研究者

なし