

研究種目：基盤研究 (C)

研究期間：2007～2008

課題番号：19500018

研究課題名 (和文) EQ-Sequence によるフロアプランの自動配置と配線システム

研究課題名 (英文) Floorplanning Automation Layout Systems by EQ-Sequence

研究代表者

趙 華安 (ZHAO HUA-AN)

熊本大学・大学院自然科学研究科・教授

研究者番号：60258340

研究成果の概要：近年，VLSI（超大規模集積回路）の集積度が大幅に向上しており，搭載する回路規模が同程度であれば，チップ面積の減少，または，使用するチップ面積が同程度であれば，搭載される回路規模の増大である．本研究は EQ-Sequence によりフロアプランを表現し，2007 年度，配置を完成したうえで，2008 年度では，概略配線について研究を行った．概略配線の結果はフィードバックされ，高位合成の RTL 設計または再配置するために利用される．本研究の成果はフロアプランによる VLSI の配置配線の全自動化に資することが大きいと思われる．

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,300,000	390,000	1,690,000
2008年度	600,000	180,000	780,000
年度			
年度			
年度			
総計	1,900,000	570,000	2,470,000

研究分野：情報学基礎

科研費の分科・細目：情報学・離散構造

キーワード：VLSI レイアウト，フロアプラン，配置と配線，システムオンチップ

1. 研究開始当初の背景

半導体微細加工技術が進歩し，VLSI（超大規模集積回路）の集積度が大幅に向上している．VLSI に搭載される回路規模の増大により，VLSI 設計は複雑化，また長期化してきている．しかしながら，市場においては，商品のライフサイクルが短くなり，商品の開発

期間を短くすることが求められている．従って，VLSI 設計の自動化が強く求められている．また，開発期間の短縮化を図るために，大量の設計者を動員する方法もあるだろう．しかし，同程度の技術をもつ設計者を大量に確保することは非常に難しい．技術レベルの異なる設計者によって設計しようとするならば，製品の品質が一定に保てなく，信頼性

に欠ける。特に、設計において人間がしばしば単純ミスを起こし、このミスを完全になくすことは本質的にできない。従って、未結線配線や誤配線が 1 箇所でもあれば正常に動作しないという性質をもつ VLSI の設計を大量の人間により設計しようとしても、短時間でミスなく設計を完了することは絶望的である。従って、このような観点からも、コンピュータによる完全自動設計が早急に求められている。

VLSI レイアウト設計における最初の工程がフロアプラン (floorplan) である。回路は n 個のモジュールからなるとすると、フロアプランはチップ (数センチの長方形領域) を n 個の小長方形領域 (部屋というに切り分け、それぞれのモジュールを割り当て、配置と配線を実現する。しかし、フロアプランをどうやって表現するか、即ち、フロアプラン符号化 (coding) をまず考えなければならない。符号化の方法により配置・配線の効率に大きく影響を与える。また、開始同時の手法としては、配置と配線を別々に行い、レイアウトの全自動化に大きな問題となっている。

VLSI の自動化設計において、コンピュータを用いて処理を行うため、まずフロアプランをコンピュータが認識できるようなコード (code) 化にする必要がある。このようなコード化のことをフロアプラン表現といい、効率なコードは配置と配線の設計に大きな影響を与える。フロアプランを表現する種々の方法がある。1986 年に、Wong と Liu は初めて、Poland-tree を用いてスライス構造 (Slicing) の方形分割の表現方法が提案された。1995 年に、Sequence pair は、Non-slicing 構造で配置問題を考え、パッキング問題を解決する方法を提案し、高く評価されている。1996 年に、BSG (bounded slice line grid) は、空部屋のないようなフロアプランの有効的なデータ構造として提出した。2002 年に、Q-sequence と corner block lists は独立に開発され、注目されている。この中で、特に Q-sequence は必要なデータ数が少なく済む点において評価されている。しかし、Q-Sequence は符号化するとき唯一性 (フロアプランは唯一のコードに対応) をもち、復号化するとき唯一性をもたない。即ち、図 1 に示す 2 つのフロアプランは Q-Sequence では区別できない。そのため、EQ-sequence は Q-sequence の拡張として提案され、部屋の隣接関係を正しく簡単に表せることができる。微細加工技術の進歩によりゲートの遅延は配線より小さくなり、総配線長を最小にすることは非常に重要である。総配線長を最小にするには部屋の隣接関係にある。部屋間配線の多い部屋をできるだけ隣接されることより、配線が最短になるからである。

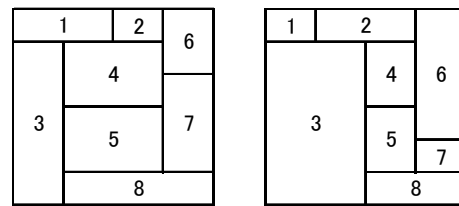


図 1. 隣接関係の異なる 2 つのフロアプラン

2. 研究の目的

配置工程では、合成された回路の構成要素をチップ上の適当な場所に置くことである。配線工程では、配置された回路要素間を金属線等で結ぶ。通常、全体を一括して処理するには規模が大き過ぎるので、概略から詳細へと段階的に配置・配線設計法を利用されている。配置と配線を同時に行うのは非常に困難である。それが内包する因果的な矛盾である。すなわち、「配置がなければ配線ができない、配線が分からなければ配置はできない」ことにあるとされている。この中で、配置技術は最も重要視され、従来配置技術は極めて貧弱であるので、これが大規模化、高速化の困難点になっている。近年では、VLSI の設計には階層設計が用いられている。VLSI の中は、最初一定の機能を実現するために、トランジスタや抵抗といった基本的なスイッチ素子で実現するゲート素子やフリップフロップ素子などを設計しておく。このような多くの素子が随所に配置され、それらの間を電線で接続し、より大きな機能をもつモジュールが作られる。このレベルになると 1 ミクロンより小さな寸法で行われ、微細加工技術の進歩により実現されている。次にモジュールを素子として用いて、適切な位置に配置し、それらの間を電線で配線する。より大きな機能をもつモジュールが作られる。このような過程を繰り返してより大規模な設計を実現しているのである。

本研究は提案した EQ-Sequence を用いて、最適配置を求めた後、概略配線を行い、各ネットの通る配線チャンネル、総配線長などを見積もる。概略配線の結果はフィードバックされ、高位合成の RTL 設計または再配置するために利用される。即ち、EQ-Sequence を用いることにより、配置と配線を同時に行えるので、VLSI のレイアウトの全自動化を実現することが目的である。

3. 研究の方法

VLSI のレイアウト設計において、最初フロアプラン (floorplan) 設計段階に入る。フロアプラン設計は、フロアプランニング (floorplanning) ともいい、モジュールを長方形で表し、たくさんのモジュールをどの

ように配置すれば、チップの総面積と総配線長が最適になるのかを考える工程である。フロアプランの配置では、全体的な性能を見積もることができ、モジュールの大まかな位置が決定され、チップ面積や配線長や動作速度を見積もる。この段階で、チップ面積が大きすぎて、または、配線が長すぎるなど、予定していた性能の達成が難しいようであれば、高位合成に戻り、回路を修正する。フロアプランの設計性能達成可能であると判断されたならば、回路要素のモジュールの置く位置が決定され、モジュールの大きさや形状によりチップの総面積を決定する。各モジュールの配置が決まってから、概略配線を行い、モジュールの接続関係と位置を考えた上で、詳細配線を行う。このとき、必要に応じてモジュール位置の修正が行なわれることもある。最後に、配置と配線が終わると、VLSI のレイアウトの設計が完了する。

フロアプランニングの主なプロセスは

■ コーディング (coding) : フロアプランをコンピュータ上で表現するために、コード化することである。どれぐらい速度、また、どのぐらいメモリ空間で、フロアプランをコードに、または、コードからフロアプランに生成できるかにより、コードの良さを評価する。もちろん、このとき任意のフロアプランが一意なコードで表現でき、かつ、任意のコードから一意なフロアプランが生成できることが求められる。前者は最適フロアプランを逃さないために必要であり、後者は、探索においてどの方向にコードを変更すれば良いかを決定するためのコードの一意な評価のために必要である。

■ 変換 (moving) : 多くの最適法では、1つのコードを評価して次のコードの評価をする際、全く新しいコードを生成するのではなく、ある解から別の解への局所変更操作定義することにより、新しいコード生成にかかる時間の短縮を計る。最適の手法において、このような解の局所変更操作は変換 (moving) と呼ばれる。この方法は、新しく解を生成するよりも変換操作が速い、また、任意の解から任意の解へ有限回の moving で変換できることを意味する。

■ デーコーディング (decoding) : 制約条件 (モジュールの隣接関係, Input/Output 要求等) を満たせれば、コード化のフロアプランを選出し、各部屋に割当てするモジュールのサイズを与え、総面積を計算する。デーコーディングで得られた総面積を解とする。

最適解を探すために、シュミレーテッド・アニーリング (S.A: Simulated Annealing) 法や遺伝的アルゴリズム (G.A: Genetic Algorithm) 等が使われる。最適化をする際、どのように解を評価すべきか、問題の定式化とも関連する重要な問題で、これによって、

解の質や最適解への収束の速度が変化する。

配置段階で配線の要因も考慮できるのは、EQ-Sequence であり、その表現の特長は、(1) 部屋間の隣接関係をはっきり表現できる。(2) コードの情報密度が高い (コードが短い)。(3) 符号化 (encode) と復号化 (decode) および最適化操作の計算量は、全て $O(n)$ となる。この特長を利用して、配置すると同時に配線問題を処理できるようになる。本研究の方法をフローチャートで表すと、図 2 のようになる。

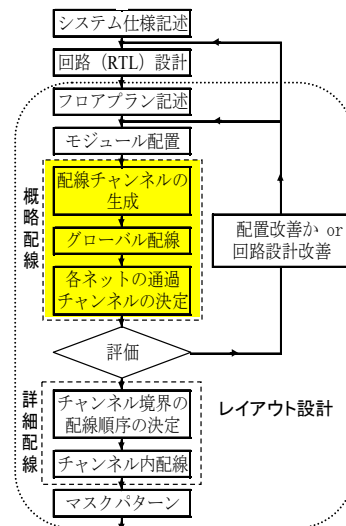


図 2. 本研究の流れ

n 個のモジュール概略配線の配線領域は、EQ-sequence の各部屋の主セグ (prime segment) に示すもの (概略配線においては線幅を 0) とし、その associated room set A_i と inside room set I_i を利用して、配線グラフ G_r が次のように作られる。主セグ p_i を $|A_i| + |I_i| - 1$ 個の線分に分けられ、それぞれを配線チャンネルとする。各配線チャンネルに頂点を与え、チャンネルとチャンネルがつながっているなら、対応する頂点を辺で結ぶ。チャンネルの長さをその頂点の weight として与える。図 3 の配置に対応する配線グラフを図 4 に示す。配線グラフを用いたフロアプランの概略配線アルゴリズムを提案し、概略配線を行う。

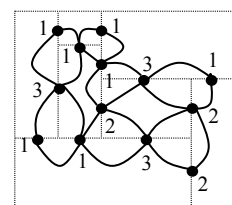
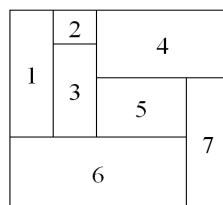


図 3. 最適配置. 図 4. 配線グラフの構成

VLSI レイアウトにおいて、特に配線の総配

線長と最長配分の最短化が、電力やクロストーク等に大きく影響する。配線長はモジュール間の距離に強く依存しているため、モジュール間の距離を短くするためには、ネットで結ばれる端子を有するモジュール同士を隣接させることが重要であり、モジュール間の隣接を制約としたフロアプランニングの開発を行った。

4. 研究成果

2007年度、配置を完成したうえで、2008年度では、配線について研究を行った。フロアプランの表現方法の中で、EQ-sequenceを用いて最適配置を求めた後、概略配線を行い、各ネットの通る配線チャンネル、総配線長などを見積もる。概略配線の結果はフィードバックされ、高位合成のRTL設計または再配置するために利用される。微細加工技術が著しい進歩を遂げており、配線の幅が $0.18\mu\text{m}$ を下回るようなデザインルール下では、VLSIレイアウト、特に配線工程における各モジュール間の総配線長の最小化のことを、配置をする時にひとつの目標関数として最適化できるので、フロアプランニングの開発に新しい設計法を提案したことで、本研究の成果はフロアプランによるVLSIの配置配線の全自動化に資することが大きいと思われる。

また、国際的に協力（中国南京郵電大学）で、シミュレーション用のプログラムを開発してもらい、このソフトはこれからの研究と教育にも利用されている。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔学会発表〕（計5件）

① H. Matsuda, Y. Tokunaga and H. A. ZHAO, "A Hash Algorithm for Memory Management in Xen", Proc. of 2009 International Workshop on Nonlinear Circuits and Signal Proc. pp. 69-72, March 2, 2009, USA. (査読あり)

② H. A. ZHAO, C. LIU and Q. S. HU, "Initial Global Routing in Floorplanning by EQ-Sequence," Proc. of IEEE International Symposium on Industrial Electronics, pp. 1746-1750, June 30 2008, UK. (査読あり)

③ Q. S. HU, H. A. ZHAO and C. LIU, "A Programmable Frequency Divider in $0.18\mu\text{m}$ CMOS Library," Proc. of IEEE Computer Society Annual Symposium on VLSI, pp. 157-161, Apr. 8, 2008, France. (査読

あり)

④ Q. S. HU, C. LIU and H. A. ZHAO, "A High-speed Fair Scalable Scheduling Architecture," Proceedings of 2007 International Symposium on Intelligent Signal Processing and Communication Systems, pp. 796-799, Dec. 1, 2007, China. (査読あり)

⑤ 趙華安, 小嶋 一生, "フロアプランにおけるグローバル概略配線について", 2007年電子情報通信学会ソサイエティ大会講演論文集A-3-11, 2007年9月13日, 鳥取. (査読なし)

〔その他〕

熊本県において、産官学の有機的に結合するために、本研究の内容を講演会で紹介したことがあり、地方のVLSI工業に貢献した。

<http://www.kumamoto-u.ac.jp/seeds/seeds/25000255/index.html>

<http://www.rist.gr.jp/html/N123.html>

6. 研究組織

(1) 研究代表者

趙華安 (ZHAO HUA-AN)
熊本大学・大学院自然科学研究科・教授
研究者番号：60258340

(2) 研究分担者

なし

(3) 連携研究者

なし