

リモート・ロジックアナライザの実装と評価

斉藤 豪[†] 永田 和生[†] 原田 英雄[†]柴村 英智^{††} 久我 守弘^{††} 末吉 敏則^{††}[†] 熊本大学大学院自然科学研究科数理科学・情報システム専攻^{††} 熊本大学工学部数理情報システム工学科^{†,††} 〒 860-8555 熊本県熊本市黒髪 2-39-1E-mail: [†]{go,nagata,hide}@arch.cs.kumamoto-u.ac.jp, ^{††}{sibamura,kuga,sueyoshi}@cs.kumamoto-u.ac.jp

あらまし 再構成可能な FPGA デバイスを搭載した機器は、製品出荷後もハードウェア機能の変更・拡張を容易に行うことができ、不具合が見つかった場合でもデバッグできるという長所を持つ。しかし、機器が遠隔地にある場合、再構成に要する費用や時間が大きくなるという問題がある。そこで、我々はこれまで FPGA 遠隔再構成技術と FPGA 内部回路の動作検証を行うリモート・ロジックアナライザの開発を行ってきた。これまでに開発してきたリモート・ロジックアナライザでは、リモート側に制御用 PC を設置する必要があったが、実際の運用ではリモート側は組込みシステムである場合が大半である。そこで、本研究では組込みシステム上で動作し、ロジックアナライザ IP の制御を行うロジックアナライザコントローラを開発した。本稿では、開発したロジックアナライザコントローラの詳細ならびに、ロジックアナライザ IP を FPGA に実装した際の被測定回路に与える影響について報告する。

キーワード FPGA, 遠隔再構成, ISP (In System Programming), ロジックアナライザ

Implementation and Evaluation of Remote Logic Analyzer

Go SAITOU[†], Kazuo NAGATA[†], Hideo HARADA[†],Hidetomo SIBAMURA^{††}, Morihiko KUGA^{††}, and Toshinori SUEYOSHI^{††}[†] Department of Mathematics and Computer Science,

Graduate School of Science and Technology, Kumamoto University

^{††} Department of Computer Science, Faculty of Engineering Kumamoto University^{†,††} 2-39-1 Kurokami, Kumamoto 860-8555 JapanE-mail: [†]{go,nagata,hide}@arch.cs.kumamoto-u.ac.jp, ^{††}{sibamura,kuga,sueyoshi}@cs.kumamoto-u.ac.jp

Abstract Electronic equipments carrying a reconfigurable FPGA have advantages, the functions of which can be changed, upgraded after shipping. When we reconfigure the FPGA in a remote place, it takes the cost and time to dispatch of an engineer. Then, we developed an environment which reconfigures an FPGA and a remote logic analyzer which verifies reconfigured circuits with remote manipulation via Internet. In previous work, remote logic analyzer needed to equip a control PC as the remote server. However, the fact is that most remote servers are embedded systems. Thereby we developed a logic analyzer controller that controls logic analyzer IP on the embedded system. This paper reports details of the logic analyzer controller and the influence that logic analyzer IP exerts on the circuit to be tested.

Key words FPGA, Remote reconfiguration, ISP(In System Programming), Logic analyzer

1. はじめに

再構成可能な FPGA (Field Programmable Gate Array) デバイスを搭載した機器は ISP (In System Programming) 機

能を利用して、製品出荷後もハードウェアの機能変更・拡張を行うことができ、また実装回路に不具合が見つかった場合でもデバッグを行うことができるという長所がある。近年、遠隔操作による FPGA デバイスの再構成の要求が高まっている。そ

の理由として、遠隔地への技術者派遣の困難性、コスト的な問題、構成時間増大の問題などが挙げられる。ネットワークを介した遠隔操作によるデバイスの再構成が可能になれば、これらの問題を大きく解消することができる。そこで、我々はユーザの実行環境に依存しない、比較的統一された手法によるコンフィギュレーションを可能とする FPGA 遠隔再構成環境の構築を行ってきた [2]。また、再構成を行った FPGA に対して、ロジックアナライザのプロブを直接当てることによる動作検証を行っていたのでは、FPGA 遠隔再構成の利点を活かすことができない。そこで、遠隔操作によって FPGA 内部の信号観測が可能なりモート・ロジックアナライザの開発も併せて行ってきた [3]。これまでに開発してきたリモート・ロジックアナライザでは、リモート側の制御のために PC を設置する必要があった。しかし、実際の運用ではリモート側は組込みシステムであることが大半である。そこで、本研究では組込みシステム上で動作し、ロジックアナライザ IP の制御を行うロジックアナライザコントローラを開発した。

以下、2章では FPGA 遠隔再構成技術について、3章ではリモート・ロジックアナライザについて述べる。4章でリモート・ロジックアナライザの通信制御方式について述べ、5章で評価を行い、6章でまとめとする。

2. FPGA 遠隔再構成技術

2.1 想定する動作環境

遠隔操作による FPGA の再構成が応用される場面として、以下のような状況が想定される。

- 人の立ち入ることのできない場所での再構成
- 技術者の派遣に高いコストがかかる場所での再構成
- 多くの機器を対象とした再構成

このような場合、手元の開発環境と対象デバイスのあるリモート先の環境に差異が生じる可能性があるため、ある1つの手法で画一的なデバイス再構成を行うのは困難である。

そこで、比較的統一された手法でコンフィギュレーションが可能な IEEE std.1149.1 (JTAG) の ISP と、プログラムの実行がプラットフォームに依存しないという特徴をもつ Java 言語を利用した、FPGA の遠隔再構成技術の開発を行っている [2]。

2.2 遠隔再構成環境

現在の遠隔再構成環境を図1に示す。リモートサーバには、組込みプロセッサを搭載したデバイスを用いる。その際、Java 実行環境を備えている必要がある。以下に各構成要素について述べる。

2.2.1 遠隔操作プログラム

リモートサーバの遠隔操作を行うプログラムであり、ユーザが利用しやすい GUI (Graphical User Interface) ベースとなっている。ファイル転送画面では、ローカルマシンとリモートサーバのディレクトリ一覧を表示し、転送操作を行う機能を提供する。コマンドプロンプト画面では再構成コマンドの送信や結果の表示など、シェルのような機能を提供する。

ユーザは、上のプログラムを用いてデバイスの構成データをネットワークを介して送信する。その後、送信した構成データ

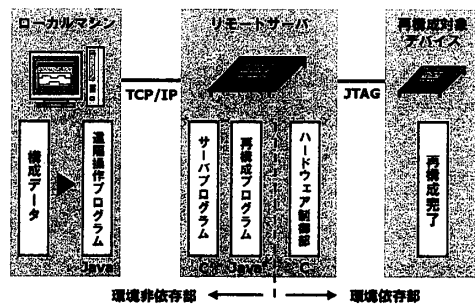


図1 遠隔再構成環境

を指定し、再構成用プログラムを実行することでデバイスの再構成を行う。

2.2.2 サーバプログラム

リモートサーバ上のサーバプログラムは、遠隔操作プログラムからのコマンドの受信・応答機能、ローカル・リモート間のファイル転送機能、リモートサーバに接続された記憶装置内のディレクトリ操作機能、接続された FPGA の再構成機能を備えている。コマンドを送信することでリモートサーバ上の操作を行うことができる、ターミナルのような環境を提供する。

2.2.3 動作実証

動作実証には、ローカルマシンとして Windows 2000 Professional を搭載し、Java 仮想マシンが動作する PC を用いた。リモートサーバとしては、組込みプロセッサの実装が可能な FPGA ボードとして、Altera 社製 Excalibur Nios 評価ボード (デバイス: Altera APEX EP20K200EFC484-2X) を用いた。評価ボードには Nios Ethernet Development Kit を装着し、ネットワークを使用可能としている。

表1に示す機器で遠隔再構成環境を構築し再構成を行ったところ、正常に再構成できることを確認した [3]。

表1 実験環境

ローカルマシン	Windows 2000 Professional CPU: Xeon 1.8GHz Dual Memory: 2GB
リモートサーバ	Excalibur Nios 評価ボード 動作周波数: 33MHz
対象デバイス 1	Altera EP1S10F780C7
対象デバイス 2	Altera EP20KE1000EFC672-1X

3. リモート・ロジックアナライザ

3.1 開発動機

2章の遠隔再構成技術により、ネットワークに繋がれた機器上の FPGA を遠隔操作で再構成することが可能となる。しかしながら、FPGA 上に実装された回路が正常な動作を行っているかを検証する方法が確立されておらず、検証自体は技術者が現地で直接行う必要があった。そこで、遠隔操作による FPGA の再構成後、ネットワークを介して FPGA 上の実装回路の動作検証を行う手段として、本研究ではリモート・ロジックアナライザの開発を行った [3] [4]。リモート・ロジックアナライザ

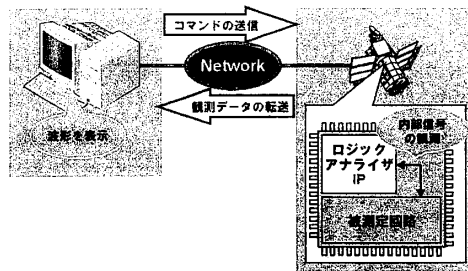


図2 リモート・ロジックアナライザ

を使用することで、図2のように遠隔地にある機器に搭載されたFPGA内部の信号をネットワーク経由で手元のアプリケーションから観測し、デバッグを行うことが可能となる。

3.2 信号観測環境

図3はリモート・ロジックアナライザの信号観測環境を示している。リモート・ロジックアナライザは、ロジックアナライザからネットワーク経由で波形を取得・表示する波形観測アプリケーションとリモートサーバ上からロジックアナライザIPの制御を行うロジックアナライザコントローラ、そしてFPGA内部で被観測回路と共存し、直接内部信号を取得するロジックアナライザIPから成る。以下、各構成要素について述べる。

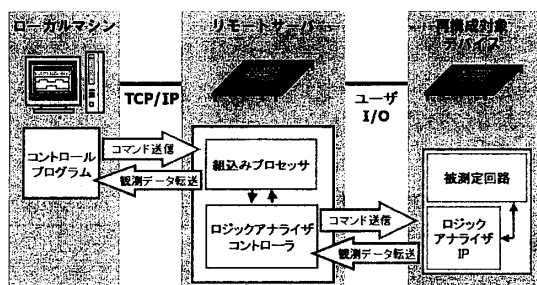


図3 信号観測環境

3.3 コントロールプログラム

波形表示機能とユーザが指定したテスト波形や設定のロジックアナライザIPへの送信およびロジックアナライザIPから取得したデータを受信する機能に分けられる。GUIベースのプログラムとなっており、2章の遠隔再構成環境での遠隔操作プログラムとの統合を行い、よりユーザが利用しやすい環境を構築している。また、現在は観測対象信号をロジックアナライザ回路に手動で配線を行う必要があるが、これではユーザの負担も大きい。そこで、GUIで容易に観測対象信号を指定できるシンボリックデバッグ機能をコントロールプログラムに追加し、より手軽にリモート・ロジックアナライザを利用できる環境の構築を進めている[5]。

図4に8ビットバイナリカウンタ回路を例として、コントローラプログラムでの波形表示画面を示す。図に示すように、バイナリカウンタが正常に動作していることを確認することができる。

3.4 組込みプロセス

組込みプロセスには、Altera社のFPGA向けに特化した

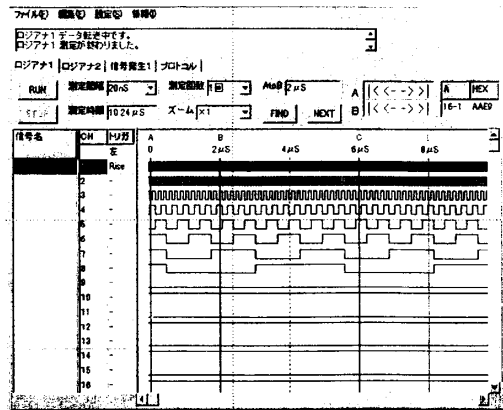


図4 リモート・ロジックアナライザユーザ側画面

RISCアーキテクチャをもつソフトコアプロセッサであるNiosを用いている。NiosにはCPUだけでなく、メモリや周辺回路まで含まれており、これらはAvalon Busという独自のオンチップ・バスで接続される。ユーザロジックはバス・ブリッジを介してAvalon Busに接続する。

3.5 ロジックアナライザコントローラ

従来、リモート・ロジックアナライザを用いたデバッグを行う場合、その対象は制御用PCに接続されたデバイスに限られていた。しかし、我々は組込みシステムへの遠隔再構成技術の適用を考えており、既に遠隔再構成環境では、リモートサーバに組込みプロセッサを搭載したFPGAデバイスを利用した再構成が可能な段階まで開発が進んでいる。そのため、本研究ではロジックアナライザコントローラを開発し、リモートサーバ上から再構成対象デバイス上のロジックアナライザIPを制御することで、PCを介することなくリモートサーバと直接的にデータのやり取りを行うことができる環境を構築した。これによって、リモート・ロジックアナライザを多様なユーザ環境に適用していくことが可能となる。また、ロジックアナライザコントローラの開発にあたり、ベンダの枠を越えた幅広いデバイスをサポートするため、Verilog-HDLでの記述を行っている。

3.6 ロジックアナライザIP

ロジックアナライザIPはFPGA内で被測定回路と共存し、設定されたトリガ条件に従って内部信号を取得する。そして、ロジックアナライザコントローラからのコマンドに従い取得した内部信号をリモートサーバに転送する。

3.6.1 組込みロジックアナライザ

リモート・ロジックアナライザにおけるロジックアナライザIPは、FPGA内部に被観測回路と共に組込むことで回路動作の確認を行う組込みロジックアナライザの技術を活用している。組込みロジックアナライザの技術を利用する利点を以下に述べる。

- 物理的なプローブを使用しない
- 観測対象信号を外部ピンに割り当てる必要がない
- 使用するピンを固定化できる

現在、各FPGAベンダが提供している組込みロジックアナライザIPは、同ベンダのEDAツールと密接に関連しており、インタフェースが公開されていないことから、ベンダ純正以外

の EDA ツールから使用することができない。また、我々は遠隔操作による動作検証を目的としているため、被測定回路とロジックアナライザ IP は同一デバイス上で共存することになることから、被測定回路に与える影響は極力抑えなければならない。そこで、ロジック解析機能に絞ったロジックアナライザ IP の開発を行っている。

3.6.2 組込みメモリの利用

ロジックアナライザ IP では、被測定回路から観測したデータを FPGA 内に一時的に保持する必要がある。そこで、本研究では現在各ベンダにおける FPGA が標準的に装備している FPGA 内部の組込みメモリを有効に活用することで、被測定回路に極力影響を与えないロジックアナライザ IP の開発を行った。

一般的に、FPGA 内部の組込みメモリを利用するには、以下に示す 2 通りの手段がある。

- 設計ツールから直接メモリマクロを呼び出す
- HDL 記述でメモリを表現し、論理合成ツールに組込みメモリを推定させる

本研究では、ユーザの使用環境に依存しないロジックアナライザ IP の開発を目指している。そのため、各ベンダによって異なるメモリマクロを直接呼び出す方法ではなく、ベンダの枠を超えて組込みメモリを使用可能である、HDL 記述によるメモリ表現を用いた。

まず、Altera 社デバイスにおける組込みメモリである ESB (Embedded System Block) であるが、メモリの初期化を行う記述がある場合のみ推定が不可能であった。それ以外は比較的記述の条件は厳しくなく、メモリとして逸脱した記述を行わない限りツールによる組込みメモリの推定が可能である。

これに対して Xilinx 社デバイスでは、組込みメモリとして 2 つのタイプが提供されている。1 つは、論理ブロックである Slice を消費して構成する Distributed RAM、もう 1 つは、Slice を消費しない BlockRAM である。著者らの事前評価によれば、Distributed RAM は、BlockRAM に対して Slice の消費に起因する回路規模の増加に加えて、動作周波数においても大きな差が出るのが分かった [4]。また、大規模なメモリ構成を取る程、動作周波数の低下が大きい。しかし、HDL 記述で BlockRAM を用いた場合、Distributed RAM に比べて設計自由度は低くなる。そのため、比較的小規模なメモリで良い場合は、Distributed RAM の方が有効な局面もある。

本研究におけるロジックアナライザ IP では、比較的大規模な FIFO モジュールを構成する必要がある。しかし、同じベンダのデバイスでもファミリごとに記述の制限が異なる場合が多い。そこで、HDL 記述から BlockRAM の推定が可能な、同期読出しを行う単純なシングルポートメモリに焦点を当てて FIFO モジュールを構築し、以下の論理合成ツールを用いて組込みメモリの推定が可能かどうか確認を行った。

その結果、下記の論理合成ツールを用いて、Altera、Xilinx 双方の組込みメモリを利用したロジックアナライザ IP の実装が可能となり、その動作を確認することができた [3]。

- Altera : QuartusII ver4.1
- Xilinx : XST(ISE6.2)

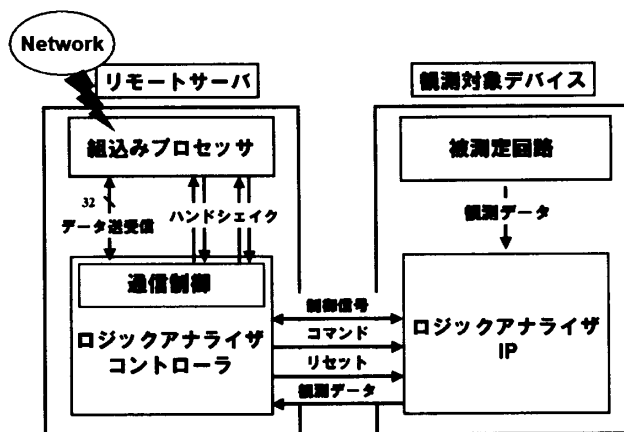


図 5 遠隔地側のリモートサーバと観測対象デバイスのブロック図

- Synplicity : Synplify Pro ver7.7

4. 通信制御方式

3 章で、リモート・ロジックアナライザの構成要素について述べてきた。本章では、リモート・ロジックアナライザの構成要素間における詳細なデータ通信方法について述べる。

4.1 ロジックアナライザコントローラ

4.1.1 組込みプロセッサ・ロジックアナライザコントローラ間の制御

ロジックアナライザコントローラは、組込みプロセッサとの通信制御用モジュールを用いて Avalon Bus を制御し、組込みプロセッサとロジックアナライザコントローラ間の通信制御を行っている。図 5 に示すように、双方向の 32bit データバスを用いて観測データの送受信を行い、ハンドシェイク通信を行うことにより組込みプロセッサとのタイミング制御を行っている。そのために、組込みプロセッサからのコマンドを送信する際のハンドシェイク用として 2bit、ロジックアナライザコントローラからサンプリングデータを送信する際のハンドシェイク用として 2bit、計 4bit の制御信号を使用する。

4.1.2 ロジックアナライザコントローラ・ロジックアナライザ IP 間の制御

ロジックアナライザコントローラは、各コマンドをロジックアナライザ IP に転送することで制御を行う。図 5 に示すように、リモートサーバとロジックアナライザ IP 間のデータ通信には、データの送受信に各 1bit ずつ、データ送受信の制御用に 1bit、ロジックアナライザ IP のリセット信号に 1bit、計 4bit のユーザ I/O を使用している。ユーザ I/O を減らすため、データ通信はシリアルで行っている。サンプリングデータを取得するためには、ロジックアナライザコントローラからデータ取得コマンドを転送する。ロジックアナライザ IP はデータ取得コマンドが転送される毎に、すべての測定チャンネルについて 1 サンプル分ずつデータを転送する。

4.2 ロジックアナライザ IP

図 6 に開発したロジックアナライザ IP のブロック図を示す。Control Module はコントロールプログラムから指定されるコマンドに従って、トリガ条件の設定、サンプリングの開始、サ

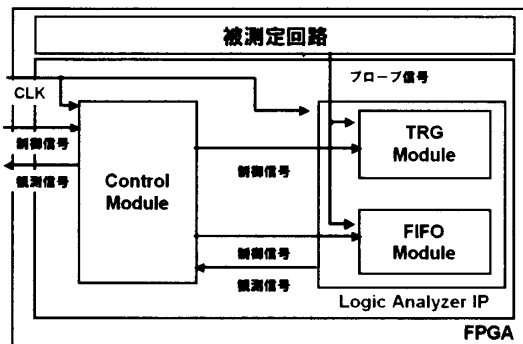


図 6 ロジックアナライザ IP のブロック図

ンプリングデータの転送を行う。TRG Module はトリガ条件の保持とトリガの検出を行う。FIFO Module は被測定回路からサンプリングしたデータを一時的に保持するモジュールである。測定チャンネル数は 8, 16, 32 ch, 測定サンプル数は 512, 1,024, 2,048 samples とパラメタライズしており、その変更のみでユーザの使用環境に適したロジックアナライザ IP を構築することが可能である。

また、表 2 にロジックアナライザ IP のコマンドを示す。トリガ条件設定コマンドでは、各チャンネルにおけるトリガ条件の設定を行う。High or Low enable コマンドは High or Low コマンドで設定したパラメータが有効であることを示すコマンドである。また、Trigger Point コマンドはトリガが発生した直前、直後、あるいは両方の 3 つの内どのデータを取得するかを設定するコマンドである。トリガ条件を設定の後、ロジックアナライザ IP はサンプリング開始コマンドによりサンプリングを開始する。ステータス読出しコマンドは、ロジックアナライザ IP がサンプリング中であることを確認できる。サンプリングデータ取得コマンドでは、FPGA 内部メモリに記録された測定データの取得を行う。

表 2 コマンド一覧

コマンド	パラメータ	戻り値	
トリガ条件設定	Rize edge	1:有効, 0:無効	—
	Fall edge	1:有効, 0:無効	—
	High or Low	1:High, 0:Low	—
	High · Low enable	1:有効, 0:無効	—
	Trigger Point	0:前, 1:中, 2:後	—
サンプリング開始	—	—	
ステータス読出し	—	サンプリング中:1 その他:0	
サンプリングデータ取得	—	サンプリング値	

4.3 データ通信フロー

図 7 にリモートサーバ・再構成対象デバイス間におけるデータ通信フローの例を示す。まず、組込みプロセッサ側からハンドシェイクにより通信を確立し ((1), (2)), ロジックアナライザコントローラへコマンドを転送する (3)。ロジックアナライザコントローラは、コマンドを制御信号と共にロジックアナ

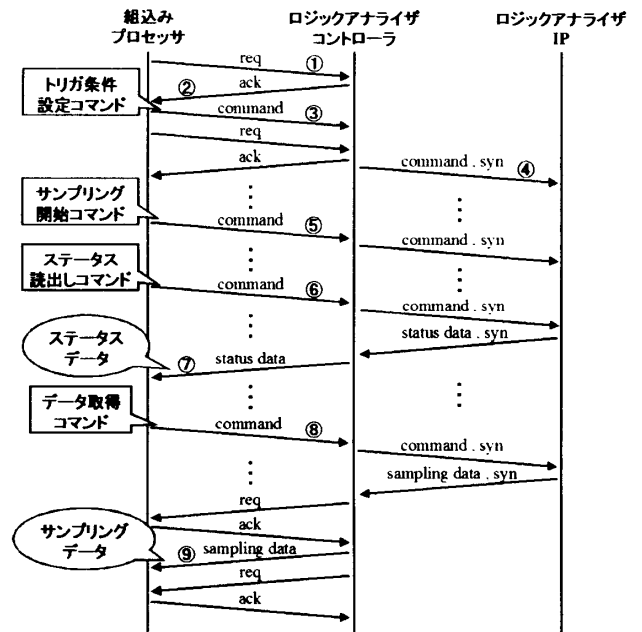


図 7 通信フロー図

ライザ IP に転送する (4)。トリガ条件設定コマンドは Rize edge, Fall edge, High or Low, High or Low enable, Trigger Point の順に転送する。トリガ条件を設定した後、サンプリング開始コマンドによりサンプリングを開始する (5)。また、ステータス読出しコマンドにより、ロジックアナライザ IP がサンプリング中であることを確認できる ((6), (7))。サンプリング終了後、組込みプロセッサからデータ取得コマンドを転送すると (8)、ロジックアナライザ IP からサンプリングデータが転送され、ロジックアナライザコントローラを経由して組込みプロセッサへ転送される (9)。(8) および (9) の操作を測定サンプル数回繰り返すことですべてのサンプリングデータを取得することができる。

5. 評価

5.1 ロジックアナライザ IP が被測定回路に与える影響

これまでの研究において、リモート・ロジックアナライザを FPGA 上に共存させることによる被測定回路への影響は、回路規模については小規模な増加に留まることが判明している。しかし、動作周波数に関しては回路のデバイス占有率の高低に関わらず大きなばらつきが見られた [4]。評価に用いた回路のクリティカルパスを解析した結果、ロジックアナライザ IP はクリティカルパスには含まれないことが分かった。したがって、動作周波数の変化は IP の接続による被測定回路の配置配線への影響が原因である可能性が高い。そのため、あらかじめ配置領域制約を施すことで、このような周波数の増減を抑制できるのではないかと考えられる。

そこで、システムクロックやプローブ信号線などの共通のリソースを除いて、ロジックアナライザ IP と被測定回路のデバイス上の領域が重ならないよう配置領域制約を施した場合において評価を行った。

表 3 動作周波数への影響 (配置領域制約なし) (%)

CHs samples	None	8	16	32
512	30.75MHz	-1.01	24.42	-5.66
1,024		-0.75	31.28	-11.61
2,048		-9.43	-5.24	-1.04

表 4 動作周波数への影響 (配置領域制約あり) (%)

CHs samples	None	8	16	32
512	33.185MHz	-11.50	-15.24	-14.84
1,024		-10.61	-15.16	-13.89
2,048		-15.10	-15.16	-9.14

デバイスは Xilinx 社の VirtexII Pro xc2vpx20-5fg676, 設計ツールには Xilinx ISE 6.3 を使用した。被測定回路には, リソース使用率が約 6% の KITE マイクロプロセッサ [6] および, 約 84% の JPEG Encoder [7] を用いた。また, ロジックアナライザ IP のパラメータとして,

- 測定チャンネル数 (8, 16, 32ch)
- 測定サンプル数 (512, 1,024, 2,048 samples)

を変化させて動作周波数について測定した。

評価の結果, KITE マイクロプロセッサでは配置領域制約によって動作周波数のばらつきが最大-2.32%の範囲内に収まることがわかった。また JPEG Encoder の評価結果は, 表 3 および表 4 となる。表は被測定回路とロジックアナライザ IP を相互接続し, FPGA に実装した場合の動作周波数の変化率を示しており, 表中の None の列はロジックアナライザ IP を接続しない被測定回路のみの場合の動作周波数である。その他の列は None の場合と比較した周波数の変化率を%で示している。表から分かるように, 配線領域制約がない場合は動作周波数の変化に大きなばらつきが見られるが, 配置領域制約を施すことによって, 最大-15.24%から最小-9.14%と約 6%の範囲内に収まっており, リソース使用率に関わりなく配置領域制約が動作周波数の変化の抑制に効果的であることが分かった [5]。

5.2 ロジックアナライザコントローラ

これまでロジックアナライザ IP が被測定回路に与える影響について評価を行ってきた。しかし, 将来的にはリモートサーバと再構成対象デバイスを単一のボードに統合することが考えられる。そのため, ロジックアナライザコントローラについても評価を行う必要がある。そこで, 本研究ではロジックアナライザコントローラの回路規模について評価を行った。デバイスは Altera 社の EP20KE200EFC484-2X, 設計ツールには QuartusII 4.1 を使用した。その結果, ロジックアナライザコントローラの回路規模はロジックアナライザ IP のパラメータに関係なく 300LEs であり, 評価に用いた FPGA 全体における論理資源の割合としては約 3%であることが分かった。また, ロジックアナライザコントローラは Verilog-HDL で約 360 行で実現できた。

6. ま と め

これまで, 遠隔地に赴くことなくデバイスの検証を行うため, ネットワークを介して遠隔地にあるデバイスの内部信号の観測が可能なりモート・ロジックアナライザ IP の開発を行ってきた。その際, デバイス依存がないように HDL 記述に注意を払い, その結果 Altera 社および Xilinx 社のデバイスでの実装が可能となった。また, 組込みシステム上で動作し, リモートサーバ上からロジックアナライザ IP の制御を行うロジックアナライザコントローラを開発を行った。これにより, ネットワークを介した遠隔操作によって, 組込みシステム上の FPGA 内部回路に対する信号観測が可能となる。また, ロジックアナライザ IP の被測定回路に与える影響については, 回路規模は小規模な増加で留まり, 動作周波数に関しては被測定回路と共に実装する前に配置領域制約を施すことで, 従来見られた動作周波数のばらつきを抑えられることが分かった。また, ロジックアナライザコントローラについては 300LE 程度で実装できることが分かった。

今後の課題としては, 各機能をより完成度の高いものとし, 統括的な FPGA 遠隔再構成環境の構築を目指して研究を進めて行く予定である。

文 献

- [1] 武田直樹, 土黒功司, 富摩佳重, 柴村英智, 久我守弘, 末吉敏則: “遠隔操作による FPGA/PLD デバイス再構成の実現”, DA シンポジウム 2001 論文集, pp.73-78, 2001 年 7 月
- [2] 永田和生, 田代輝, 身次茂, 柴村英智, 久我守弘, 末吉敏則: “FPGA 遠隔再構成技術とリモート・ロジックアナライザ”, 信学技報 CPSY2003-40, pp.37-42, 2004 年 1 月
- [3] 池田征司, 永田和生, 柴村英智, 久我守弘, 末吉敏則: “リモート・ロジックアナライザの FPGA 実装と評価”, 信学技報 CPSY2004-43, pp.65-70, 2004 年 12 月
- [4] 池田征司, 永田和生, 柴村英智, 久我守弘, 末吉敏則: “リモート・ロジックアナライザ IP における組込みメモリ利用技術”, 第 12 回 FPGA/PLD Design Conference ユーザ・プレゼンテーション論文集, pp.41-48, 2005 年
- [5] 永田和生, 原田英雄, 柴村英智, 久我守弘, 末吉敏則: “リモート・ロジックアナライザ IP およびプローブ自動接続プログラムの実装と評価”, DA シンポジウム 2005 論文集, pp.73-78, 2005 年 8 月
- [6] 末吉敏則, 久我守弘, 柴村英智: “KITE マイクロプロセッサによる計算機工学教育支援システム”, 電気情報通信学会論文集誌, Vol.J84-D-I, No.6, pp.917-926, 2001 年
- [7] OpenCoreORG: “Video compression systems,” <http://www.opencores.org/projects.cgi/web/video-systems>