

# FPGA 上に TDC を実装する技術

田内 一弥

高エネルギー加速器研究機構素粒子原子核研究所

## 1. 概要

高エネルギー物理実験等の測定器に要求される 1nsec の LSB 時間分解能をもち、かつ 32ch 入力の Multi-hit TDC(Time to Digital Converter)の開発を行った。従来は特定実験用に開発された ASIC を用いていたが、今回 FPGA のファームウェアによってのみ TDC 機能を実現しており、ファームウェアを差し替えることにより各種の実験に対応することができるようになった。

## 2. 動機

高エネルギー物理実験やミュオン実験等で多チャンネル、高機能な時間測定の要求が大きく、同時に低コスト化、高集積化も望まれていたが、従来の回路モジュールでは対応が困難になってきていた。そこで Giga-bit NETWORK を持つ時間測定システムの開発の必要性があった。

## 3. 時間測定システム

COPPER-LITE と呼ばれる VME9U サイズの Network 型 DAQ System board とその上に搭載される FINESSE TDC を製作して、検出器からやってくる Start Signal と Stop Signal の時間差を測定し、デジタルデータに変換したものをネットワークを使ってデータ収集を行う。

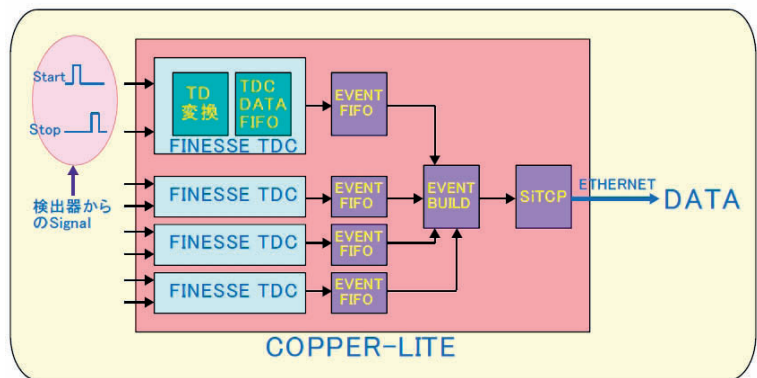


図 1 時間測定システム概略

## 4. 仕様

### ・ COPPER-LITE

大きさは VME9U サイズで、FINESSE と呼ばれる Front-end Card を 4ch 搭載可能な network 型 DAQ System board。FINESSE 1ch あたり 1Gbyte の FIFO を搭載し、FPGA により FINESSE からのイベントデータを Giga-bit Ethernet でデータ転送を行う。またレジスタコントロールは 100Mbps Ethernet で行う。また、トリガー入力用 Slot も搭載されており、各 FINESSE にトリガー信号とシステムクロックを分配している。

### ・ FINESSE TDC

COPPER-LITE 用 Front-end Card で LSB 時間分解能 1ns/bit、入力 32ch の multi-hit TDC。入力信号レベルは ECL/PECL/LVDS に対応し、Common Start/Stop 用 LEMO コネクタを搭載している。Multi-hit 用の FIFO は ch 当たり 1023hit まで記録できる。FPGA のファームウェアによってのみ TDC 機能を実現しており、ファームウェアを差し替えることにより各種の実験に対応することができる。

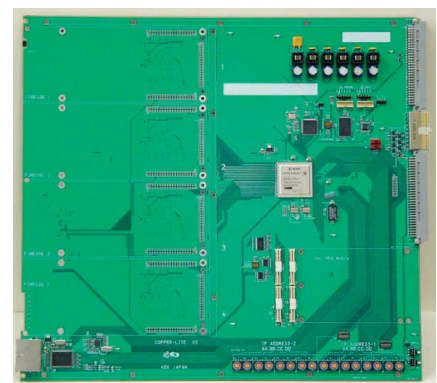


図 2 COPPER-LITE

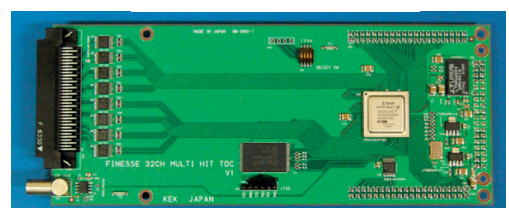


図 3 FINESSE TDC

## 5. 工夫した点

FINESSE TDC の 1ns の LSB 時間分解能を実現するためにクロックを 1GHz にしてカウンタを動かしたいところであるが、FPGA は 300MHz 程度でしか動作しないので、より遅いスピードで同様の機能を実現できないかを考え、クロックを 4 本使用し、位相を 90 度づつずらすことによって 1ns の時間分解能を達成することができた。

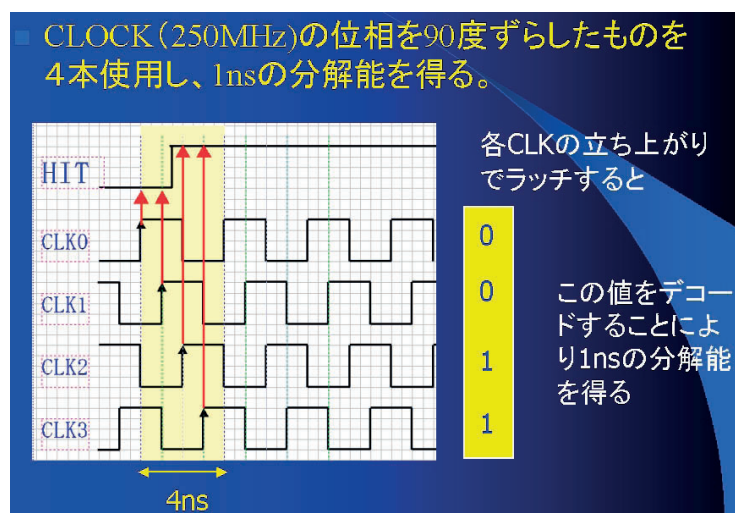


図 4 1ns 分解能を達成する方法

## 6. まとめ

FINESSE TDC は従来 ASIC を使用していたところを FPGA 上で動作する回路としたことにより、ソフトウェアと同様にコードとしてライブラリ化することができ、他のハードウェアに簡単に移植できるようになった。このことにより TDC-ADC 複合ボードなどの設計も容易にできるようになった。またハードウェアが同一でも各種実験用にチューニングしたものがファームウェアの差し替えでよく、基板の再設計を行う必要がなくなった。

今後の展望としては、クロックを 4 本から 8 本に増やすなどしてさらなる高分解能化を目指すことが考えられる。しかし、FPGA のジッタとの兼ね合いもあるので限界はあるであろうと思われる。