

## 38-39 半導体量産工場で発生する不良解析に関する研究

### —半導体製造ラインにおける低圧 CVD 膜の膜特性ばらつきの検証—

大学院自然科学研究科 教授 久保田 弘

後期課程 田 北 進 哉

量産工場で製造される MOS トランジスタにおいて、ゲート電極材として多結晶シリコン（ポリシリコン）が広く使用されている。ポリシリコンは高い耐熱温度と、成膜過程においてトランジスタ特性を変動させる金属汚染物の混入が抑えられることから、量産では扱いやすい材料である。また、ゲート電極形成後にゲート電極をマスクとして SD 領域を形成するセルフアラインが可能のため、微細化が容易であるというメリットを持つ。しかしながら、ポリシリコン自身は高抵抗体であり、用途により n 型あるいは p 型不純物を拡散しなければならないというデメリットもある。

量産過程において、ポリシリコンはゲート電極、抵抗体、プログラマブル ROM の情報記憶素子として広く使用されている。その成膜方法は一般的に減圧 CVD 炉にて、モノシランの熱分解反応によって形成され、さらに量産性を向上させるため多数枚数処理が可能な装置構造となっている。成膜条件はパターニング後の形状を揃えるために、膜厚を一定になるように管理する必要があり、場所によりヒーター温度に温度勾配を持たせ、膜厚を常に一定に保っている。しかし、ポリシリコンは成膜温度によりグレインサイズが異なり、膜特性が変化と言われていたが、用途の多様化によりその懸念点が顕在化しつつある。

そこで今回は、実際量産工程で作成された成膜条件の異なるポリシリコンのサンプルを用い、ホール測定を行うことで膜特性のばらつきを検証することにし、当日はその結果について報告する予定である。

図 1 に減圧 CVD 炉の模式図を示す。今回用いたサンプルは、図 1 の縦型 CVD 炉で 150nm のポリシリコンを熱酸化膜 10nm 上に成膜後、イオン注入にてボロンを  $70\text{keV } 3.30 \times 10^{14}$  の条件にて打ち込み、 $830^\circ\text{C}$  の  $\text{N}_2$  雰囲気中でランプアニールによりボロンを活性化させたウェハーを用意し、これを  $10\text{mm}$  角にカットした。(図 2) ホール測定は、この  $10\text{mm}$  角の 4 隅に電極を取り付け、Van der Pauw 法により測定を行った。

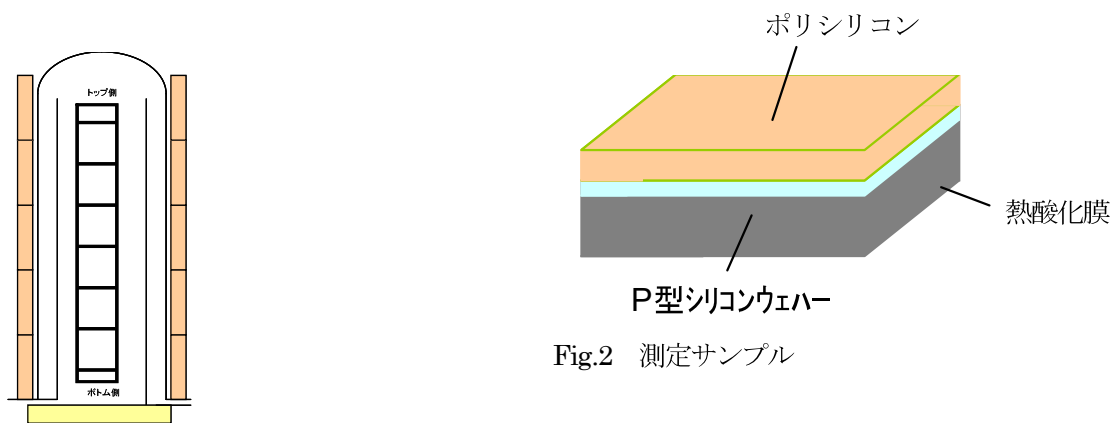


Fig.1 縦型減圧 CVD 装置

Fig.2 測定サンプル